



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201008119 A1

(43)公開日：中華民國 99 (2010) 年 02 月 16 日

(21)申請案號：098123791

(22)申請日：中華民國 98 (2009) 年 07 月 14 日

(51)Int. Cl. : **H03K19/0185(2006.01)**

(30)優先權：2008/08/14 南韓 10-2008-0079862

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)  
南韓

(72)發明人：吳承珉 OH, SEUNG-MIN (KR)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：17 項 圖式數：4 共 22 頁

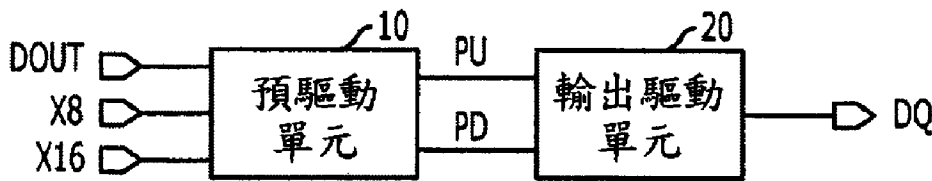
(54)名稱

輸出電路及其驅動方法

OUTPUT CIRCUIT AND DRIVING METHOD THEREOF

(57)摘要

一種輸出電路包括：一預驅動單元，其經組態以藉由根據一輸出操作模式使用一不同驅動功率來驅動一輸入信號且產生對應於該所得輸入信號之上拉及下拉信號；及一輸出驅動單元，其經組態以回應於上拉及下拉信號而輸出資料。



10：預驅動單元

20：輸出驅動單元



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201008119 A1

(43)公開日：中華民國 99 (2010) 年 02 月 16 日

(21)申請案號：098123791

(22)申請日：中華民國 98 (2009) 年 07 月 14 日

(51)Int. Cl. : **H03K19/0185(2006.01)**

(30)優先權：2008/08/14 南韓 10-2008-0079862

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)  
南韓

(72)發明人：吳承珉 OH, SEUNG-MIN (KR)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：17 項 圖式數：4 共 22 頁

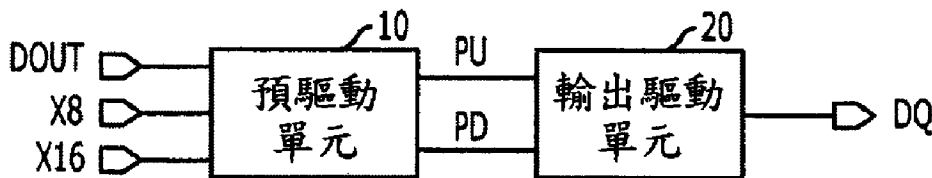
(54)名稱

輸出電路及其驅動方法

OUTPUT CIRCUIT AND DRIVING METHOD THEREOF

(57)摘要

一種輸出電路包括：一預驅動單元，其經組態以藉由根據一輸出操作模式使用一不同驅動功率來驅動一輸入信號且產生對應於該所得輸入信號之上拉及下拉信號；及一輸出驅動單元，其經組態以回應於上拉及下拉信號而輸出資料。



10：預驅動單元

20：輸出驅動單元

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體裝置，且更特定言之，係關於一種用於當改變半導體裝置之操作頻率時調整自該半導體裝置輸出之資料之迴轉率(slew rate)的輸出電路。

本申請案主張2008年8月14日申請之韓國專利申請案第10-2008-0079862號之優先權，其揭示內容以全文引用之方式併入本文中。

### 【先前技術】

通常，一半導體裝置包含用於輸出資料之輸出電路，且該輸出電路包括一預驅動器及一輸出驅動器。該預驅動器輸出對應於自記憶胞輸出之資料的上拉信號及下拉信號。該輸出驅動器回應於該上拉信號及該下拉信號而將該資料輸出至一輸出襯墊。

自該輸出電路傳送至該輸出襯墊之資料具有迴轉率，該迴轉率為每單位時間的輸出電壓之改變量。資料迴轉率根據半導體裝置之設計(諸如，輸出襯墊之數目)而改變。舉例而言，當輸出電路之數目滿足半導體裝置之x4、x8及x16操作模式之條件時，資料迴轉率視操作模式而定，亦即，操作模式具有不同資料迴轉率。特定言之，當半導體裝置以x16操作模式操作時，該資料迴轉率低於x4或x8操作模式之資料迴轉率。

圖1為說明習知輸出電路之操作之時序圖。

參看圖1，x4、x8及x16操作模式下之資料迴轉率為不同

的。大體而言，該輸出電路係基於對應於x16操作模式之資料迴轉率而設計。因此，當該半導體裝置以x4或x8操作模式操作時，該半導體裝置可能過度消耗操作電流。

### 【發明內容】

本發明之實施例旨在提供一種可防止半導體裝置之電流消耗之輸出電路。

根據本發明之一態樣，提供一種輸出電路，其包含：一預驅動單元，其經組態以藉由根據一輸出操作模式使用一不同驅動功率來驅動一輸入信號且產生對應於該所得輸入信號之上拉及下拉信號；及一輸出驅動單元，其經組態以回應於上拉及下拉信號而輸出資料。

根據本發明之另一態樣，提供一種用於驅動一輸出電路之方法，其包含：根據一輸出操作模式而改變一輸入信號之驅動功率；產生對應於該所得輸入信號之上拉及下拉信號；及產生一對應於上拉及下拉信號之輸出資料。

根據本發明之另一態樣，提供一種輸出電路，其包含：一預驅動單元，其經組態以具有一回應於一輸出操作模式而選擇之可變驅動功率，且藉由使用該選定驅動功率產生對應於一輸入信號之上拉及下拉信號；及一輸出驅動單元，其經組態以回應於上拉及下拉信號而產生輸出資料。

### 【實施方式】

可藉由以下描述理解本發明之其他目標及優點，且藉由參考本發明之實施例，其他目標及優點將變得顯而易見。

圖2為說明根據本發明之一實施例之半導體裝置的輸出

電路的方塊圖。

參看圖 2，該輸出電路包括一預驅動單元 10 及一輸出驅動單元 20。

該預驅動單元 10 經組態以接收一輸入資料 DOUT 及輸出操作模式，且根據一輸出操作模式而改變一驅動功率，且產生上拉信號 PU 及下拉信號 PD。該輸出操作模式包括一為 x4 操作模式之第一輸出操作模式、一為 x8 操作模式之第二輸出操作模式及一為 x16 操作模式之第三輸出操作模式。在本文中，x4、x8 及 x16 操作模式指示當該半導體裝置操作時在一寫入操作或一讀取操作期間一次同時輸入或輸出之資料之數目。舉例而言，x8 操作模式表示在一寫入操作或一讀取操作期間一次同時輸入或輸出八個資料。亦即，在 x8 操作模式下，該半導體裝置使自記憶組 (bank) 中之複數個寫入驅動器選擇之八個寫入驅動器能夠執行該寫入操作或該讀取操作。

該輸出驅動單元 20 經組態以回應於該上拉信號 PU 及該下拉信號 PD 而產生輸出資料 DQ，且該輸出資料 DQ 傳送至一輸出襯墊。

圖 3 為說明圖 2 中所示之輸出電路之電路圖。

參看圖 3，該預驅動單元 10 包括一上拉預驅動單元 100、一下拉預驅動單元 102 及一控制單元 104。

該上拉預驅動單元 100 產生對應於該輸入資料 DOUT 之上拉信號 PU。該下拉預驅動單元 102 產生對應於該輸入資料 DOUT 之下拉信號 PD。該控制單元 104 基於該輸出操作模

式而啟用該上拉預驅動單元100及該下拉預驅動單元102。

該上拉預驅動單元100包括一第一上拉預驅動區塊110及一第二上拉預驅動區塊112。該第一上拉預驅動區塊110包括一第一PMOS電晶體P1及一第一NMOS電晶體N1，且產生對應於該輸入資料DOUT之上拉信號PU。該第一PMOS電晶體P1之閘極及該第一NMOS電晶體N1之閘極接收該輸入資料DOUT。

該第二上拉預驅動區塊112包括第一上拉預驅動器112A及第二上拉預驅動器112B，且產生對應於該輸入資料DOUT之上拉信號PU。回應於自該控制單元104輸出之控制信號CNT1及CNT2而選擇性地啟用該第一上拉預驅動器112A及該第二上拉預驅動器112B。

該第一上拉預驅動器112A包括一第二反相器INV2、第二PMOS電晶體P2及第三PMOS電晶體P3以及第二NMOS電晶體N2及第三NMOS電晶體N3。

該第二反相器INV2將該第一控制信號CNT1反相且輸出一經反相之第一控制信號。該第二PMOS電晶體P2之閘極接收該經反相之第一控制信號。一第三PMOS電晶體P3之閘極接收該輸入資料DOUT。該第二NMOS電晶體N2之閘極接收該輸入資料DOUT。該第三NMOS電晶體N3之閘極接收該第一控制信號CNT1。

該第二上拉預驅動器112B包括一第三反相器INV3、第四PMOS電晶體P4及第五PMOS電晶體P5以及第四NMOS電晶體N4及第五NMOS電晶體N5。

該第三反相器 INV3 將該第二控制信號 CNT2 反相且輸出一經反相之第二控制信號。該第四 PMOS 電晶體 P4 之閘極接收該經反相之第二控制信號。該第五 PMOS 電晶體 P5 之閘極接收該輸入資料 DOUT。該第四 NMOS 電晶體 N4 之閘極接收該輸入資料 DOUT。該第五 NMOS 電晶體 N5 之閘極接收該第二控制信號 CNT2。

該下拉預驅動單元 102 包括一第一下拉預驅動區塊 116 及一第二下拉預驅動區塊 118。該第一下拉預驅動區塊 116 包括一第六 PMOS 電晶體 P6 及一第六 NMOS 電晶體 N6，且產生對應於該輸入資料 DOUT 之下拉信號 PD。該第六 PMOS 電晶體 P6 之閘極接收該輸入資料 DOUT，且該第六 NMOS 電晶體 N6 之閘極接收該輸入資料 DOUT。

該第二下拉預驅動區塊 118 包括第一下拉預驅動器 118A 及第二下拉預驅動器 118B，且產生對應於該輸入資料 DOUT 之下拉信號 PD。回應於自該控制單元 104 輸出之控制信號 CNT1 及 CNT2 而選擇性地啟用該第一下拉預驅動器 118A 及該第二下拉預驅動器 118B。

該第一下拉預驅動器 118A 接收該輸入資料 DOUT，輸出該下拉信號 PD，且藉由該第一控制信號 CNT1 而啟用。該第一下拉預驅動器 118A 包括第七 PMOS 電晶體 P7 及第八 PMOS 電晶體 P8 以及第七 NMOS 電晶體 N7 及第八 NMOS 電晶體 N8。

該第七 PMOS 電晶體 P7 之閘極接收來自一第一上拉預驅動器 112A 之第二反相器 INV2 的經反相之第一控制信號。

該第八NMOS電晶體N8之閘極接收該第一控制信號CNT1。

該第二下拉預驅動器118B包括第九PMOS電晶體P9及第十PMOS電晶體P10以及第九NMOS電晶體N9及第十NMOS電晶體N10。該第二下拉預驅動器118B接收該輸入資料DOUT，輸出該下拉信號PD，且藉由該第二控制信號CNT2而啟用。

該第九PMOS電晶體P9之閘極接收來自該第二上拉預驅動器112B之第三反相器INV3的經反相之第二控制信號。該第十PMOS電晶體P10之閘極接收該輸入資料DOUT。該第九NMOS電晶體N9之閘極接收該輸入資料DOUT。該第十NMOS電晶體N10之閘極接收該第二控制信號CNT2。

該控制單元104產生對應於第二及第三輸出操作模式之第一控制信號CNT1及對應於第三輸出操作模式之第二控制信號CNT2。該控制單元104包括一用於接收第二輸出操作模式信號x8及第三輸出操作模式信號x16之NOR閘NR1及一用於接收該NOR閘NR1之輸出且用於輸出該第一控制信號CNT1之第一反相器INV1。

該輸出驅動單元20包括一用於回應於該上拉信號PU而產生該輸出資料DQ之第一驅動單元200及一用於回應於該下拉信號PD而產生該輸出資料DQ之第二驅動單元202。

該第一驅動單元200包括一第十一PMOS電晶體P11，且該第二驅動單元202包括一第十一NMOS電晶體N11。該第十一PMOS電晶體P11之閘極接收該上拉信號PU，且該第



十一 NMOS 電晶體 N11 之閘極接收該下拉信號 PD。

將在下文詳細描述輸出電路之操作。

假設該半導體裝置以 x4 操作模式操作，則該控制單元 104 產生經撤銷之第一控制信號 CNT1 及經撤銷之第二控制信號 CNT2。亦即，該第一控制信號 CNT1 及該第二控制信號 CNT2 具有邏輯「低」位準。因此，回應於經撤銷之第一控制信號 CNT1 及經撤銷之第二控制信號 CNT2 而停用該第一上拉預驅動器 112A 及該第二上拉預驅動器 112B 以及該第一下拉預驅動器 118A 及該第二下拉預驅動器 118B。因此，僅啟用該第一上拉預驅動區塊 110 及該第一下拉預驅動區塊 116，且輸出上拉信號 PU 及下拉信號 PD。亦即，藉由使用該第一上拉預驅動區塊 110 及該第一下拉預驅動區塊 116 之驅動功率而產生該上拉信號 PU 及該下拉信號 PD。因此，該輸出驅動單元 20 接收該上拉信號 PU 及該下拉信號 PD，且產生該輸出資料 DQ。該輸出資料 DQ 傳送至一輸出襯墊。

假設該半導體裝置以 x8 操作模式操作，則該控制單元 104 產生經啟動之第一控制信號 CNT1 及經撤銷之第二控制信號 CNT2。亦即，該第一控制信號 CNT1 具有邏輯「高」位準，且該第二控制信號 CNT2 具有邏輯「低」位準。因此，回應於經啟動之第一控制信號 CNT1 而啟用該第一上拉預驅動器 112A 及該第一下拉預驅動器 118A，且回應於經撤銷之第二控制信號 CNT2 而停用該第二上拉預驅動器 112B 及該第二下拉預驅動器 118B。因此，啟用該第一上拉

預驅動區塊110、該第一上拉預驅動器112A、該第一下拉預驅動區塊116及該第一下拉預驅動器118A，且輸出該上拉信號PU及該下拉信號PD。亦即，藉由使用該第一上拉預驅動區塊110、該第一上拉預驅動器112A、該第一下拉預驅動區塊116及該第一下拉預驅動器118A之驅動功率而產生該上拉信號PU及該下拉信號PD。因此，該輸出驅動單元20接收該上拉信號PU及該下拉信號PD，且產生該輸出資料DQ。該輸出資料DQ傳送至一輸出襯墊。

假設該半導體裝置以x16操作模式操作，則該控制單元104產生經啟動之第一控制信號CNT1及經啟動之第二控制信號CNT2。亦即，該第一控制信號CNT1具有邏輯「高」位準，且該第二控制信號CNT2具有邏輯「高」位準。因此，藉由經啟動之第一控制信號CNT1而啟用該第一上拉預驅動器112A及該第一下拉預驅動器118A，且回應於經啟動之第二控制信號CNT2而啟用該第二上拉預驅動器112B及該第二下拉預驅動器118B。因此，啟用該第一上拉預驅動區塊110、該第一上拉預驅動器112A、該第二上拉預驅動器112B、該第一下拉預驅動區塊116、該第一下拉預驅動器118A及該第二下拉預驅動器118B，且輸出該上拉信號PU及該下拉信號PD。亦即，藉由使用該第一上拉預驅動區塊110、該第一上拉預驅動器112A、該第二上拉預驅動器112B、該第一下拉預驅動區塊116、該第一下拉預驅動器118A及該第二下拉預驅動器118B之驅動功率而產生該上拉信號PU及該下拉信號PD。因此，該輸出驅動

單元 20 接收該上拉信號 PU 及該下拉信號 PD，且產生該輸出資料 DQ。該輸出資料 DQ 傳送至輸出一襯墊。

圖 4 為說明圖 2 中所示之輸出電路之操作的時序圖。

參看圖 4，當輸出電路之數目滿足半導體裝置之 x4、x8 及 x16 操作模式之條件時，資料迴轉率在所有操作模式期間為相同的。因此，即使根據對應於 x16 操作模式之資料迴轉率設計輸出電路，當半導體裝置以 x4 或 x8 操作模式操作時，半導體裝置仍不會過度消耗操作電流。

雖然已關於特定實施例描述本發明，但對於熟習此項技術者而言將顯而易見的是，在不背離如以下申請專利範圍中界定之本發明之精神及範疇的情況下，可進行各種改變及修改。

#### 【圖式簡單說明】

圖 1 為說明習知輸出電路之操作之時序圖；

圖 2 為說明根據本發明之一實施例之半導體裝置的輸出電路的方塊圖；

圖 3 為說明圖 2 中所示之輸出電路之電路圖；及

圖 4 為說明圖 2 中所示之輸出電路之操作的時序圖。

#### 【主要元件符號說明】

10	預驅動單元
20	輸出驅動單元
100	上拉預驅動單元
102	下拉預驅動單元
104	控制單元

110	第一上拉預驅動區塊
112	第二上拉預驅動區塊
112A	第一上拉預驅動器
112B	第二上拉預驅動器
116	第一下拉預驅動區塊
118	第二下拉預驅動區塊
118A	第一下拉預驅動器
118B	第二下拉預驅動器
200	第一驅動單元
202	第二驅動單元
INV1	第一反相器
INV2	第二反相器
INV3	第三反相器
N1	第一NMOS電晶體
N2	第二NMOS電晶體
N3	第三NMOS電晶體
N4	第四NMOS電晶體
N5	第五NMOS電晶體
N6	第六NMOS電晶體
N7	第七NMOS電晶體
N8	第八NMOS電晶體
N9	第九NMOS電晶體
N10	第十NMOS電晶體
N11	第十一NMOS電晶體

NR1	NOR 閘
P1	第一 PMOS 電晶體
P2	第二 PMOS 電晶體
P3	第三 PMOS 電晶體
P4	第四 PMOS 電晶體
P5	第五 PMOS 電晶體
P6	第六 PMOS 電晶體
P7	第七 PMOS 電晶體
P8	第八 PMOS 電晶體
P9	第九 PMOS 電晶體
P10	第十 PMOS 電晶體
P11	第十一 PMOS 電晶體

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98123791

※申請日： 98.7.14

※IPC 分類：H03K 19/0185 **(2006.01)**

## 一、發明名稱：(中文/英文)

輸出電路及其驅動方法

OUTPUT CIRCUIT AND DRIVING METHOD THEREOF

## 二、中文發明摘要：

一種輸出電路包括：一預驅動單元，其經組態以藉由根據一輸出操作模式使用一不同驅動功率來驅動一輸入信號且產生對應於該所得輸入信號之上拉及下拉信號；及一輸出驅動單元，其經組態以回應於上拉及下拉信號而輸出資料。

## 三、英文發明摘要：

An output circuit includes a pre-driving unit configured to drive an input signal by using a different driving power according to an output operation mode and generate pull-up and pull-down signals corresponding to the resultant input signal and an output driving unit configured to output data in response to the pull-up and pull-down signals.

## 七、申請專利範圍：

### 1. 一種輸出電路，其包含：

一預驅動單元，其經組態以藉由根據一輸出操作模式使用一不同驅動功率來驅動一輸入信號且產生對應於該所得輸入信號之上拉及下拉信號；及

一輸出驅動單元，其經組態以回應於該等上拉及下拉信號而輸出資料。

### 2. 如請求項1之輸出電路，其中該輸出操作模式包含一為x4操作模式之第一輸出操作模式、一為x8操作模式之第二輸出操作模式及一為x16操作模式之第三輸出操作模式。

### 3. 如請求項2之輸出電路，其中該預驅動單元包含：

一上拉預驅動單元，其經組態以具有回應於一控制信號而選擇之一可變上拉驅動功率，且藉由使用上拉驅動功率而產生對應於該輸入資料之該上拉信號；

一下拉預驅動單元，其經組態以具有回應於該控制信號而選擇之一可變下拉驅動功率，且藉由使用該選定下拉驅動功率而產生對應於該輸入資料之該下拉信號；及

一控制單元，其經組態以基於該輸出操作模式而產生該控制信號。

### 4. 如請求項3之輸出電路，其中該控制信號包括一對應於該第二輸出操作模式及該第三輸出操作模式之第一控制信號及一對應於該第三輸出操作模式之第二控制信號。

### 5. 如請求項4之輸出電路，其中該上拉預驅動單元包含：

一 第一上拉預驅動區塊，其經組態以產生對應於該輸入資料之該上拉信號；及

一 第二上拉預驅動區塊，其經組態以回應於該第一控制信號及該第二控制信號而選擇性地啟用，且產生對應於該輸入資料之該上拉信號。

6. 如請求項5之輸出電路，其中該第一上拉預驅動區塊經組態以接收該輸入資料且產生該上拉信號。

7. 如請求項5之輸出電路，其中該第二上拉預驅動區塊經組態以接收該輸入資料且產生該上拉信號。

8. 如請求項5之輸出電路，其中該第二上拉預驅動區塊包含：

一 第一上拉預驅動器，其經組態以回應於該第一控制信號而啟用，接收該輸入資料，且產生該上拉信號；及

一 第二上拉預驅動器，其經組態以回應於該第二控制信號而啟用，接收該輸入資料，且產生該上拉信號。

9. 如請求項4之輸出電路，其中該下拉預驅動單元包含：

一 第一下拉預驅動區塊，其經組態以產生對應於該輸入資料之該下拉信號；及

一 第二下拉預驅動區塊，其經組態以回應於該第一控制信號及該第二控制信號而選擇性地啟用，且產生對應於該輸入資料之該下拉信號。

10. 如請求項9之輸出電路，其中該第一下拉預驅動區塊經組態以接收該輸入資料，且產生該下拉信號。

11. 如請求項9之輸出電路，其中該第二下拉預驅動區塊經



組態以接收該輸入資料，且產生該下拉信號。

12. 如請求項9之輸出電路，其中該第二下拉預驅動區塊包含：

一第一下拉預驅動器，其經組態以回應於該第一控制信號而啟用，接收該輸入資料，且產生該下拉信號；

一第二下拉預驅動器，其經組態以回應於該第二控制信號而啟用，接收該輸入資料，且輸出該下拉信號。

13. 如請求項1之輸出電路，其中該輸出驅動單元包含：

一第一驅動單元，其經組態以回應於該上拉信號而產生該輸出資料；及

一第二驅動單元，其經組態以回應於該下拉信號而產生該輸出資料。

14. 一種用於驅動一輸出電路之方法，其包含：

根據一輸出操作模式而改變一輸入信號之一驅動功率；

產生對應於該所得輸入信號之上拉及下拉信號；及

產生一對應於該等上拉及下拉信號之輸出資料。

15. 如請求項14之方法，其中該輸出操作模式包括一為x4操作模式之第一輸出操作模式、一為x8操作模式之第二輸出操作模式及一為x16操作模式之第三輸出操作模式。

16. 一種輸出電路，其包含：

一預驅動單元，其經組態以具有一回應於一輸出操作模式而選擇之可變驅動功率，且藉由使用該選定驅動功率而產生對應於一輸入信號之上拉及下拉信號；及

一輸出驅動單元，其經組態以回應於該等上拉及下拉信號而產生輸出資料。

17. 如請求項16之輸出電路，其中該預驅動單元包含：

一上拉預驅動單元，其經組態以具有一回應於一控制信號而選擇之可變上拉驅動功率，且藉由使用該選定上拉驅動功率而產生對應於該輸入資料之該上拉信號；

一下拉預驅動單元，其經組態以具有一回應於該控制信號而選擇之可變下拉驅動功率，且藉由使用該選定下拉功率而產生對應於該輸入資料之該下拉信號；及

一控制單元，其經組態以基於該輸出操作模式而產生該控制信號。

八、圖式：

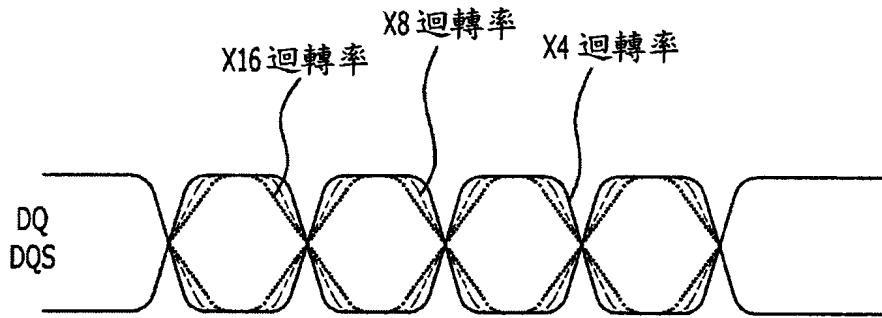


圖 1

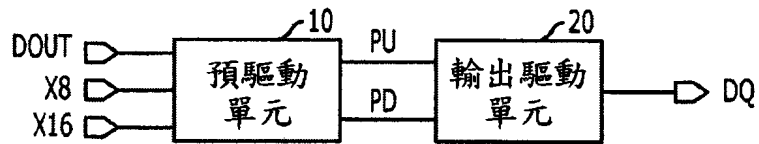


圖 2

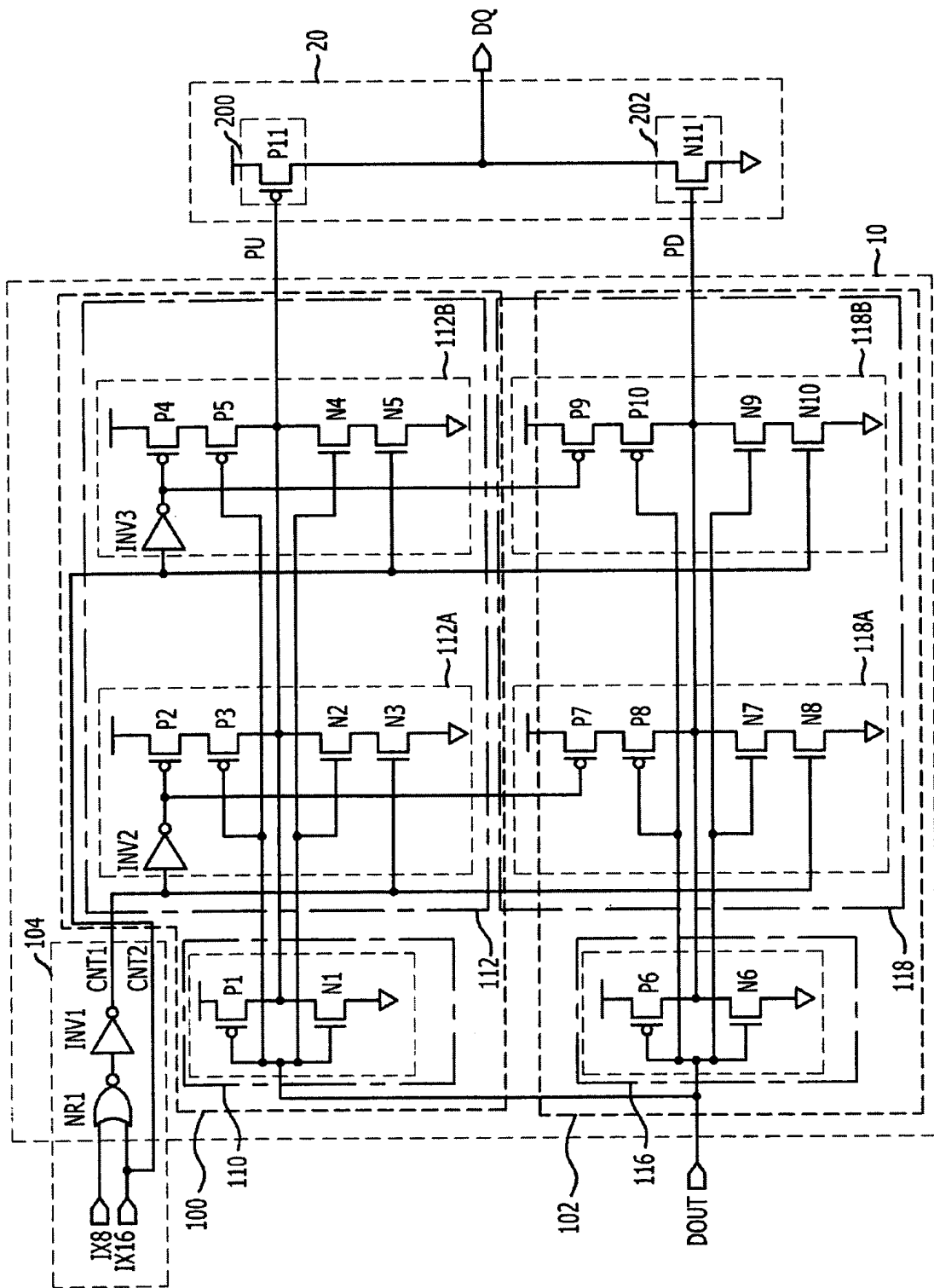


圖 3

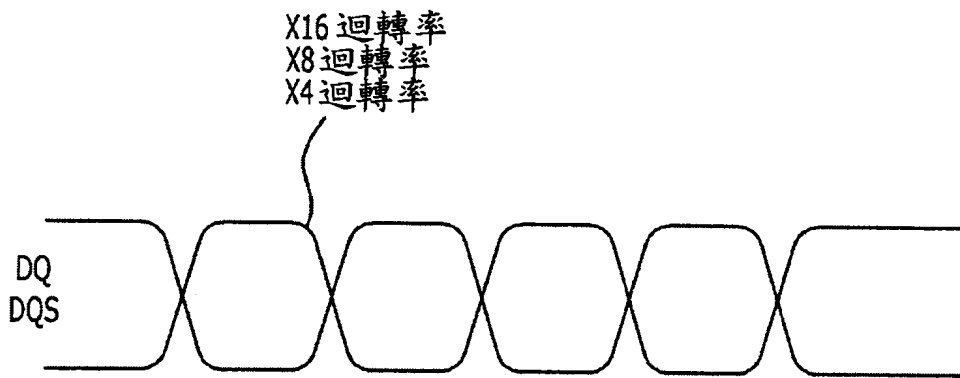


圖 4

四、指定代表圖：

(一)本案指定代表圖為：第( 2 )圖。

(二)本代表圖之元件符號簡單說明：

10	預驅動單元
20	輸出驅動單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)