

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3749101号
(P3749101)

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl. F I
HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 7 1 C
HO 1 L 27/108 (2006.01) HO 1 L 27/10 4 6 1
HO 1 L 27/10 (2006.01)

請求項の数 9 (全 34 頁)

<p>(21) 出願番号 特願2000-279525 (P2000-279525)</p> <p>(22) 出願日 平成12年9月14日(2000.9.14)</p> <p>(65) 公開番号 特開2002-94029 (P2002-94029A)</p> <p>(43) 公開日 平成14年3月29日(2002.3.29)</p> <p>審査請求日 平成16年2月25日(2004.2.25)</p> <p>前置審査</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(74) 代理人 110000350 特許業務法人 日東国際特許事務所</p> <p>(74) 代理人 100068504 弁理士 小川 勝男</p> <p>(72) 発明者 石井 智之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内</p> <p>(72) 発明者 矢野 和男 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内</p> <p>審査官 北島 健次</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第1のチャンネル領域と、前記第1のチャンネル領域の電位を制御する第1のゲート電極とを有し、且つ前記第1のチャンネル領域が絶縁膜上に設けられている第1のトランジスタと、

ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第2のチャンネル領域と、前記第1のゲート電極に接続されており前記第2のチャンネル領域の電位を制御する第2のゲート電極とを有し、

前記第2のチャンネル領域と静電容量を介して配され前記第2のゲート電極の下に配置され前記第1のチャンネル領域の電流により電荷を蓄積する電荷蓄積領域を有する第2のトランジスタを有し、

前記第2のトランジスタのソース領域がソース線に接続され、前記第1のトランジスタのソース領域あるいはドレイン領域の一端が前記第2のトランジスタの電荷蓄積領域に接続され、前記第1のトランジスタのソース領域あるいはドレイン領域の他端がデータ線に接続されることを特徴とする半導体装置。

【請求項2】

前記データ線に接続された第1のトランジスタのソース領域あるいはドレイン領域と前記第2のトランジスタのソース領域との距離が、前記データ線に接続された第1のトランジスタのソース領域あるいはドレイン領域と前記第2のトランジスタのドレイン領域の

10

20

間の距離よりも、短いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 のトランジスタのゲート電極の幅と、前記第 1 のトランジスタのチャネル領域の幅が実質的に等しいことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 のトランジスタのゲート電極の幅と、前記第 2 のトランジスタの電荷蓄積領域の幅が実質的に等しいことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 のトランジスタのチャネルの膜厚が、5 nm 以下であることを特徴とする請求項 1 に記載の半導体装置。 10

【請求項 6】

前記第 1 のトランジスタのチャネルの膜厚が、5 nm 以下であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】

前記第 1 のトランジスタのチャネルの膜厚が、5 nm 以下であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 8】

前記第 1 のトランジスタのチャネルの膜厚が、5 nm 以下であることを特徴とする請求項 4 に記載の半導体装置。 20

【請求項 9】

メモリセルを行列状に並べたメモリセルアレイを構成する半導体装置において、前記メモリセルは、ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第 1 のチャネル領域と、前記第 1 のチャネル領域の電位を制御する第 1 のゲート電極とを有し、且つ前記第 1 のチャネル領域が絶縁膜上に設けられている第 1 のトランジスタと、
ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第 2 のチャネル領域と、前記第 2 のチャネル領域の電位を制御する第 2 のゲート電極とを有し、

前記第 2 のチャネル領域と静電容量を介して配され前記第 2 のゲート電極の下に配置され前記第 1 のチャネル領域の電流により電荷を蓄積する電荷蓄積領域を有する第 2 のトランジスタを有し、 30

前記第 1 のチャネルは、膜厚が 5 nm 以下の半導体材料からなり、且つ

前記第 2 のトランジスタのソース領域がソース線に接続され、前記第 1 のトランジスタのソース領域あるいはドレイン領域の一端が前記第 2 のトランジスタの電荷蓄積領域に接続され、前記第 1 のトランジスタのソース領域あるいはドレイン領域の他端がデータ線に接続されており、前記メモリセルは電荷蓄積領域に 2 ビット以上の情報を記憶することを特徴する半導体装置。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本願発明は、電界効果型トランジスタ、半導体装置、わけても半導体記憶素子及びそれらの製造方法に関するものである。

【0002】

【従来の技術】

マルチメディアの広がりによって、データ処理装置への要求は益々高度化している。特に、音声、画像処理は大量のデータを短時間に処理する必要があるため、データ処理装置全体の処理能力の向上が必須である。しかし、データ処理装置の主たる構成要素のロジックチップとメモリチップを、別々にしてデータ処理装置を構成しては、この間のデータパスがボトルネックとなって、全体の処理能力を向上することが困難である。 50

【0003】

このような問題を解決する為、ロジック回路とDRAM (dynamic random access memory) を1チップ上に集積したいいわゆるDRAM混載チップが開発されている。このような技術の文献として、例えばH. Ishiuchi et al.、IEEE Internal Electron Devices Meeting、pp 33-36、1997年を挙げることが出来る。前記混載の容易性の観点からは、ロジック用トランジスタだけでメモリセルを構成できるSRAM (static random access memory) がDRAMより優れているといえる。しかし、6トランジスタを用いて1セルを構成するためセル面積が大きく、コスト面から大きな容量を用意することが困難である。

10

【0004】

また、DRAMセルの蓄積電荷を減少させても動作可能な構造として、ゲインセルと呼ばれる記憶素子構造が提案されている。これは書き込み用のトランジスタを介して記憶ノードに電荷を注入し、蓄積された電荷により他に設けた読み出し用のトランジスタのしきい電圧が変化することを利用して記憶を行うものである。又、本願発明に関連した技術として、例えば、書き込み用のトランジスタに多結晶シリコンを用いたH. Shichijo et al.、Conference on Solid State Devices and Materials、pp 265-268、1984年、及び読み出し用のトランジスタに多結晶シリコンを用いたS. Shukuri et al.、IEEE International Electron Devices Meeting、pp. 1006-1008、1992年を挙げることが出来る。

20

【0005】

本願発明に関連した他の技術として、K. Yano et al.、IEEE International Electron Devices Meeting、pp 541-544、1993年、及びT. Ishii et al.、IEEE International Solid-State Circuits Conferences、pp 266-267、1996年に記載されている多結晶シリコンを用いた単一電子メモリをあげることが出来る。この技術は、1素子で記憶を行うメモリ素子である。本願発明とは素子の動作原理、機能の面で異なるが、ソース、ドレインよりもチャネル部分が薄いTFET構造として考えられる一般的な構造を含んでいる。すなわち、ソースドレイン領域の底面とチャネル薄膜領域の高さがほぼ揃っている構造である。

30

【0006】

【発明が解決しようとする課題】

携帯情報端末等バッテリー駆動の応用を中心として機器の低消費電力化が重要な課題として認識されている。通常、半導体装置の消費電力は機器全体の消費電力のかなりの部分を占め、低消費電力化が求められている。トランジスタがオフ状態での電流はリーク電流と呼ばれ、全ての回路に関わるため、ロジック、メモリの区別なくチップ全体の消費電力増大の要因となる。そこでリーク電流が少ないトランジスタが求められている。発明者等は独自の試作、評価によってチャネル部分を薄く形成した多結晶シリコンベースのTFET構造で10のマイナス18乗台のリーク電流が実現できることを見出した。しかしながら、チャネル部分がソース、ドレインよりも薄いTFET構造は、通常前記従来技術のようにソースドレイン領域の底面とチャネル薄膜領域の高さがほぼ揃っている構造となる。この構造はゲート絶縁膜をCVDで堆積するが、ソース、ドレイン部分とチャネル部分の間に段差が生じているため、段差上端で電界集中がおきやすい。このためゲート絶縁膜を薄くした場合耐圧のマージンが減少する。また段差下端で膜が厚めにつくため、実質的にゲート絶縁膜が厚くなる部分が生じる。このためトランジスタ性能が低下し、短チャネル効果が顕著になる恐れがある。

40

【0007】

そこで、本発明の目的とするところは、低リークで高性能の半導体素子を提供することである。さらに低消費電力の半導体装置を提供することである。

50

【 0 0 0 8 】

【 発明が解決しようとする課題 】

前述のようにロジックとDRAMの混載技術が開発され既に製品も存在するが、問題となるのはロジックプロセスとDRAMプロセスの相性である。

第1に、互いの作製プロセスで共通化できる部分が少ないとマスク数、工程数が増加して製造コストが増大する。しかしながら、DRAM作製で最も複雑となるキャパシタ作製工程はロジック部とは共通化できない。また、ロジック部のMOSトランジスタでは高速性を重視するため拡散層部分をシリサイド化して低抵抗化する手法が常用されているが、DRAMメモセルのバラストランジスタをシリサイド化するとリーク電流が増大し、記憶保持時間が極端に短くなってしまふことが知られている。従ってMOSトランジスタ形成においてロジック部分のシリサイド化時にDRAM部分を覆っておく等の工夫が必要であり、プロセスが複雑化している。

10

【 0 0 0 9 】

第二に、DRAMのキャパシタ作製工程における高温工程の問題がある。DRAMでは信号量を確保する必要があるため、微細化を進めながらも蓄積電荷量を小さくできない。従ってより小面積で容量を確保する為に高誘電体膜の導入が必要になる。従来行ってきたような立体構造利用はコスト増大の為に困難であるし、また立体構造を利用したとしても高誘電体膜の導入が不可欠になりつつある。ところが高誘電体膜を形成するために高温が必要である。例えば、 Ta_2O_5 （五酸化タンタル）を使用した場合結晶化のために750程度

20

【 0 0 1 0 】

一方で、ロジック部分のMOSトランジスタは微細化のため拡散層のPN接合を非常に浅く形成している。熱処理によって拡散層の不純物が拡散してしまい、MOSトランジスタの特性が劣化、場合によってはパンチスルーによって動作不可能となってしまう。またコバルトシリサイド等のシリサイド材料も高温で凝集する恐れがある。基板に溝を掘ってキャパシタを形成するいわゆるトレンチキャパシタ構造を採用すれば、ロジック用MOSトランジスタの形成前にキャパシタ形成が可能であるが、溝の深さが非常に深くなり、今後微細化が進むとさらにアスペクト比を大きくとらなければならないという課題を抱えている。

【 0 0 1 1 】

上述の蓄積電荷量確保の課題はロジック混載チップに限らず、DRAM一般に関わる問題である。0.18 μm ~0.14 μm の加工寸法を用いる1GbitRAM以降では、世代が一世代進むごとに新しい高誘電体材料を開発しなければならない恐れがある。従って蓄積電荷量を減少させても安定して動作でき、しかもDRAM並に高集積が可能であるような低面積の半導体メモリが必要である。

30

【 0 0 1 2 】

以上から、本発明の目的とするところは、低コストで、高性能のロジック及びメモリが混載された半導体装置を提供することである。

【 0 0 1 3 】

本願発明は、半導体装置の加工の微細化が、さらに進んでも動作が可能である高集積メモリを提供することが出来る。

40

【 0 0 1 4 】

【 課題を解決するための手段 】

本願発明は、書込み用トランジスタを介して、注入、放出を行った電荷を、読出し用トランジスタのしきい電圧変化によって読出すことを特徴とする。DRAMのようにキャパシタ容量確保のための新材料が不要であるためロジック混載が容易である。及び、本願発明のトランジスタはこうした半導体装置に供して極めて有用である。

【 0 0 1 5 】

詳しくその構成を述べると、本願発明の代表的な実施形態による半導体素子は、基本的に次の形態を有する。

50

【0016】

本願発明の代表的な第1の形態は、ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなるチャンネル領域と、前記チャンネル領域の電位を制御するゲート電極とを有し、且つ前記チャンネル領域が絶縁膜上に設けられ、当該半導体装置の基板面を基準として、前記チャンネル領域が前記ソース領域と前記ドレイン領域の上面の水準に配置されているトランジスタである。前記ゲート電極による電位の制御によって、当該チャンネルのコンダクタンスが制御されるのである。

【0017】

ここで、本願発明の係わる前記チャンネル領域は、薄膜半導体層が用いられる。その厚さが5nm以下であることが、わけても好ましい。チャンネル領域が極めて薄膜であることから、極めて低リーク電流が確保される。この形態は、図1を参照をすることで十分理解されるであろう。

10

【0018】

本願の第2の形態は次の構成を有する。

【0019】

即ち、この第2の形態は、金属または半導体材料からなるソース領域、ドレイン領域を有し、

前記ソース領域とドレイン領域は絶縁膜上の半導体材料からなるチャンネル領域で接続され、

前記チャンネル領域の電位を制御する金属または半導体材料からなるゲート電極を有する第1のトランジスタ構造(M2)と、

20

金属または半導体材料からなるソース領域、ドレイン領域を有し、

前記ソース領域とドレイン領域は半導体材料からなるチャンネル領域で接続され、

前記チャンネル領域の電位を制御する金属または半導体材料からなるゲート電極を有し、

前記チャンネル領域と静電容量でカップルした金属または半導体材料からなる電荷蓄積領域を有する第二のトランジスタ構造(M1)を有し、

前記第2のトランジスタ構造のソース領域がソース線に接続され、

前記第1のトランジスタ構造のソース領域あるいはドレイン領域の一端が前記第2のトランジスタ構造の電荷蓄積領域に接続され、

前記第1のトランジスタ構造のソース領域あるいはドレイン領域の他端がデータ線に接続されることを特徴とするものである。

30

【0020】

本願発明では、読出しトランジスタの電荷蓄積領域(1)と制御電極(5)が積層化されており、3トランジスタ型のゲインセルよりも小さい面積で構成が可能である。また、書込みトランジスタのチャンネルが絶縁膜(134)上の半導体薄膜よりなるため、電荷のリークパスにあたるチャンネル(3)を完全に空乏化するため通常のバルク(Bulk)基板を用いたMOSを書込みトランジスタに用いた場合と比べてリーク電流が大幅に低減できる。

【0021】

更に、記憶領域(1)加工あるいは書込みトランジスタのチャンネル(3)加工にワード線(5)とのセルフアライン加工を用いることが可能であり、簡単な作製プロセスと小面積セルの両立を可能としている。尚、理解を容易となす為、参考例として、本文中の参照符号は図1における各部位を示している。

40

【0022】

本発明の他の手段、目的と特徴は、以下の実施の形態から明らかになるう。

【0023】

【発明の実施の形態】

具体的な実施の形態を説明するに先だって、本願発明の主な諸形態を、以下に列挙する。

【0024】

本願の第1の形態は、金属又は半導体材料からなるソース領域、ドレイン領域を有し、

50

前記ソース領域とドレイン領域は絶縁膜上の半導体材料からなるチャンネル領域で接続され、
前記チャンネル領域の電位を制御する金属又は半導体材料からなるゲート電極を有する第1のトランジスタと、
金属または半導体材料からなるソース領域、ドレイン領域を有し、
前記ソース領域とドレイン領域は半導体材料からなるチャンネル領域で接続され、
前記チャンネル領域の電位を制御する金属又は半導体材料からなるゲート電極を有し、
前記チャンネル領域と静電容量を介して金属又は半導体からなる電荷蓄積領域を有する第2のトランジスタとを、有し、
前記第2のトランジスタのソース領域がソース線に接続され、
前記第1のトランジスタのソース領域あるいはドレイン領域のいずれかの一端が前記第2のトランジスタの電荷蓄積領域に接続され、
前記第1のトランジスタのソース領域あるいはドレイン領域のいずれかの他端がデータ線に接続される半導体記憶素子である。この半導体記憶素子の構造を用いて各種半導体装置を提供することが出来る。

10

【0025】

本願の第2の形態は、前記第1の形態の半導体記憶素子または半導体装置半導体記憶素子において、
前記データ線に接続された第1のトランジスタ構造のソース領域あるいはドレイン領域と前記第2のトランジスタ構造のソース領域の間の距離が、前記データ線に接続された第1のトランジスタ構造のソース領域あるいはドレイン領域と前記第2のトランジスタ構造のドレイン領域の間の距離よりも短いことを特徴とする半導体記憶素子または半導体装置である。

20

【0026】

本願の第3の形態は、前記第1又は第2の半導体記憶素子において、
前記第2のトランジスタ構造のゲート電極の幅と、前記第1のトランジスタ構造のチャンネル領域の幅が実質的に等しいことを特徴とする半導体記憶素子または半導体装置である。
この形態は、半導体記憶素子の読出しトランジスタ電極によるセルフライン加工が特徴となる。

【0027】

本願の第4の形態は、前記第1から第3のいずれかの形態に記載の半導体記憶素子において、
前記第2のトランジスタ構造のゲート電極の幅と、前記第2のトランジスタ構造の電荷蓄積領域の幅が実質的に等しいことを特徴とする半導体記憶素子または半導体装置である。

30

【0028】

本願の第5の形態は、電界効果型の書込み用トランジスタと読出し用トランジスタを有し、
前記書込みトランジスタのチャンネルは半導体材料からなり、
前記書込みトランジスタのソース領域、ドレイン領域は金属または半導体材料と金属の積層構造からなり、
前記書込みトランジスタのソース、ドレイン領域のいずれかの一端(領域A)は書込みトランジスタのチャンネル以外に導電経路を持たず、読出しトランジスタのチャンネルと静電容量でカップルし、
前記書込みトランジスタのソース、ドレイン領域のいずれかの他端(領域B)は外部に接続され、
前記書込みトランジスタの領域A内に蓄積した電荷量の大小によって読出しトランジスタのしきい電圧が変化することにより情報を記憶する半導体記憶素子において、
前記書込みトランジスタのチャンネルは、前記書込みトランジスタのソース、ドレイン領域の金属部分と接続されていることを特徴とする半導体記憶素子またはこの半導体記憶素子構造を有する半導体装置である。

40

50

【0029】

本願の第6の形態は、少なくとも二水準の厚さのゲート絶縁膜からなるトランジスタを有し、
前記ゲート絶縁膜の少なくとも最も薄い絶縁膜ではないゲート絶縁膜を有するトランジスタからなる周辺回路を有し、
同一チップ上に電界効果型の書き込みトランジスタと読出しトランジスタよりなる記憶素子を有し、
前記記憶素子は書き込みトランジスタを通じて出し入れした電荷量を読出しトランジスタのしきい電圧変化によって読出す動作原理よりなる半導体装置において、
前記周辺回路を構成するトランジスタのゲート絶縁膜厚と、前記記憶素子の読出しトランジスタのゲート絶縁膜厚が等しいことを特徴とする半導体装置またはこの半導体記憶素子構造を有する半導体装置である。

10

【0030】

本願の第7の形態は、前記第1から第6の形態のいずれかにおいて、前記書き込みトランジスタのチャンネルが、絶縁膜上に設けられていることを特徴とする半導体記憶素子または半導体装置である。

【0031】

本願の第8の形態は、前記第7の形態の半導体記憶素子又は半導体装置において、前記書き込みトランジスタのチャンネルが、前記書き込みトランジスタのソースまたはドレイン領域の上端と同じ高さに設けられていることを特徴とする半導体記憶素子又は半導体装置である。

20

【0032】

本願の第9の形態は、前記第1から第7のいずれかに記載の半導体記憶素子または半導体装置において、前記書き込みトランジスタのゲート電極と前記読出しトランジスタのゲート電極が共通であることを特徴とする半導体記憶素子または半導体装置である。

【0033】

本願の第10の形態は、前記第1から第8のいずれかに記載の半導体記憶素子または半導体装置において、前記書き込みトランジスタのチャンネルの膜厚が、5 nm以下であることを特徴とする半導体記憶素子または半導体装置である。

【0034】

本願の第11の形態は、前記第1から第10のいずれかの形態に記載の半導体記憶素子を、行列状に並べたメモリセルアレイ又は前記第1から第10のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、
前記メモリセルアレイの素子分離領域のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、
前記半導体記憶素子の書き込みトランジスタあるいは読出しトランジスタのゲート電極を接続するワード線のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、
前記半導体記憶素子の複数の読出しトランジスタが互いに拡散層を介して接続されている構造を有し、
前記複数の読出しトランジスタを接続する拡散層のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、
前記互いに並行に並んだ長方形の素子分離領域と前記互いに並行に並んだ長方形の拡散層が実質的に並行であってかつ、前記互いに並行に並んだ長方形の素子分離領域と前記互いに並行に並んだワード線が実質的に互いに垂直の位置関係であることを特徴とするメモリセルアレイである。

30

40

【0035】

本願の第11の形態は、前記第1から第10の形態のいずれかに記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記第1から第10の形態のいずれかに記載の半導体装置内のメモリセルアレイにおいて、
前記メモリセルアレイの素子分離領域のレイアウトが実質的に互いに並行に並んだ長方形

50

の形状をなし、

前記半導体記憶素子の書き込みトランジスタあるいは読出しトランジスタのゲート電極を接続するワード線のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

前記半導体記憶素子の複数の書き込みトランジスタが互いにゲート電極と同材料の配線を介して接続されている構造を有し、

前記互いに並行に並んだ長方形の素子分離領域と前記互いに並行に並んだワード線が実質的に互いに垂直の位置関係であり、

前記複数の書き込みトランジスタを接続する配線が前記互いに並行に並んだ長方形の素子分離領域と互いに並行の位置関係であり、

更に、前記複数の書き込みトランジスタを接続する配線が前記互いに並行に並んだ長方形の素子分離領域上にあることを特徴とするメモリセルアレイである。 10

【0036】

本願の第12の形態は、前記第1から第10のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記第1から第10のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、

前記メモリセルアレイの素子分離領域のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

前記半導体記憶素子の書き込みトランジスタあるいは読出しトランジスタのゲート電極を接続するワード線のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

前記半導体記憶素子の各読出しトランジスタは隣接する1セルとのみドレイン領域の拡散層を共有する構造を有し、 20

前記複数の読出しトランジスタのソース線は拡散層配線または金属配線によって3セル以上が互いに接続され、

前記互いに並行に並んだ長方形の素子分離領域と前記互いに並行に並んだ長方形の拡散層が実質的に並行であってかつ、前記互いに並行に並んだ長方形の素子分離領域と前記互いに並行に並んだワード線が実質的に互いに垂直の位置関係であることを特徴とするメモリセルアレイである。

【0037】

本願の第14の形態は、前記第1から第13のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記1から前記13のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、1セルに2ビット以上の情報を記憶することを特徴とする半導体記憶素子または半導体装置である。 30

【0038】

本願の第15の形態は、前記1から前記14のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記1から前記14のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、単位読出しデータ線に対して2ビット以上の記憶を可能とするレジスタが接続されていることを特徴とする半導体記憶素子または半導体装置である。

【0039】

本願の第16の形態は、前記第1から第15のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記1から前記15のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、単位書き込みデータ線に対して2ビット以上の記憶を可能とするレジスタが接続されていることを特徴とする半導体記憶素子または半導体装置である。 40

【0040】

本願の第17の形態は、前記第1から第16のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記第1から第16のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、第1の読出し動作ステップと、前記第1の読出し動作ステップと同じワード線、読出しデータ線を駆動して行う第2の読出しステップとを有し、前記第1の読出し動作の読出し結果に応じて第2の読出し動作のワード線電圧を変 50

更することを特徴とする半導体装置の制御方法である。

【0041】

本願の第18の形態は、前記第1から第17のいずれかの形態に記載の半導体記憶素子を行列状に並べたメモリセルアレイ又は前記第1から第17のいずれかの形態に記載の半導体装置内のメモリセルアレイにおいて、第1の読出し動作ステップと、前記第1の読出し動作ステップと同じワード線、読出しデータ線を駆動して行う第二の読出しステップとを有し、第1の読出し動作ステップにおける読出し結果と第二の読出しステップにおける読出し結果の組み合わせに応じて書込みデータ線の電位設定を行う手段を有することを特徴とする半導体装置の制御方法である。

【0042】

次いで、本願発明の諸実施例を具体的に説明する。

【0043】

実施例1

本例は、半導体基板に本願発明の係わる半導体記憶装置が形成された例である。図1は本実施例による素子の構造及び等価回路を示す。図1の(a)は断面図、図1の(b)は上面図であり、図1の(c)が等価回路図である。

尚、見やすさのため、図1の(b)では或る領域の輪郭の重なる部分を一部ずらして記述している。又、図1の(a)より(c)の各図の素子部は、左右それぞれ対応させて、描かれている。又、前記上面図は当該半導体装置の主要部分の配置関係を示すもので、各積層の状態を正確に示す上面図ではない。以下、等価回路図との対応を示しながら説明する。

【0044】

本例の構造は、基本的には情報を書き込むトランジスタ(通称、書込み用トランジスタと称する)(M2)と、書き込まれた情報を読み出すトランジスタ(通称、読出し用トランジスタと称する)(M1)とを一体化させた構造である。即ち、この例は、薄膜FETを用いた、いわゆるゲインセルの構成である。

【0045】

書込み用トランジスタ(M2)は薄膜シリコンチャンネルのFET(Field Effect Transistor)構造である。このFETのチャンネル(3)は不純物濃度が低く、実質的にイントリンシックであるが、その両端(1)、(2)はn型の不純物が導入された多結晶シリコンとW(タングステン)の積層構造に接続されている。その一端(1)はチャンネル(3)以外に電気伝導経路が存在せず、電荷蓄積部の役割を果たす。この端部(1)の部分は等価回路図、図1の(c)の(1c)の部位に対応する。他方、他端(2)は書込み用のデータ線(34)に接続されている。この他端(2)の部分は、前記等価回路図の(2c)の部位に対応する。尚、前記のポリ・シリコン層とタングステン(W)層の積層体自体は、半導体分野で通例用いられているものである。この積層体の本願発明への適用にあたって、タングステン層がチャンネルに接するごとく積層するのが好ましい。この場合のタングステン層による低抵抗化の効果が有用である。

【0046】

書込み用データ線に接続された部分(2)は素子分離領域(10)の上部にある。ここでチャンネル(3)の膜厚の例は6nmである。チャンネル(3)上にはSiO₂から成る厚さ7nmのゲート絶縁膜(4)を挟んで、p型の多結晶シリコンとWの積層構造から成るゲート電極(5)が設けられている。尚、絶縁層(4)は、当初形成したSiO₂とその後この上部に形成されたSiO₂とが一体化している。図面に点線で示したのは、この二つの層を例示するものである。以下の同様の図面では、概ね、簡略化の為、一体化した絶縁層のみで示した。

【0047】

図1の(b)の上面図では、ソースあるいはドレインに相当する領域(1)及び(2)、並びにチャンネル(3)の領域を明示した。

【0048】

10

20

30

40

50

また、読み出しトランジスタ(M1)では、前記の電荷蓄積部(1)を通常のMOSトランジスタのゲートのように用いて、自己整合的にn型不純物によるソース(7)、ドレイン(6)が設けられている。読み出しトランジスタ(M1)のソース(7)はソース線を介して接地されている(この接地される部位は、前記等価回路図の(7c)に相当する)。前記の部位(7)をドレインとして働かせる動作の可能ではあるが、前述のようにソースとして用いた方が保存が安定して好ましい。

【0049】

又、読み出しトランジスタ(M1)のドレイン(6)は、読出しデータ線(33)に接続されている。このデータ線(33)に接続される部位は前記等価回路図の(6c)に相当する。電荷蓄積部(1)とシリコン基板(8)の間の絶縁膜(9)は厚さ6nmで、表面を窒化処理したSiO₂膜である。この読出しトランジスタ(M1)のゲート電極(5)は、書き込みトランジスタ(M2)のゲート電極と共通である。このゲート電極は、前記等価回路図の(5c)に相当する。尚、ここでは読出しトランジスタ(M1)にnチャネルトランジスタを用いたが、pチャネルトランジスタを用いても構わない。この場合、電荷蓄積時のしき電圧シフトや印加電圧に符号、大小関係が変化することとなるが、本質的にはnチャネルの場合と変わらない。説明の簡単化のため、本実施例及び以下の実施例では、読出しトランジスタをnチャネルトランジスタとするが、pチャネルトランジスタを用いてもよい。

【0050】

次に、本実施例の動作を説明する。(1)書き込みトランジスタ(M2)のゲート電極がp型であること、(2)書き込みトランジスタのチャネル膜厚が薄いこと、(3)読出しトランジスタ(M1)のチャネル不純物を調整すること、を組み合わせ考慮し、書き込みトランジスタ(M2)のしき電圧は、読出しトランジスタ(M1)のしき電圧よりも高く設定されている。読出しトランジスタ(M1)のしき電圧は、電荷蓄積領域内の蓄積電荷量によって変わるわけである。従って、より詳しくは、用いる記憶状態のうち、二番目に高いしき電圧よりも書き込みトランジスタのしき電圧を高く設定する。これは、単純なセル当たり1bit記憶の場合、記憶状態のうちの低しき電圧状態よりも高いしき電圧という意味である。

【0051】

ゲート電極(5、5c)に電圧V_{WW}を印加すると、書き込みトランジスタ(M2)が導通状態となり、当該書き込みトランジスタのチャネル(3)を電流が流れることが可能となる。この時、あらかじめ設定しておく書き込みデータ線の電位に従って、電荷蓄積部(1)には異なった電荷量が蓄積される。

【0052】

本実施例では、書き込みデータ線(34)と読出しデータ線(33)を共有化せず、独立に駆動する。書き込みのゲート電極(5、5c)電圧V_W印加時には、読出しトランジスタ(M1)は導通状態となるため、書き込みと読出しでデータ線を共有化した場合読出しトランジスタに電流が流れる。しかし、本実施例では、読出しデータ線をオープンあるいはソース端と同電位にすることで、この電流を小さくできる。従って、当該トランジスタの消費電力を抑えることが可能である。

【0053】

また、データ線を共有化する時には、読出しトランジスタ(M1)が導通状態となることで、書き込みデータ線の設定電位が読出しトランジスタ(M1)のドレイン端(6、6c)電位となる。この為、読出しトランジスタのチャネル電位もこれに近づく。この結果書き込みデータ線に書き込みデータに対応した異なる電圧を設定した場合、データ線を独立に駆動し、書き込みデータ線電位をほぼソース端電位に固定した場合の方が、電荷蓄積部(4)と読出しトランジスタチャネル間の電位差が大きくなるため、書き込み情報による蓄積電荷量変化も大きくとることができる。この結果読出し同時の信号量変化も大きくなり、より安定な情報記憶が可能となる。

【0054】

書込みデータ線の電位の設定は、情報「0」、「1」に応じた二つの値を使うのが最もマージンが大きい、それ以上の、例えば4つのデータ線の電圧設定によって2ビットの記憶を行ってもよく、記憶容量当りのコストの低減が図れる。

【0055】

また、本実施例では書込み用トランジスタと読み出し用トランジスタにおいて、ワード線が共通であるが、これを別に設けてもよい。共通の場合と比べて、配線が増える分面積が増大するが、読み出し動作時において書込みトランジスタのワード線電位を固定することが可能となる。従って、より安定な動作が可能であり、読み出し直後に再書込みを行わなくても良いという特徴がある。同時に、書込み動作も読み出しトランジスタをオフ状態に保ったままで行うことが可能となるので、消費電力が低減可能である。

10

【0056】

読み出しにおいては、ゲート電極(5)に正の電圧を印加するのであるが、このパルスの電圧VWRはVWVよりも小さく、書込みトランジスタのチャンネル(3)には、ほとんど電流が流れないため、読み出しパルス幅に対して十分長い時間情報を保持している。

【0057】

一方、読み出しトランジスタは、蓄積電荷量の大小に従ってしきい電圧が変化し、読み出し電圧印加時のコンダクタンスが異なっている。これをセンスして情報を読み出す。蓄積電荷をそのままデータ線に流して、その電位変化をセンスするDRAMと比べ、蓄積電荷量がしきい電圧変化となり、読み出しトランジスタによって増幅した形でメモリセルの外に取り出される。この為、本願発明では、蓄積電荷量を小さくすることが可能である。ここで読み出しトランジスタのソース(7)を書込みトランジスタの下として電位を固定して用い、他端をドレイン(6)として読み出しプリチャージに使うことで書込みトランジスタのチャンネル(3)の電位変化を抑えて蓄積電荷の安定保持を実現している。

20

【0058】

この後、読み出し動作中に書込み用トランジスタを流れた僅かな電流による蓄積電荷量変化を補償するため、読み出し情報に従って、再度、書き込みを行う。保持動作においては、ゲート電極(5)の電圧を、読み出し電圧VWRよりも小さい電圧VW0とする。書込みトランジスタが非導通状態となるが、この時のソース(1)ドレイン(2)間のリーク電流は、チャンネル(3)が薄く、完全に空乏化するため、通常のMOSトランジスタよりも小さい。さらに、バルクシリコン基板を用いた場合、PN接合のリーク電流は基板に流れるが、本構造ではこの基板にあたるリークパスが存在しないためやはりリーク電流が小さい。

30

【0059】

次に、本実施例の半導体装置の製造工程を説明する。図2から図6には本実施例の素子構造を行列状に配列して製造する工程及びレイアウトを示す。図2、図5、図6において、左が断面図、右が上面図である。左右の図では、右図のA-A'断面が左図に対応する。尚、前記上面図は、煩雑さを避ける為、当該工程における主要部位の配置のみを示すもので、正確な上面図には相当しない。又、各断面図は、半導体装置の活性領域を形成する半導体層より上部の構成を例示する。この半導体層は、半導体基板あるいはSOI基板上に配置されるが、各図面でこの基板部分は、図面の簡略化の為、省略されている。又、以下の工程に係わる図3の(b)、図4、図5、及び図6では、基板内の不純物領域は省略されている。この領域は、基本的に図3の(a)を参酌して十分理解出来るであろう。

40

【0060】

まず、p型シリコン基板に、不純物イオン打ち込み及びアニールを行って、nウエル、pウエルの通例の3重ウエル構造を作製する。また、図2(b)の上面図に示すマスクパターン(11)を用いて、絶縁体で埋め込まれた通例の素子分離用の溝(12)を作製する。即ち、前記マスクパターン(11)の間の領域に素子分離用の溝(12)が形成されることになる。又、多数の素子を形成する場合、このマスクパターン(11)が多数個、配列されることになる。

【0061】

前記基板表面の犠牲酸化後、レジストをマスクにしきい電圧調整用の不純物打ち込みを行

50

う。洗浄後シリコン表面を酸化して5 nmの厚さの周辺回路用ゲート絶縁膜を形成する。次に、ロジック回路向けのトランジスタ部分が開口するレジストパターンを、マスク領域として、 SiO_2 膜のエッチングを行う。

【0062】

そして、前記レジスト膜を除去した後、シリコン表面を3 nmの厚さに酸化してロジック回路用のゲート絶縁膜を形成する。当該ゲート絶縁膜の表面を窒化してゲート絶縁膜の誘電率を上げた後、ゲート電極用多結晶シリコンを堆積し、レジストをマスクに多結晶シリコン中に不純物を打ち込む。更に、W膜と SiO_2 膜を堆積し、図2の(b)に示すように、レジストパターン(13)をマスクにゲート電極(14)を形成する。この時、メモリセル内の繰り返しパターンでは、ゲート電極間の距離をほぼ等間隔にすることにより、位相シフト露光のような超解像技術を用いることを可能としている。

10

【0063】

ここで、レジストパターンとゲート電極をマスクに低エネルギーの不純物打ち込みを行って浅い拡散層(16)を形成する。図3の(a)に、半導体基板(8)内の浅い拡散層(16)が示される。この後、 SiO_2 あるいは Si_3N_4 を堆積し、異方性のドライエッチによって、ゲート電極(14)側面にサイドウォール(15)を形成する。再度、レジストパターンとサイドウォール付きのゲート電極領域をマスク領域に、不純物打ち込みを行って拡散層(17)を形成する。この状態が、図3の(a)に示される。

【0064】

この不純物打ち込みの前後に、斜めに拡散層とは異なる極性の不純物打ち込みを行って、ゲート電極(14)端のウエル濃度を上げて短チャネル効果を抑制する工程を行ってもよい。ここで、拡散層抵抗の低減の為、シリサイド化プロセスを行う。例えばチタンシリサイドやコバルトシリサイドを形成する。

20

【0065】

続いて、 SiO_2 膜(300)を堆積し、CMP(chemical mechanical polishing、化学的機械研磨)を行って、ゲート電極(14)の上端が露出するように平坦化する(図3の(b))。図3の(b)では、CMPの後に残された SiO_2 膜300のみが示されている。尚、図3の(c)は、この時の主要部分の平面パターンを示すものである。

【0066】

こうして準備した半導体基体を洗浄後、当該半導体基体上に厚さ8 nmのアモルファスシリコン膜(18)、厚さ5 nmの SiO_2 膜(19)を堆積する。図4の(a)に示されるレジストパターン(20)領域をマスクに、 SiO_2 膜(19)及びアモルファスシリコン膜(18)のドライエッチングを行う(図4の(b))。レジストパターン(20)の平面は、図5の(b)に示されるマスクパターン(23)を用いて形成される。

30

【0067】

この後、 SiO_2 膜(25)を堆積し、さらに、p型の多結晶シリコン、W、 SiO_2 膜(27)を堆積する。レジストパターン(23)をマスクにドライエッチングを行うことによりワード線(26)を形成する(図5の(b))。前記p型の多結晶シリコン、Wの積層体がワード線(26)を構成する。p型の多結晶シリコンを用いるのは書き込みトランジスタのしきい値を正にするためである。このワード線(26)は読み出しトランジスタのゲート電極と書き込みトランジスタのゲート電極を兼ねている。このワード線上の SiO_2 膜(27)は、書き込みトランジスタのゲート絶縁膜(25)よりも十分厚くしておく。

40

【0068】

更に、図6の(a)に示すような穴パターン(28)のレジストを、マスク領域に SiO_2 膜のドライエッチングを行う。この際、ワード線(26)と重なっていない部分(29)の SiO_2 膜のエッチングが進んでゲート電極(14)が露出した時点でも、ワード線上の SiO_2 膜(27)は残っている。この後ゲート電極(14)部分をエッチングするが、ワード線上の SiO_2 膜(27)とゲート電極(14)の間の選択比を十分とるこ

50

とが可能である。ワード線(26)と重なっていない部分の断面図を図6の(b)に示す。この結果、ゲート電極(14)のうちワード線と重なっていない部分(29)、(32)のみがエッチングされてなくなり、書き込みトランジスタのチャネル(21)以外に電荷の流出経路がない電荷蓄積領域(30)が形成される。隣のゲート電極(31)はこのような切断がおこなわれなため、紙面縦方向に導通している。これが書き込みトランジスタのデータ線となる。このようなセルフアライン加工のため、書き込みトランジスタのチャネル(21)及び電荷蓄積領域(30)の幅はワード線(26)の幅と実質的に等しい。この後、所望の配線工程を行う。尚、図6の(a)の左側図は、同図の(a)の右側図の線A-A'に沿った断面図、図6の(b)は、図6の(a)の右側図の線B-B'に沿った断面図である。

10

【0069】

本例の方法では、このように自己整合的な加工を多く用いるため、ワード線は最小ピッチで並べることが可能である。つまり、用いるテクノロジーの特徴的なサイズをFで表せば、2Fピッチとなる。このサイズFは、ライン幅をF、スペース幅をF、即ちライン・アンド・スペースを2Fで形成する場合のサイズを意味している。

【0070】

また、データ線については書き込みデータ線と電荷蓄積部分の形成のために二本一組となるため、ほぼ4Fピッチとなる。ここで素子分離領域に対する書き込みデータ線の合せ余裕を大きく取ったり、読出しデータ線の幅を広くして低抵抗化を図る場合にはさらにおおきくなる。結局単位メモリセルの面積は $8F^2$ から $12F^2$ の程度となり、平面的にトランジスタが並んだ構造であるにもかかわらず小面積で構成可能である。

20

【0071】

図7には本記憶素子を基本とするメモリセルアレイの等価回路図を示す。表1には各動作時の設定電圧を示す。本例は、マトリクスに配置した4つのメモリセルの部分を例示している。その3つについて、MC1、MC2、及びMC3と示した。それらは、書き込みデータ線(DW1、DW2)、読出しデータ線(DR1、DR2)、ソース線(SL1、SL2)を共有化した列と、書き込み読出し共通のワード線(WL1、WL2)を共有化した行で、行列を形成する。

【0072】

【表1】

30

表 1

		書込み		読出し		保持
		データセット	書込み	プリチャージ	読出し	
選択	書込みデータ線1 (DW1)	VD1 "1" VD0 "0"	VD1 "1" VD0 "0"	VDR	VDR	VDR
	読出しデータ線1 (DR1)	—	open	VPC	~VPC VPC-Δ	0
	ソース線1 (SL1)	0	0	0	0	0
	ワード線1 (WL1)	VW0	VWW	VW0	VWR	VW0
非選択	ワード線2 (WL2)	VW0	VW1	VW0	VW0	VW0

10

20

前記素子に即して、アレイでの電圧設定を表1に示す。書込み動作においては、セルMC1とセルMC2のように、同一ワード線で駆動されるセルを同時に書込む。まず、データ・セット・ステップでは、ワード線(WL1)の電圧は書込みトランジスタが非導通の状態であるように設定したまま(例えば、 $VW0 = -1V$)で、書込みデータ線(DR1)電圧を書込み情報「1」または「0」に応じて、VD1、VD0のいずれかに設定する。ここで読出しトランジスタをn型とし、 $VD1 < VD0$ とする。例えば $VD1 = 0V$ 、 $VD0 = 2V$ とする。この後、ワード線(WL1)に書込み電圧VWW(例えば3V)の高さの書込みパルスを加え書込みトランジスタを導通させる。この時書込みトランジスタを、非飽和領域動作させることで、電荷蓄積領域が書込みデータ線(DR1)電圧とほぼ同電位になるまで電流が流れる。書込みパルス印加後に、電荷蓄積領域に蓄積される電荷はデータ線設定が高い(VD0)方が符号を含めた意味で大きく、従って、読出しトランジスタのしきい電圧は低くなる。この結果、読出し動作において読出しデータ線をプリチャージ電圧VPC(例えば1V)に設定した後、ワード線に書込み電圧VWRを印加した際には、読出しトランジスタを流れる電流がより大きくなり、読出しデータ線のプリチャージ電位から急速に読出しトランジスタソース側電位(0V)に近づく。

30

40

【0073】

他方、高しきい電圧状態では、読出しトランジスタを流れる電流が小さく、ほぼプリチャージ電位のまま留まることになり、この差をセンスアンプを用いて検出することで選択セルの情報の読出しが可能である。尚、正のプリチャージ電圧VPCを用いた場合、書込みデータ線電位を高く(この場合VD0)設定した方が読出しデータ線の電位としては低くなる。従って、読出した情報の再書込みでは読み出した結果の電圧の高低を反転させて書込みデータ線にロードする必要がある。従って、読出しデータ線からインバータを介して

50

読出しデータ線に接続されるデータパスを用意した。また、書込み時の非選択セルのワード線電圧 $VW1$ は保持時の電圧 $VW0$ と同じにしてもよいが、選択セルの隣接ワード線についてはより低い電圧 ($VW1 < VW0$) に設定すれば、容量結合による非選択ワード線電位上昇に起因する電荷消失を防ぐことができる。

【0074】

実施例2

図8は、本発明の第2の実施例を示す。図8の(a)は本実施例による素子の断面構造図、図8(b)は上面図を示す。

【0075】

実施例1と基本的に同様の構成であるが、SOI (silicon on insulator) 基板を用いることが異なっている。これに伴って、読出しトランジスタのゲート電極構造、形成方法、書込みトランジスタのチャネル膜厚が異なる。本構造では、よりロジックプロセスとの共通工程が多くなり、メモリを形成するための追加工程数が少ないという特徴がある。また、実施例1と比較して書込みトランジスタのリーク電流がより小さく、記憶保持特性が優れるという特徴を有する。

【0076】

図8において、符号400は半導体基板、48は絶縁膜である。こうして、SOI基板が提供される。この上部に半導体装置の活性領域が構成される。符号41、及び42は素子分離領域、43は半導体領域、44、45は深い拡散層、47、は浅い拡散層領域、40は絶縁膜(一方のFETのゲート絶縁膜ともなる)、35、36及び38はドレイン、ソース領域となる領域、37はチャネル領域、300は絶縁膜、39は絶縁膜、46は導体層である。ここで、ソース、ドレインとなる領域は、金属層とポリシリコン層の積層体、例えば、タングステン層とポリシリコン層の積層体を用いるのが好ましい。更に、前記金属層は前記チャネル層に接する側に配置されるのが好ましい。尚、図面では、この積層の詳細は省略されている。この積層体は、他の実施例においても同様のことが言える。

【0077】

作製プロセスを、実施例1との違いを中心に説明する。図9より図12までは、一連の製造工程を示す。尚、これらの諸図面において、各部の参照符号が省略されている所は、これらの多くの図の幾何学的形状が同一の部分と考えるものとする。

【0078】

通例のSOI基板の如く、SOI用の基板が有する埋め込み絶縁膜(48)上に、所定の半導体層が形成されており、以下の図では、この半導体層より上部の構成について説明する。従って、絶縁性基板の領域は、概ね図面より省略されている。SOI基板と、これに搭載される部位の関係は、図8に示される。

【0079】

前述のSOI基板(400)の埋め込み絶縁膜(48)上に設けられたシリコン層(43)に、素子分離領域(41)、(42)を形成する。この後、ゲート絶縁膜(50)を形成し、さらに Si_3N_4 材料からなるダミーのゲート電極形状の部材(49)を形成する。このダミーゲート部材(49)をマスクにエクステンション領域(47)形成用のインプラを行い、この後、サイドウォール(51)形成後に、拡散層形成用のインプラを行うことでソース(45)、ドレイン(44)を形成する。この状態が図8の(a)の断面図に示される。前記サイドウォールの形成は、実施例1の場合と同様である。図8の(b)は図1の(b)に相当する。

【0080】

こうして準備した半導体基体上に、絶縁膜(310)を堆積後、ダミーゲート(49)上面が露出するようにCMPを行う(図9の(b))。

【0081】

図10の(a)は、図9の(b)と同じ状態を示している。同図では、左にメモリセル及び周辺回路部分の、右側にロジック部分の断面図を併せて示される。本実施例の半導体装置の製造に関して、以下の工程の係わる図10、図11、及び図12では、基板内の不純

10

20

30

40

50

物領域は省略されている。この領域は、基本的に図9の(a)を参酌して十分理解出来るであろう。

【0082】

本例のごとく、ロジック回路部とメモリ回路部とを同一基板に搭載する場合、高速性を追求するロジック部分と低リークを図るメモリセル及び一定の耐圧が要求される周辺回路部分では、ゲート絶縁膜厚が異なる。この為、図10、図11、図12では、同じ半導体装置について、左にメモリセル及び周辺回路部分の、右側にロジック部分の断面図をそれぞれ示す。又、図13、14、15には上面図を示すが、やはり、同じ半導体装置について、左にメモリセル及び周辺回路部分を、右側にロジック部分を示す。更に、拡散層へのコンタクトの取り方の説明のため、図16から図18に縦に並んだ4セルの上面図、図19

10

【0083】

さて、一旦形成したダミーゲート部材(49)を除去し(図10の(b))、ロジック部分にレジスト(55)を形成する。このフォトレジストをマスク領域として、メモリセル読出しトランジスタ及び周辺回路用トランジスタ部分のダミーのゲート絶縁膜(50)を除去する(図10の(c))。このとき、メモリセルの記憶ノードとなる部分や周辺MOSのゲートとなる部分(53)の溝では基板(53)が現れるが、後に書込みデータ線が形成される部分(54)は素子分離領域が現れる。

【0084】

改めて、周辺回路用ゲート絶縁膜(57)を形成した後、周辺回路用等の領域にレジスト

20

【0085】

改めて、ロジック・トランジスタ用ゲート絶縁膜(59)を形成し(図11の(b))、次いで、こうして準備した半導体基体に、金属のゲート材料(60)、例えば、Wを堆積する(図11の(c))。更に、CMPで金属を削ることでダミーゲート部材のあった溝の部分に金属のゲート電極が形成されることになる(図12の(a))。この時、メモリセルの書き込みデータ線(70)、ロジックおよび周辺回路トランジスタのゲート電極(72)が同時に形成される。図13の(a)はこの時の上面のパターンを示す。例えば、データ線(70)、その左側にゲート電極の平面パターンが示される。図13の(a)

30

【0086】

又、図16は、読出しトランジスタのソース領域の拡散層配線(73)のためのコンタクト孔を設ける領域(74)、読出しトランジスタのドレイン領域の拡散層配線(71)のためのコンタクト孔を設ける領域(72)を示す平面図である。また、ゲート電極層を用いた書き込みデータ線(76)、隣接列の書き込みデータ線(77)と平行な線(75)があるが、これが後に加工されて電荷蓄積領域となる。

【0087】

この後、書きこみトランジスタのチャネル形成のため、厚さ3nm程度の極薄アモルファスシリコン(a-Si)膜を堆積し、更に、厚さ10nmのSiO₂膜を堆積する。そして、図12(b)に示されるように、これらのSiO₂膜(62)、a-Si膜(61)を、レジストパターンをマスク(65)にエッチングを行う。この時のレジストパターン(65)の平面図を図13(b)に例示する。

40

【0088】

この時、ロジック部や周辺回路部分は、レジストがないマスクパターンとし、薄膜をエッチングで取り除いている。本実施例では実施例1と同様の効果によって、リーク電流が低く抑えられるのに加え、膜厚方向の量子力学的な閉じ込めエネルギーに起因して膜内のポテンシャルが上がり、さらにリーク電流が小さくなる。また、膜が薄い領域では、僅かな膜厚の変化でも大きなポテンシャル変化があるため、膜内のポテンシャル分布は一様でな

50

くランダムに変化する。このため非導通状態において膜内に低ポテンシャル部分が複数あっても高ポテンシャルの領域で分断されることになり、さらに多結晶膜の粒界もポテンシャル障壁として働くためやはりリークが低減される特徴もある。

【0089】

この後、書込みトランジスタのゲート絶縁膜を形成し、さらにレジストをマスクにロジック部や周辺トランジスタの拡散層、ゲートへのコンタクト孔やメモリセルの読出しトランジスタの拡散層、書込みデータ線、読出しデータ線、ソース線へのコンタクト孔(66)を設ける。このコンタクト孔(66)、素子分離領域(41、42)及びコンタクト孔を設ける領域(72)の配置の例を図14(a)に示す。

【0090】

このレジスト除去後、コンタクト孔内を含む全面に金属材料(64)を堆積し、その上に絶縁膜(64a)を形成する。レジストパターンをマスクに絶縁膜(64a)、金属(64)を加工し、メモリセルアレイでのワード線(67a)形成と同時に、ロジック部、周辺回路の配線(67b)を形成する。メモリセルアレイのソース線配線もこの層で行う(図12の(c))。この時の各パターンの平面配置が図14の(b)に示される。

【0091】

この後、図15の(a)に示す穴パターン(68)の為のフォトリソとメモリセルのワード線(67a)をマスク領域としてエッチングを行い、電荷蓄積部(69)及び書込みトランジスタのチャネル(161)を形成する。図15(b)では、ワード線(67a)と下のチャネル、電荷蓄積領域がセルフアライン加工でパターンが重なるため、ワード線(67a)を破線で示している。又、この時、ロジック部、周辺回路部分はレジストで覆っておくためエッチングされない。

【0092】

図17は、当該半導体装置の一層目の配線層での平面図である。図17には、この時の、読出し用トランジスタのソース領域拡散層配線(73)のためのコンタクト(83)、読出し用トランジスタのドレイン領域拡散層配線(71)のためのコンタクト(81)を示す。書込みデータ線(76)へのコンタクト(80)と隣接列の書込みデータ線(77)へのコンタクト(81)の位置が書込みデータ線方向へずれているが、このため列方向のピッチを小さくすることが可能である。又、ワード線と平行にソース線(78)を設け、異なる列間を接続している。

【0093】

更に、電荷蓄積領域形成のために切り離された部分(79)は、この部分(79)の不純物濃度を十分高くすることによって読出しトランジスタのソース領域拡散層配線(73)と読出しトランジスタのドレイン領域拡散層配線(71)間のリークを十分小さくしている。必要に応じて、この段階で不純物イオン注入を行って、切り離し部分(79)のしきい電圧を上げてよい。

【0094】

この後、絶縁膜を堆積し、平坦化を行う。この絶縁膜は、本半導体装置の一層目の配線層と二層目の配線層の絶縁膜となる。次いで、図18に示す通り、レジストをマスクにスルーホール(84)、(85)を形成する。そして、これらのスルーホール内を含む全面に導体材料、例えば、金属材料を堆積し、レジストをマスクに加工することで二層目の配線を行う。このスルーホール内の導体材料が、一層目と二層目の各配線層の接続を図っている。この二層目の配線を用いて書込みデータ線(86)、読出しデータ線(87)を形成する。読出しデータ線は、半導体基体での拡散層配線(71)を用いており、一般に線幅や厚さが小さいため抵抗が高い。従って本実施例のようにメタル配線で裏打ちすることで低抵抗化を図れる。尚、図18は、当該半導体装置の二層目の配線層での平面図である。この時のメモリセル断面図を図27に示す。二層目の配線においても書込みデータ(150)と読出しデータ線(151)が平行に走る。図27の右図のロジック部では丁度、二層目配線と重なる部分の断面図となっているため、配線断面(153)が示されているが、配線パターンによって異なるのは言うまでもない。本実施例では書込みデータ線(76

10

20

30

40

50

）に対しても同様の配線（８６）を行ったが、これを行わずゲート電極層の配線のみを用いることで二層目の配線のデータ線ピッチを緩和しても良く、より小面積でセルアレイ構成が可能となる（図１８）。図２８に基づいて説明すれば、書込みデータ線（１５１）がなくなる分、読出しデータ線の幅を太くし、線間のピッチを大きくとることが可能となるわけである。

【００９５】

この段階での等価回路図を図１９に示す。実線で囲んだ部分（８８）が、図１６から図１８に対応する。図１８における、Ａ、Ｂ、及びＣの各部位が、図１９における各符号の個所に対応する。この後さらに絶縁膜堆積、平坦化、スルーホール形成、金属材料堆積、加工を繰り返して三層目以降の配線を行う。

10

【００９６】

本実施例に関連した別の実施形態を図２０、図２１に示す。図２０がレイアウト図、２１が等価回路図であり、各々の図面は、前記実施形態の図１７、図１９に対応する。前記実施形態との違いは、書込みデータ線（１０１）用の選択トランジスタ（９６）及び読出しデータ線（１０２）用の選択トランジスタ（９２）を有する点である。これにより、データ線を階層化し、アレイ全体を駆動するのではなく、より小規模な単位を選択的に駆動できる。この為、容量が低減されて高速化、低消費電力化に効果がある。書込み用データ線（ローカル書込みデータ線）（１０１）は選択トランジスタを介し、コンタクト孔（９７）を介してグローバルデータ線に接続される。読出しデータ線（ローカル読出しデータ線）（１０２）も選択トランジスタを介し、コンタクト孔（９１）を介してグローバルデータ線に接続される。ここで、グローバルデータ線は前記実施例の二層目のデータ線配線（８６）（８７）に対応する。また新たにワード線に平行にローカルデータ線選択トランジスタを駆動するための配線（９５）、（１００）が設けられる。

20

【００９７】

実施例３

実施例１及び実施例２では、複数の読出しトランジスタのドレイン領域を、拡散層で接続していたのに対して、以下に例示するように、本実施例はメモリセル毎にコンタクト（１１３）を設け、上層の読出しデータ線（１０９）に接続する例である。このコンタクト孔を２セルで共有する。拡散層配線を用いたほうがセル面積が小さくなるが、本実施例では寄生抵抗が小さいためアクセスが早いソース線（１１４）は拡散層で繋がって、ワード線（１０６）と平行な方向に配線する。

30

【００９８】

図２２から図２４は、本発明の第３の実施例を説明する図である。図２２が断面図、図２３がメモリアレイのレイアウト図、図２４が等価回路図である。図２３のＬ－Ｌ’断面が図２２の（ａ）、Ｍ－Ｍ’断面が図２２の（ｂ）である。また、図２３は図２４中の実線で囲まれた部分（１１５）に対応する。

【００９９】

読み出しトランジスタは、ソース（１１２）及びドレイン（１１１）を有し、そのドレイン領域（１１１）はコンタクト領域（１１３）を通して、上層の読み出しデータ線（１０９）に接続されている。このコンタクト領域（１１３）は、前述の通り、二つのトランジスタの不純物領域が共用して接続されている。図２４に示す等価回路図を参酌すれば、この状態が十分理解されるであろう。絶縁膜（１０７）を介して、書き込みトランジスタの電荷蓄積領域（１０５）、更に、絶縁膜を介してワード線（１０６）が設けられる。

40

【０１００】

図２２の（ａ）に示す断面を略述する。半導体基板の設けた素子分離領域（１０８）が配置される。この上部に、薄膜多結晶シリコン膜をチャンネルに用いたＦＥＴトランジスタが設けられる。薄膜多結晶シリコン膜（１０３）に対して、半導体不純物領域（１０４、１０５）が配される。この上部に、絶縁膜を介して、ワード線領域（１０６）が形成される。図２３の平面図を参酌すれば、領域（１０３）がトランジスタのチャンネル領域である。符号（１０９）は、図２２の（ｂ）で説明した上層の読み出しデータ線（１０９）である

50

。この上層の読み出しデータ線(109)は、コンタクト領域(113)を通して下部の半導体不純物領域に接続されている。

【0101】

素子の動作原理は、実施例1、及び実施例2と同様である。即ち、書込みたい情報に従って、書込みデータ線(104)の設定電圧を変え、ワード線(106)に電圧を印加することで電荷蓄積領域(105)内の蓄積電荷量として記憶する。これをワード線(106)、ソース(112)、ドレイン(111)からなる読出しトランジスタのしきい電圧変化として読み出す。

【0102】

実施例4

本例は、駆動方法を異にする例である。素子構造、セルアレイ構成は、実施例2と同様である。表2は、書き込み、読み出しに関する書き込みデータ線、読み出しデータ線、ソース線及びワード線に対して印加する電圧関係を示している。

【0103】

【表2】

表 2

		書込み		読出し1		読出し2	
		データセット	書込み	プリチャージ	読出し	プリチャージ	読出し
選択	書込みデータ線1 (DW1)	VD1 (0,1)	VD1 (0,1)	VDR	VDR	VDR	VDR
		VD2 (1,1)	VD2 (1,1)				
		VD3 (0,0)	VD3 (0,0)				
		VD4 (1,0)	VD4 (1,0)				
	読出しデータ線1 (DR1)	—	open	VPC	VPC- Δ'	VPC	VPC- Δ
					VPC- Δ		\sim VPC
					\sim VPC		VPC- Δ
					\sim VPC		\sim VPC
	ソース線1 (SL1)	0	0	0	0	0	0
	ワード線1 (WL1)	VW0	VWW	VW0	VWR1	VW0	VWR2
VWR3							
非選択	ワード線2 (WL2)	VW0	VW1	VW0	VW0	VW0	VW0

10

20

30

本実施例では1セルに2ビットの記憶を行う。書込み動作時の書込みデータ線データセットの電圧設定を4通りとする。情報(0,1)(1,1)(0,0)(1,0)に対応して書込みデータ線電圧を各々VD1、VD2、VD3、VD4(但し、VD1>VD2>VD3>VD4)に設定して書込みを行うと、読出しトランジスタは図25のように書込みデータ線設定電圧と逆の大小関係のしきい電圧となる。図25はワード線電圧と読み出しトランジスタのドレイン電流との関係を示す図である。尚、VDRはデータ線電圧、VPCはプリチャージ電圧、VWWは書き込み電圧、VW0は保持時の電圧、VW1は非選択セルのワード線電圧、VWR1は第1の読み出し電圧、VWR2は第2の読み出し電圧、VWR3は第3の読み出し電圧を示す。

【0104】

電荷蓄積によるしきい電圧変化を読み出すという点ではフラッシュメモリと同様であるが、フラッシュメモリの2bit/セル記憶のように情報書込み時のペリファイ動作は不要である。これは書込みトランジスタを介して電荷を注入するため、設定電圧、容量に従っ

40

50

て高精度に蓄積電荷量が決まるからであり、フラッシュメモリと比較して書込みばらつきが小さいからである。このためより多くの書込みデータ線電圧設定を用いて1セルでさらに多くのビットを記憶することも可能である。

【0105】

読出し動作を説明する。まず1ビット記憶の場合と同様の手続きで読出し動作を行う。このときの読出しワード線電圧VWR1は(1, 1)と(0, 0)のしきい電圧の間に設定する。この結果、(0, 1)あるいは(1, 1)なのか、(0, 0)あるいは(1, 0)なのかが判定できる。この結果をレジスタに格納し、この結果に従って2回目の読出し動作におけるワード電圧を各々VWR2、VWR3に設定する。この2回目の読出しによって(0, 1)あるいは(0, 0)なのか、(1, 1)あるいは(1, 0)なのか判定できる。この結果と1回目読出しの結果で論理演算を行うことで出力読出し結果を出力する。

10

【0106】

次に本実施例におけるメモリ部分の構成を動作とともに説明する。図26は本例のメモリ部分とその周辺回路部分とを示す構成図である。

【0107】

まずメモリからの読出し動作を説明する。要求されたアドレス信号(116)に対して、入出力インターフェースが行アドレス(117)、列アドレス(118)、上位下位ビット選択信号(135)を生成する。与えられた行アドレス(117)、列アドレス(118)に対応するメモリセルには2ビットの情報が記憶されているが、これを上述の読出し手順によってレジスタ1、レジスタ2に格納する。この後上位下位ビット選択信号(135)に従って上下切り替え回路(133)で選択し、データ出力(126)を行う。次にメモリへのストア動作を説明する。与えられたアドレス信号(116)に応じて入出力インターフェースが行アドレス(117)、列アドレス(118)、上位下位ビット選択信号(135)を生成する。まず、行デコーダ(132)により選択された行の読出し動作を行う。この結果がレジスタ1、レジスタ2の格納される。続いて入力データ(124)を列デコーダ(122)により選択されたデータ線(129)に繋がるレジスタに保持するのであるが、この時レジスタ1を用いるのかのレジスタ2を用いるのかを上位下位ビット選択信号(135)によって上下切り替え回路(133)が決まる。この時情報が書込まれない方のレジスタには情報を保持したままである。この後レジスタ1(119)、レジスタ2(120)の格納された情報を元に書込みデータ線(130)電圧を設定し、ワード線(128)に書込みパルスを与えることで書込みを行う。これにより1セル(131)に記憶されている2ビットのうち1ビットのみを書きかえることが可能である。

20

30

【0108】

また、前記方法によりビット単位の読出し、書込み動作が可能であるが、メモリを2ビット一組で管理し、上位ビットと下位ビットの書込み、読出しを同時に行うことにすると動作の高速化が図れる。これにはメモリ外部との入出力を2ビット一組とし、同じアドレスを割り振る管理方法と、メモリ内部で処理する管理方法がある。前者の場合データ入出力インターフェース(127)とI/O制御回路(121)の間のデータ受け渡しも2ビット一組で行われ、上位下位のビットが各々レジスタ1(119)、レジスタ2(120)に格納されるだけなので簡単である。後者の場合、書込み動作においては連続するアドレスの2ビットデータを上下切り替え回路(133)が同じデータ線のレジスタ1、レジスタ2に振り分ける。読出し動作においては逆に上下切り替え回路(133)によってレジスタ1(119)、レジスタ2(120)に保持されている読出し結果を連続させて出力データ(126)として送り出す。この上下切り替え回路(133)の機能を入出力インターフェース(127)に受け持たせてももちろん構わない。このような方法を用いれば、上述1ビット単位での書込みのように一旦読出し動作を行う必要がなく、書込み動作が高速化される。また読出しにおいても同時に読み出した2ビットが両方利用できるためデータ出力のスループットが向上する。前記高速化の工夫は実用上1ビット入出力が少なく、数ビットあるいは数バイト単位以上の入出力がほとんどであるため有効である。ハード構成上は図27とほとんど同じであるが、上位下位ビット選択信号(135)が不要である

40

50

点で異なる。

【0109】

実施例5

本例は、薄膜なる半導体膜、例えば多結晶シリコン膜を用いたトランジスタの例を示す。これまでの実施例に示された書込み用トランジスタと基本的には同様の構成である。本例はそのソース、ドレイン(200、201)、及びチャネル層の設け方に特徴がある。図28の(a)は本実施例による素子の断面構造図、図28の(b)は主要部の上面図である。

【0110】

素子は絶縁膜(206)の上部に形成される。それは、例えば、SIO基板の上部である。ソース領域、ドレイン領域は厚さ60nmのn型多結晶シリコンよりなり、チャネル(202)は厚さ5nmのイントリンシック多結晶シリコン薄膜である。ゲート電極はp型多結晶シリコンとW(タングステン)の積層構造よりなる。ゲート絶縁膜(204)は厚さ8nmのSiO₂膜である。前記多結晶シリコン薄膜はイントリンシックな結晶が好ましい。多結晶シリコン薄膜の不純物濃度として言うならば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下を多くの場合用いている。

10

【0111】

ゲート絶縁膜(204)の上部にゲート電極部(203)が配される。尚、図28の(b)の平面図では、図28の(a)の断面図でのチャネル層(202)におけるチャネルを構成する部分を符号(202)と示した。

20

【0112】

本例では、薄膜チャネル(202)下には絶縁膜(205)があり、ソース(200)、ドレイン(201)部分の上面とチャネル部分(202)の高さが実質的に等しいという特徴がある。従って、ゲート絶縁膜はゲート下にあたる部分において、ほぼ平坦な下地に形成される。従って段差が存在する場合と比較して、電界集中が起こらず、耐圧がよいためより薄膜化が可能である。さらに段差存在の場合端部で膜厚が厚くなるが、本構造では一様な膜厚が実現でき、短チャネル効果に対しても優れる。さらにゲート加工を段差上で行わなくてよいため、オーバーエッチングをかける必要がなく、プロセス面で余裕がことから歩留まりも向上する。ここで基板にはシリコン基板を用いる必要はなく、例えばガラス基板を用いても良い。ソース、ドレイン領域はp型の半導体でも構わないし、金属や半導体と金属の積層構造でも構わない。特に金属や半導体と金属の積層構造は低抵抗であるため、この材料で配線を行うことが可能である。本素子はチャネル薄膜部分の完全空乏化によってチャネル電流遮断が行えるため、pn接合がなくともスイッチング動作が可能である。チャネル材料にはSi以外の半導体、例えばGeやSiGeを用いても良く、しきい電圧設定あるいはモビリティの点で設計自由度が増える。本願発明に係わる薄膜なる半導体膜の厚さは、5nm以下が、わけても好ましい。

30

【0113】

本素子のゲート電圧に対するドレイン電流の依存性は通常のn型MOSトランジスタと同様であるが、リーク電流が非常に小さいという特徴がある。これは、発明者等が独自の試作、評価によって見出した実験的事実であるが、基板部分が存在しないため基板へのリークパスがない効果、膜厚が薄いためにチャネルが完全空乏化する効果に加え、リークパスとなりうるグレインバウンダリが一次元的になったことによる効果であると考えられる。本半導体素子は低リーク、しかも絶縁膜上に形成できることから、低消費電力でしかも低コストでの作製が可能である。本半導体素子を用いてロジック回路を形成してもよいし、SRAMを構成してもよい。また、ロジック回路のうち低リークとしたい部分にのみ用いてもよいし、SRAMの抵抗部分に用いてもよい。さらにDRAMのバストランジスタにれば、リフレッシュサイクルが長く、低消費電力のメモリが実現できる。他のメモリへの応用例を他の実施例で述べる。

40

【0114】

次に、本実施例の半導体素子の製造工程の主要部について簡潔に説明する。絶縁膜上に、

50

ソース、ドレインを形成するn型多結晶シリコンを堆積する。レジストをマスクにエッチングを行い、ソース、ドレイン領域を所望形状に形成する。他の実施例で詳しく説明したように、基板表面を用いたトランジスタのゲート電極と本素子のソース領域、ドレイン領域を同時形成してもよい。この後、絶縁膜を堆積する。そして、CMP (chemical mechanical polishing) を用いて前記絶縁膜を削り、ソース、ドレインの上面が露出するようにする。チャンネル薄膜となる厚さ5nmの通例のノンドープのアモルファスシリコン膜を堆積し、さらに厚さ5nmのSiO₂膜を堆積する。レジストをマスクに不要部分の部分のノンドープのアモルファスシリコン膜をエッチングする。さらにゲート電極材料を堆積、レジストをマスクにエッチングすることで素子の基本構造が形成される。

10

【0115】

実施例6

図29から図31は本実施例によるメモリセルアレイのレイアウト図を製造工程とともに説明する図である。点線で囲まれた部分が2セル分を含むアレイの単位構造であり、X方向、Y方向に同じ構造が繰り返されて大規模アレイを実現する。本実施例はチャンネル加工の方法に特徴があり、ゲート絶縁膜の薄膜化、高信頼化に効果がある。

以下では、本実施例の製造工程に従って構造を説明していく。基板はp型シリコン基板を用いる。まず、犠牲酸化後イオン打ち込みのエネルギーを高くするかアニール時間を長くすることで深いn型のウエルを形成する。素子分離領域(207)に溝を掘り、絶縁膜を埋め込んだ後に平坦化を行う。再度犠牲酸化を行った後イオン注入とアニールを行い、p型のウエルを形成する。この結果p型ウエルはp型の基板とはn型のウエルによって電氣的に切り離される。従ってp型ウエル間で異なる電位を与えることが可能となる。次に基板表面を酸化し、読出しトランジスタのゲート絶縁膜を形成し、n型の多結晶シリコンを堆積する。この層で書きこみトランジスタのソース、ドレインが形成される。次に穴パターン(208)のレジストをマスクに開口部分の多結晶シリコンを除去する(図29(a))。この溝幅が書きこみトランジスタのチャンネル長を規定する。

20

【0116】

絶縁膜を堆積し平坦化を行った後、チャンネルとなるアモルファスシリコン薄膜を堆積する。この上に書きこみトランジスタのゲート絶縁膜となる絶縁膜を堆積し、さらに書きこみトランジスタのゲート電極材料としてp型の多結晶シリコンを堆積し、不純物の活性化アニールを行う。書きこみトランジスタのゲート電極形成用のレジストパターン(210)をマスクに書きこみトランジスタのゲート電極材料、書きこみトランジスタのゲート絶縁膜、チャンネル薄膜、n型多結晶シリコン膜をエッチングする(図29(b))。この結果、先の穴パターン(208)の開口部とゲート用のレジストパターン(210)の重なった部分(211)に書きこみトランジスタのチャンネルが形成される。さらに形成された書きこみトランジスタのゲートパターンをマスクにn型不純物を打ち込みエクステンション領域を形成する。この後絶縁膜を堆積、エッチバックすることでサイドウォールを形成する。さらにn型不純物を高濃度に打ち込み読出しトランジスタの拡散層領域を形成する。ここで基板表面にTi(チタン)を堆積し、アニールを行って基板表面を低抵抗化する。この後所定の穴パターン(212)を用いてゲート電極を一部エッチングし、上下2セルのゲート電極を切り離す。この時その下の書きこみトランジスタのゲート絶縁膜、n型多結晶シリコン膜はエッチングしない。ここで他の実施例とは異なり、書きこみトランジスタのゲート絶縁膜堆積前にチャンネル薄膜を加工する工程が入らないという特徴がある。従ってチャンネル薄膜保護用の絶縁膜形成を省略出来る。

30

40

【0117】

他の実施例ではこの保護膜がチャンネル加工工程によってダメージを受けるため、さらにその上にゲート絶縁膜を形成したが、本実施例では一回の堆積でよく、しかもダメージを受けないことからゲート絶縁膜の薄膜化が可能であり、従って書きこみトランジスタ動作電圧の低電圧化、高性能化が図れる。次に絶縁膜を堆積、平坦化した後レジストパターンをマスクにコンタクト穴を開ける(図30(a))。2セル共通の読出しトランジスタのド

50

レイン領域に対するコンタクト穴(215)、2セル共通の書きこみトランジスタのドレイン領域に対するコンタクト穴(213)、書きこみトランジスタゲート兼読出しトランジスタゲートへのコンタクト穴(214)に加え、周辺回路、ロジック回路のゲートや拡散層領域へのコンタクト穴も同時に開けることが可能である。2セルの読出しトランジスタのソース領域(220)(221)は異なっており、チタンシリサイドを表面に持つ拡散層配線を用いてX方向に配線されている。この後W等の金属材料を堆積し、レジストをマスクに加工することで一層目の金属配線を行う(図30(b))。この線でワード線(216)を形成しセルの書きこみトランジスタゲート兼読出しトランジスタゲートをX方向に配線する。また、この金属層で読出しトランジスタのドレインを引き上げたパッド(217)、書きこみトランジスタのドレインを引き上げたパッド(222)を形成する。さらに絶縁膜を堆積、平坦化した後レジストをマスクにスルーホール(218)(224)を開け、二層目の金属層を堆積して加工することで二層目の配線を行う(図31)。この層で読出し用データ線(219)、書きこみ用データ線(223)をY方向に配線する。ここで通常書きこみトランジスタは、小さな容量の充放電を行えばよいために流す電流が小さい。書きこみ用データ線(223)は読出し用データ線(219)よりも線幅を細くすることが可能である。

10

【0118】

【発明の効果】

本願発明によれば、低コストで高性能のロジック、メモリ混載の半導体装置を提供することができる。又、本願発明は、微細化がさらに進んでも、動作が可能である高集積メモリ装置、あるいはこのメモリ装置を用いた半導体装置を提供することが出来る。

20

【図面の簡単な説明】

【図1】図1は、本願発明の実施例1の半導体装置を説明する為の図である。

【図2】図2は、本発明の実施例1の半導体装置の製造方法を説明する為の図である。

【図3】図3は、本発明の実施例1の半導体装置の書きこみトランジスタ作製方法を説明する図である。

【図4】図4は、本発明の実施例1の書きこみトランジスタのチャンネル加工方法を説明する断面図である。

【図5】図5は、本発明の実施例1の半導体装置の製造方法を説明する図である。

【図6】図6は、本発明の本発明の実施例1の半導体装置の製造方法を説明する図である

30

【図7】図7は、本発明の実施例1の半導体装置のレイ構成示す図である。

【図8】図8は、本発明の実施例2の半導体装置の製造工程を説明する図である。

【図9】本発明の実施例2の半導体記憶素子の製造工程を説明する断面図である。

【図10】図10は、本発明の実施例2の半導体装置の製造方法を説明する断面図である

【図11】図11は、本発明の実施例2の半導体装置の製造方法を説明する断面図である

【図12】図12は、本発明の実施例2の半導体装置の製造方法を説明する断面図である

40

【図13】図13は、本発明の実施例2の半導体装置の製造方法を説明する上面図である

【図14】図14は、本発明の実施例2の半導体装置の製造方法を説明する上面図である

【図15】図15は、本発明の実施例2の半導体装置の製造工程を説明する上面図である

【図16】図16は、本発明の実施例2の半導体装置のメモリセルレイ構成を説明する上面図である。

【図17】図17は、本発明の実施例2の半導体装置のメモリセルレイ構成を説明する上面図である。

50

【図 18】図 18 は、本発明の実施例 2 の半導体装置のメモリセルアレイ構成を説明する上面図である。

【図 19】図 19 は、本願発明の実施例 2 の半導体装置のメモリセルアレイ構成を説明する等価回路図である。

【図 20】図 20 は、本願発明の実施例 2 の半導体装置の他の実施形態のメモリセルアレイ構成を説明する上面図である。

【図 21】図 21 は、本願発明の実施例 2 の半導体装置の他の実施形態のメモリセルアレイ構成を説明する等価回路図である。

【図 22】図 22 は、本願発明の実施例 3 の半導体装置の製造工程を示す断面図である。

【図 23】図 23 は、本願発明の実施例 3 の半導体装置のメモリセルアレイ構成を説明する上面図である。

10

【図 24】図 24 は、本願発明の実施例 3 の半導体装置のメモリセルアレイ構成を説明する等価回路図である。

【図 25】図 25 は、本願発明の実施例 4 の半導体装置のメモリセルの各記憶状態における電流電圧特性を説明する図である。

【図 26】図 26 は、本発明の実施例 4 の半導体装置の周辺回路を含めたメモリ部分の構成を示す図である。

【図 27】図 27 は、本願発明の実施例の半導体装置の製造工程を示す断面図である。

【図 28】図 28 は、本願発明の実施例 5 に説明するトランジスタの基本構成を示す図である。

20

【図 29】図 29 は、本願発明の実施例 5 に説明するトランジスタの基本構成を示す平面図である。

【図 30】図 30 は、本願発明の実施例 6 に説明する半導体装置の製造工程を示す上面図である。

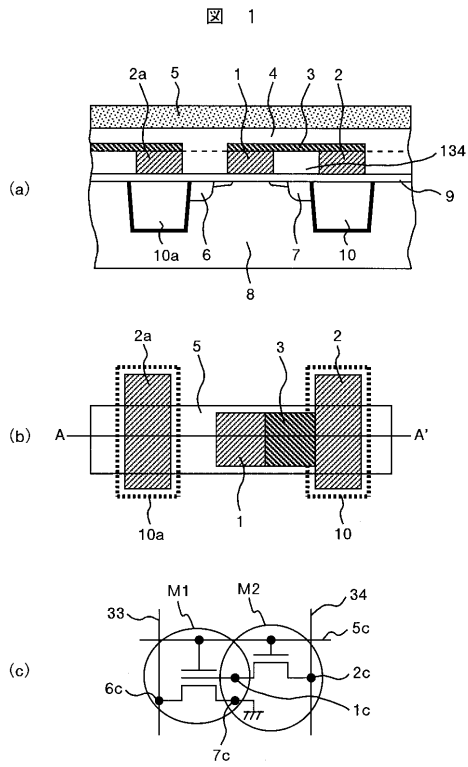
【図 31】図 31 は、本願発明の実施例 6 に説明する半導体装置の製造工程を示す上面図である。

【符号の説明】

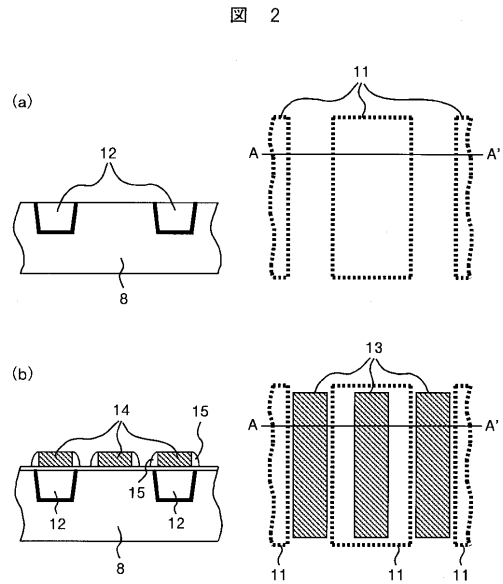
1 : ソース領域、 2 : ドレイン領域、 3 : チャネル領域、 4 : 絶縁層、 5 : 制御電極、 6 : ドレイン領域、 7 : ソース領域、 8 : シリコン基板、 9 : 絶縁膜、 10 : 素子分離領域、 M1 : 読出し用トランジスタ、 M2 : 書込み用トランジスタ、 12 : 素子分離領域、 13 : レジストパターン、 14 : ゲート電極、 15 : 側壁絶縁膜、 16 : 浅い拡散層、 17 : 拡散層、 18 : アモルファスシリコン膜、 19 : 絶縁膜、 20 : レジスト、 21 : 書込みトランジスタのチャネル、 23 : レジストパターン、 25 : 絶縁膜、 26 : ワード線、 27 : 絶縁膜、 28 : 穴パターン、 41、 42 : 素子分離領域、 43 : 半導体層、 44 : ドレイン領域、 45 : ソース領域。

30

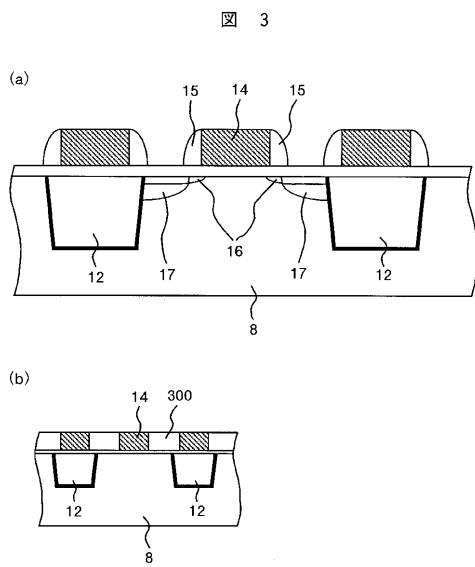
【 図 1 】



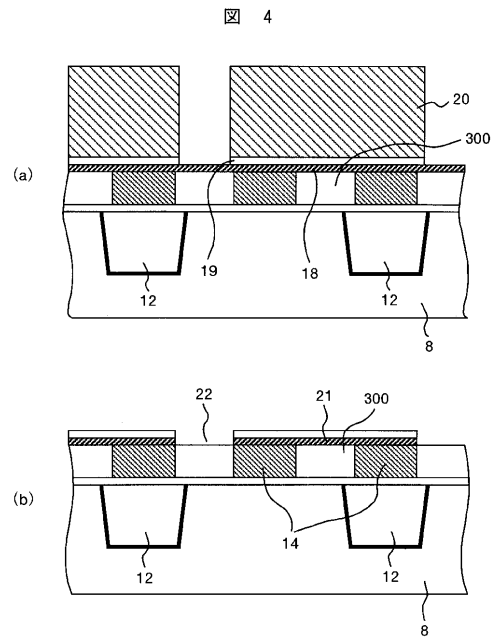
【 図 2 】



【 図 3 】

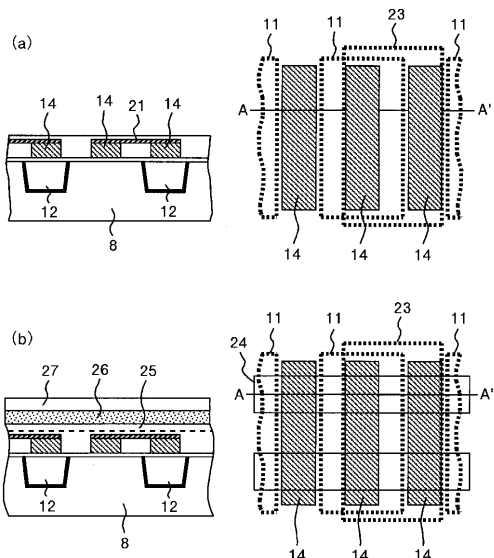


【 図 4 】



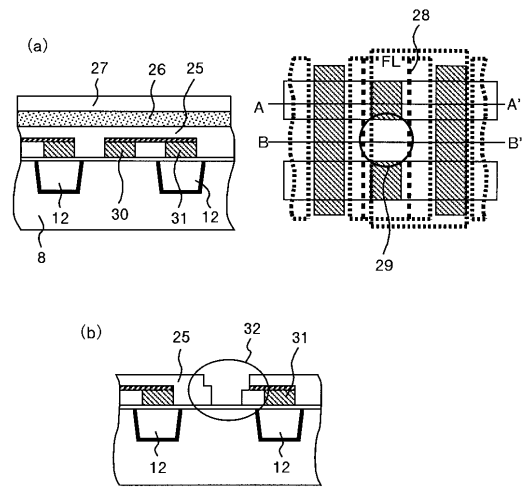
【 図 5 】

図 5



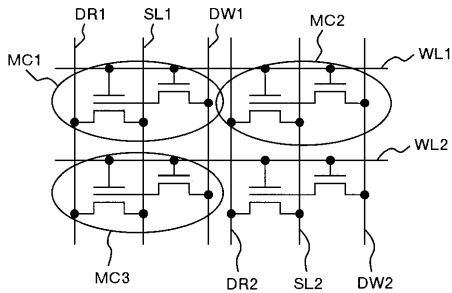
【 図 6 】

図 6



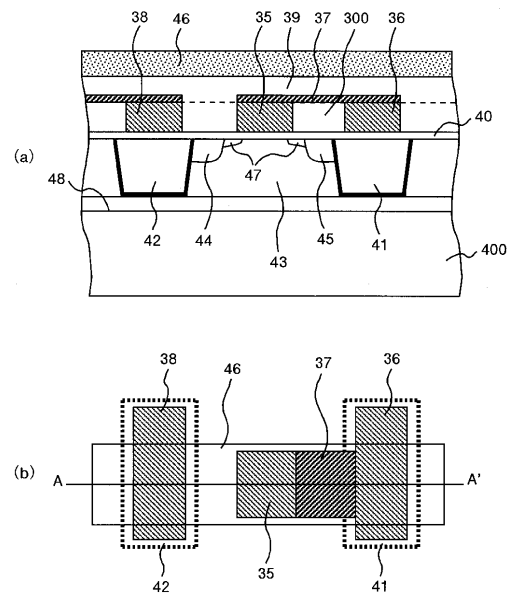
【 図 7 】

図 7



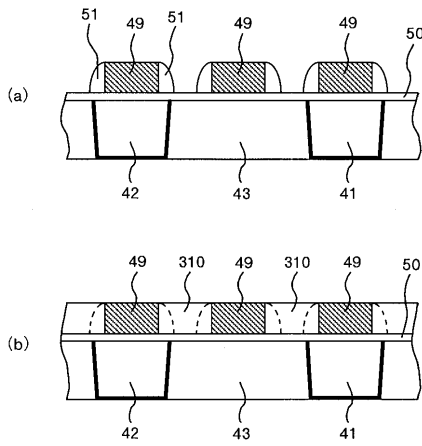
【 図 8 】

図 8



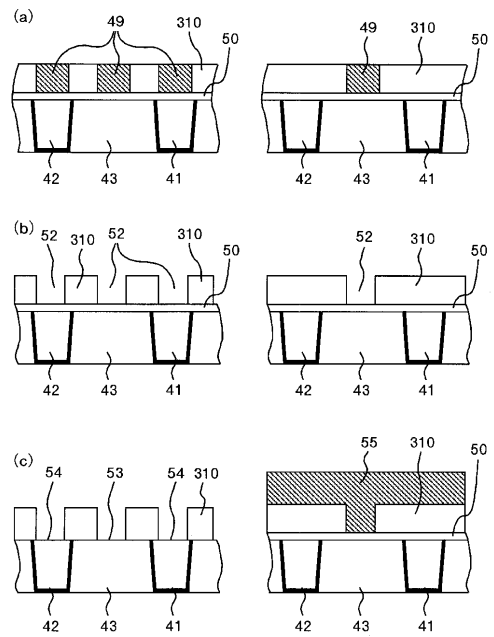
【 図 9 】

図 9



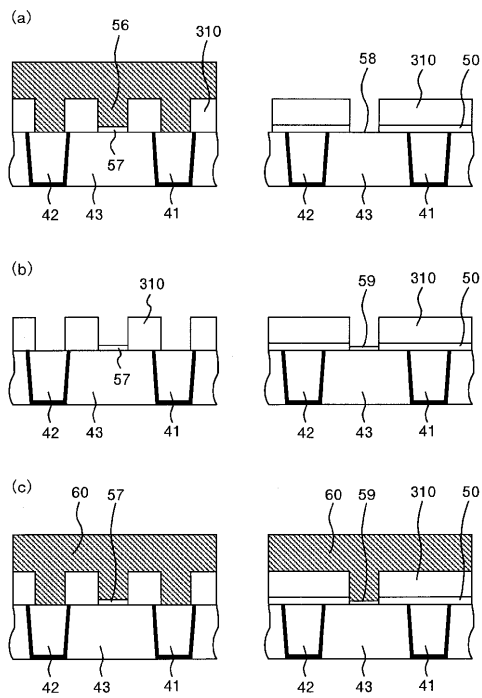
【 図 10 】

図 10



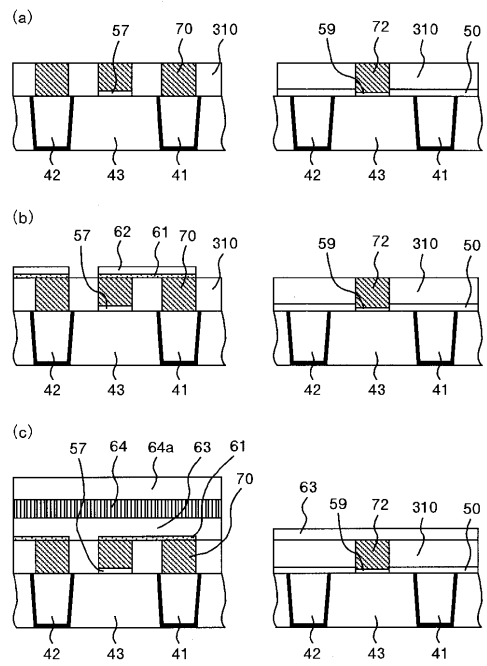
【 図 11 】

図 11

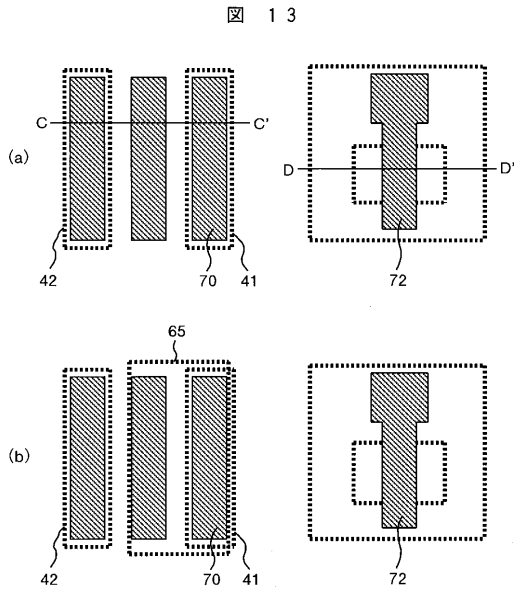


【 図 12 】

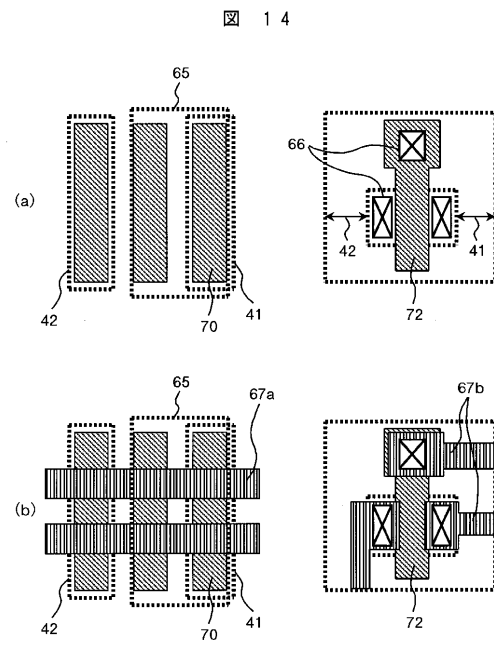
図 12



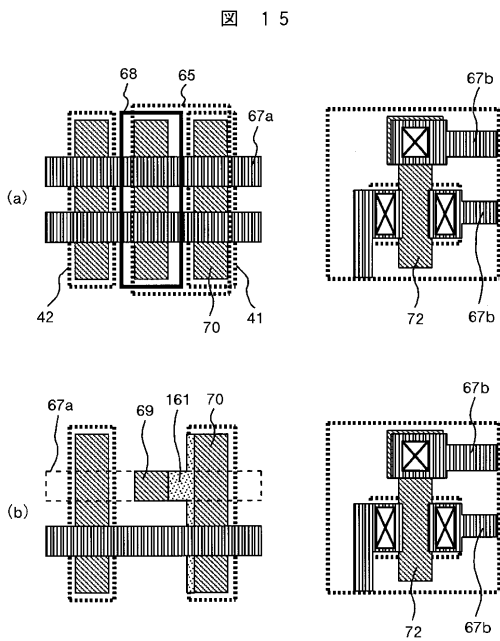
【 図 1 3 】



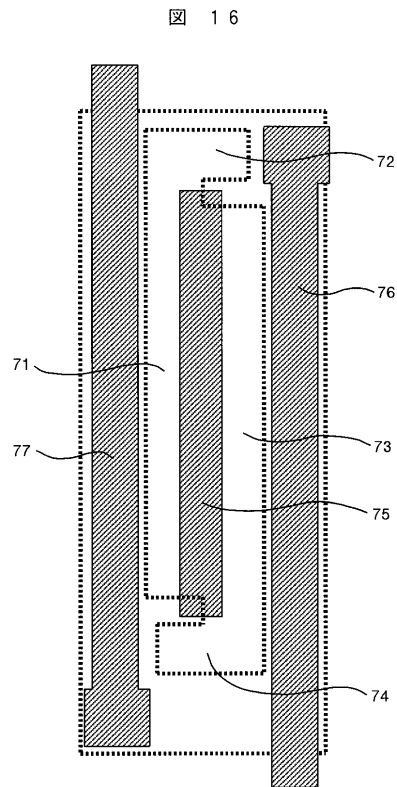
【 図 1 4 】



【 図 1 5 】

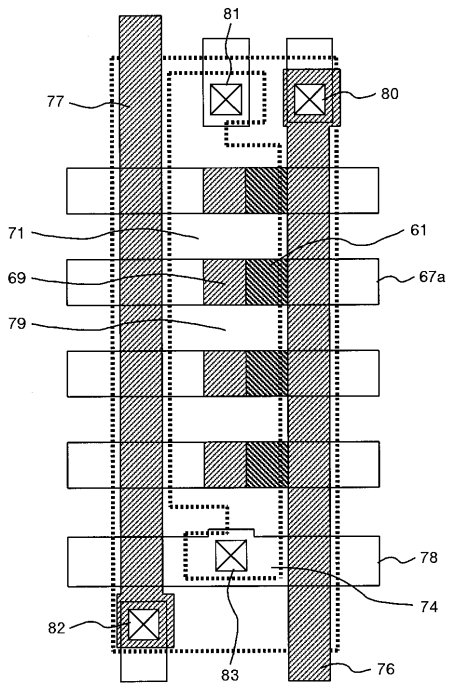


【 図 1 6 】



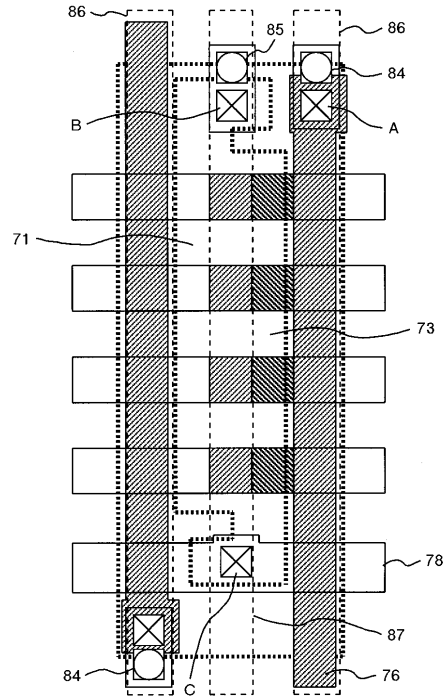
【 図 17 】

図 17



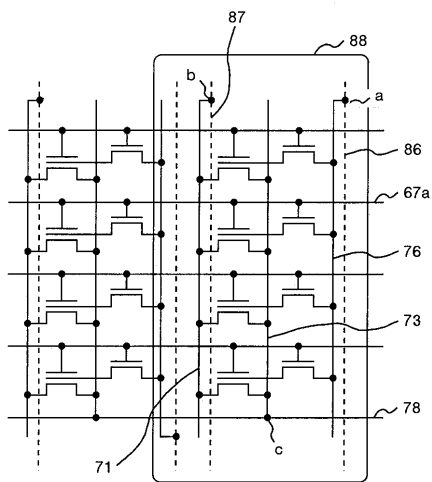
【 図 18 】

図 18



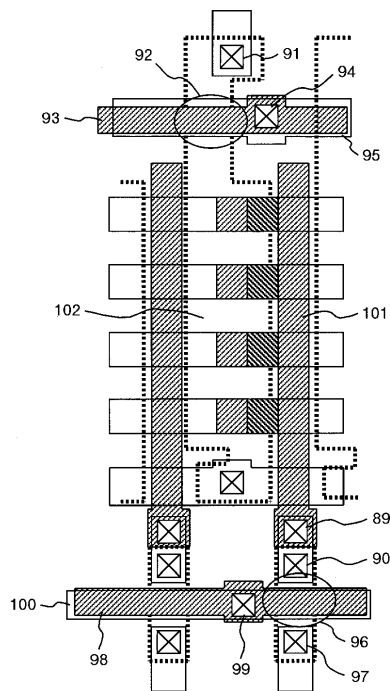
【 図 19 】

図 19



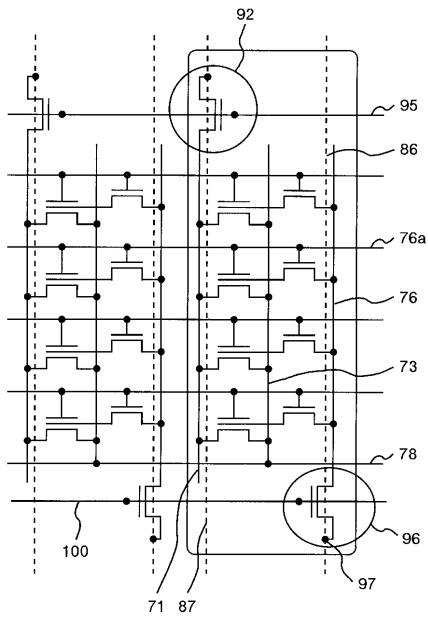
【 図 20 】

図 20



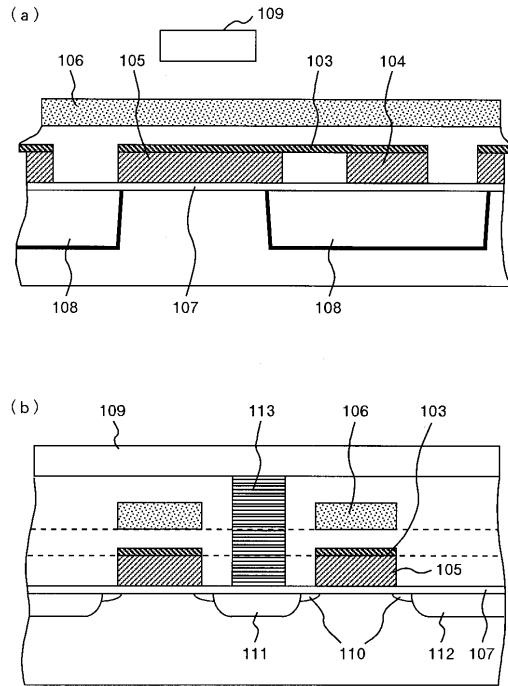
【 図 2 1 】

図 2 1



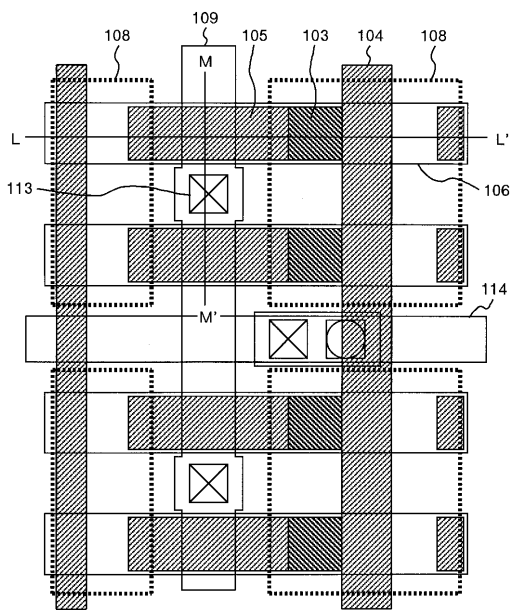
【 図 2 2 】

図 2 2



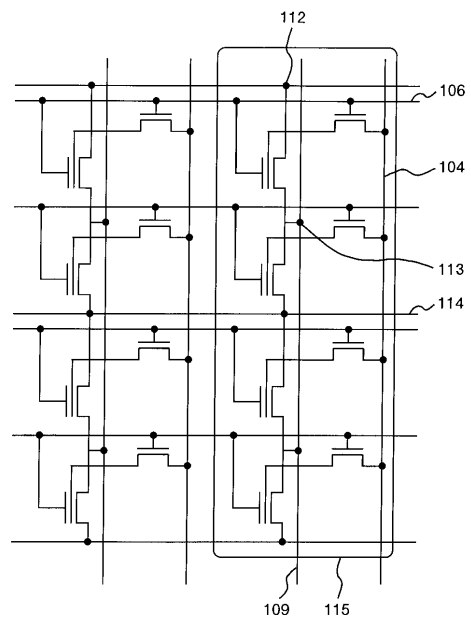
【 図 2 3 】

図 2 3



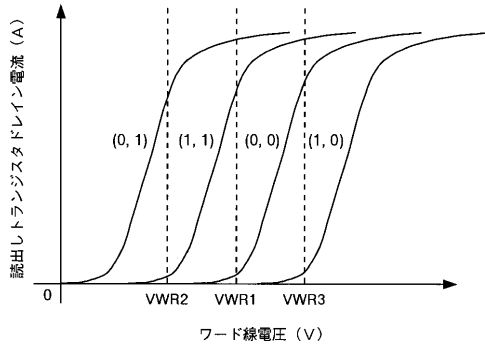
【 図 2 4 】

図 2 4



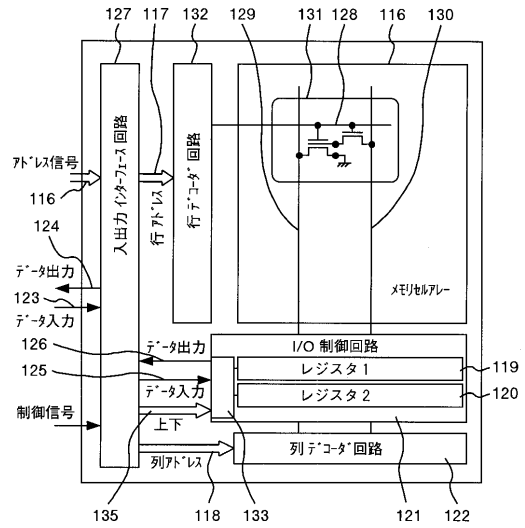
【 図 2 5 】

図 2 5



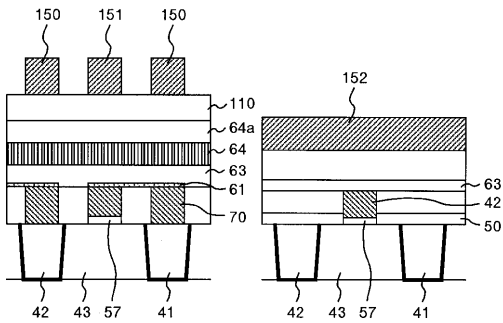
【 図 2 6 】

図 2 6



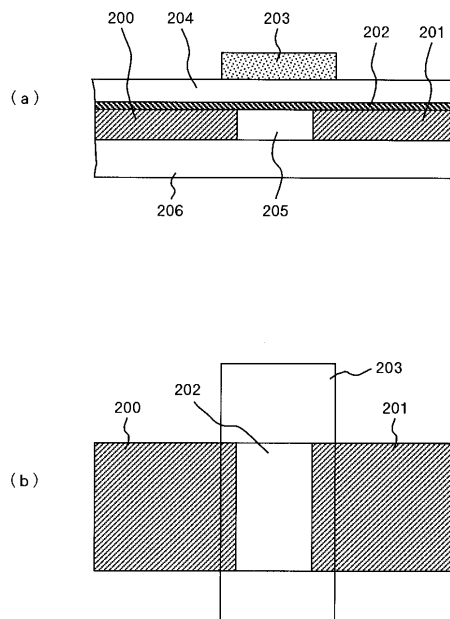
【 図 2 7 】

図 2 7

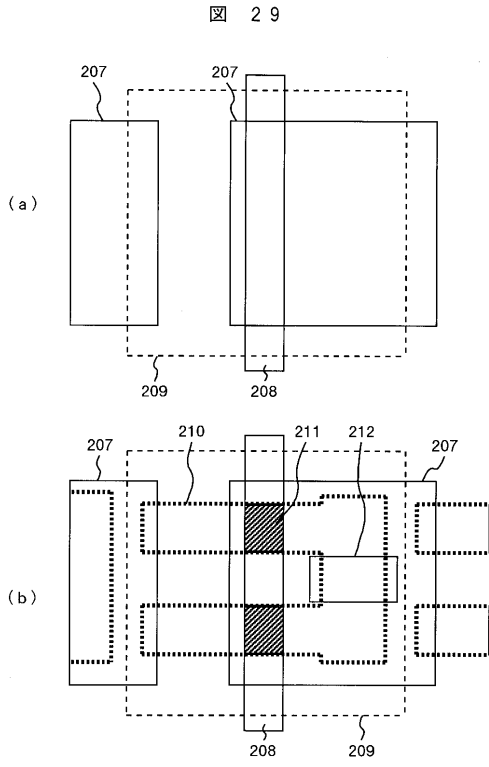


【 図 2 8 】

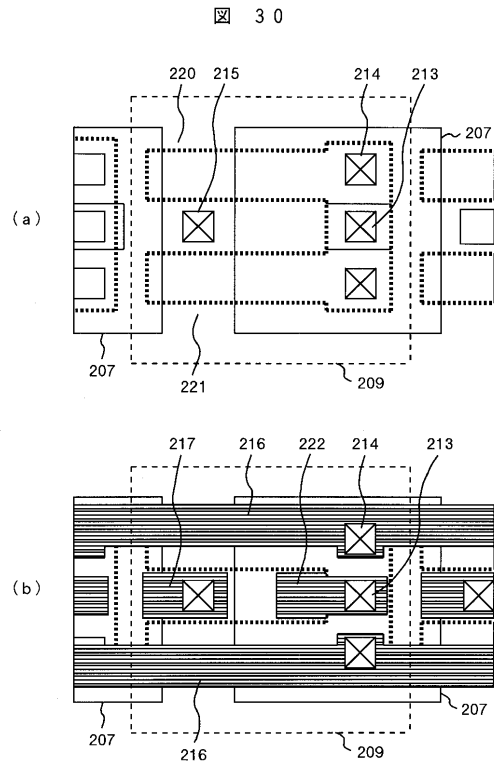
図 2 8



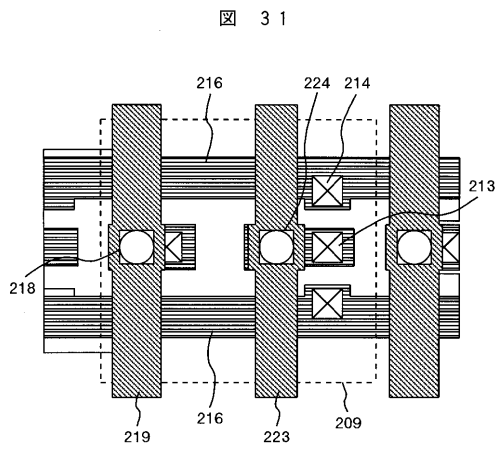
【 図 2 9 】



【 図 3 0 】



【 図 3 1 】



フロントページの続き

(56)参考文献 特開昭62-060192(JP,A)
特開平08-316343(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/10 461