

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4461154号
(P4461154)

(45) 発行日 平成22年5月12日(2010.5.12)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.	F I	
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 C
HO 1 L 27/092 (2006.01)	HO 1 L 27/08	3 2 1 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 3 A
HO 1 L 27/08 (2006.01)	HO 1 L 29/78	6 1 8 C
HO 1 L 21/8244 (2006.01)	HO 1 L 27/08	3 3 1 E

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2007-129579 (P2007-129579)	(73) 特許権者	000003078
(22) 出願日	平成19年5月15日(2007.5.15)		株式会社東芝
(65) 公開番号	特開2008-288272 (P2008-288272A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年11月27日(2008.11.27)	(74) 代理人	100058479
審査請求日	平成21年3月6日(2009.3.6)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に配置され、1つのインバータを構成するn型FinFETとp型FinFETを具備し、前記n型及びp型FinFETのそれぞれは、アクティブ領域としてのフィン部と、ゲート絶縁膜を介して、前記フィン部のうちチャンネル領域と立体交差するゲート電極とを有するとともに、前記フィン部のうち前記チャンネル領域を挟んだ一端側及び他端側にそれぞれコンタクト領域が設けられ、前記n型FinFETのチャンネル幅と前記p型FinFETのチャンネル幅は同じであり、前記インバータの出力ノードとなる前記p型FinFETのコンタクト領域のフィン幅は、前記n型FinFETのチャンネル領域のフィン幅及び前記n型FinFETのコンタクト領域のフィン幅よりも広いことを特徴とする半導体装置。

10

【請求項2】

前記p型FinFETのチャンネル領域のフィン幅は、前記n型FinFETのチャンネル領域のフィン幅よりも広いことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記p型FinFETのチャンネル領域の不純物濃度は、前記n型FinFETのチャンネル領域の不純物濃度よりも高いことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記半導体基板は、SOI領域とバルク領域からなり、前記n型FinFETは、前記SOI領域内に配置され、前記p型FinFETは前記バルク領域内に配置されることを

20

特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記 p 型 F i n F E T は、N ウェル領域内に設けられ、前記 N ウェル領域には、バイアス電圧が印加されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に係り、特に、F i n F E T を用いたインバータ回路を含む半導体装置に関する。

10

【背景技術】

【0002】

シリコン基板上に形成される L S I (L a r g e S c a l e I n t e g r a t e d C i r c u i t) の高性能化が推し進められている。

【0003】

これは、論理回路または S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) などの記憶装置に用いられる M I S (M e t a l - I n s u l a t o r - S e m i c o n d u c t o r) トランジスタに対して、スケーリング則に基づくゲート長の縮小やゲート絶縁膜の薄膜化がなされることで、実現されている。

【0004】

20

例えば、チャンネル長が 30 nm 以下の短チャンネル領域におけるカットオフ特性を改善するために、シリコン基板を短冊状に細く切り出した突起状領域（これを、フィン部と呼ぶ）と、ゲート電極とを立体交差させた 3 次元構造 M I S トランジスタが開発されている。

【0005】

この 3 次元構造の M I S トランジスタは、F i n F E T (F i n F i e l d E f f e c t T r a n s i s t o r) と呼ばれ、フィン部の両側面にトップゲートとバックゲートとがそれぞれ設けられたダブルゲート構造となっている。

【0006】

そして、F i n F E T は、一般に、完全空乏型 M I S トランジスタであり、短チャンネル効果を抑制するために、フィン幅がゲート長よりも短くされている。

30

【0007】

近年では、この F i n F E T を用いて S R A M を構成する技術が提案されている（例えば、特許文献 1 参照）。

【0008】

1 つの S R A M セルは、トランスファゲートトランジスタと、データの記憶を行うようにフリップフロップ接続されたインバータ回路から構成される。またインバータ回路を構成する M I S トランジスタは、p 型 M I S トランジスタであるロードトランジスタと、n 型 M I S トランジスタであるドライバトランジスタとからなる。

【0009】

通常、S R A M の動作安定性は、トランスファゲートトランジスタとドライバトランジスタの電流駆動力比（比）で決まる。それゆえ、ドライバトランジスタの駆動力をトランスファゲートトランジスタの駆動力よりも大きくすることで、安定度を確保している。

40

【0010】

従来のように、プレーナ型 M I S トランジスタを用いた場合には、それらのチャンネル幅を調整することで、電流駆動力比の調整を行うことができる。しかし、F i n F E T により S R A M セルを構成する場合には、F i n F E T のチャンネル幅がフィン部の高さで決定されるため、この高さを F i n F E T 毎に変えることは、プロセス上、一般的に困難である。それゆえ、フィン部の高さを変えて、ドライバトランジスタとトランスファゲートトランジスタの電流駆動力比（比）を調整することは難しい。

【0011】

50

したがって、これまでのFinFETから構成されるSRAMセルは、ドライバトランジスタのフィン部の本数を調整することで、比の調整が行われていた。

【特許文献1】特開2005-142289号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の例は、FinFETを用いた半導体装置の動作特性を改善できる技術を提案する。

【課題を解決するための手段】

【0013】

半導体基板上に配置され、1つのインバータを構成するn型FinFETとp型FinFETを具備し、前記n型及びp型FinFETのそれぞれは、アクティブ領域としてのフィン部と、ゲート絶縁膜を介して、前記フィン部のうちチャンネル領域と立体交差するゲート電極とを有するとともに、前記フィン部のうち前記チャンネル領域を挟んだ一端側及び他端側にそれぞれコンタクト領域が設けられ、前記n型FinFETのチャンネル幅と前記p型FinFETのコンタクト領域のフィン幅は、前記n型FinFETのチャンネル領域のフィン幅及び前記n型FinFETのコンタクト領域のフィン幅よりも広いことを特徴とする。

【発明の効果】

【0014】

本発明の例によれば、FinFETを用いた半導体装置の動作特性を改善できる。

【発明を実施するための最良の形態】

【0015】

1. 概要

本発明の実施形態は、p型FinFETとn型FinFETとから構成されるインバータ回路において、インバータ回路のノードとなるp型FinFETのコンタクト領域の幅が、n型FinFETのチャンネル領域の幅よりも広いことを特徴とする。

【0016】

p型FinFETのコンタクト領域の幅を広くすることにより、インバータ回路のノードの接合容量を増大できる。

【0017】

それゆえ、このようなインバータ回路を含む、例えば、SRAMなどの半導体装置の駆動特性を向上できる。

【0018】

以下、本発明の実施形態においては、上記の構造のインバータ回路を含むSRAMを例として、説明する。

【0019】

2. 実施形態

(1) 第1の実施形態

(a) 構造

図1乃至図4を用いて、本発明の第1の実施形態について説明する。

【0020】

図1は、1つのSRAMセル20を示す等価回路図である。図1に示すように、SRAMセル20は6つのMISトランジスタを基本素子とし、データの記憶を行うようにフリップフロップ接続された2つのインバータ回路21A、21Bと、データの転送を行うトランスファゲートトランジスタから構成される。

【0021】

1つのインバータ回路21Aは、n型MISトランジスタN1とp型MISトランジスタP1から構成される。SRAMセル20内において、インバータ回路21Aのn型トラ

10

20

30

40

50

ンジスタN1は、ドライバトランジスタとして機能し、p型MISTランジスタP1は、ロードトランジスタとして機能する。また、n型MISTランジスタN1のドレインとp型MISTランジスタP1のドレインが接続され、その接続点が、ノードNDとなる。同様に、インバータ回路21Bも、n型及びp型MISTランジスタN2, P2から構成され、それぞれドライバトランジスタ及びロードトランジスタとして機能する。そして、それらの接続点が、ノード/NDとなる。

【0022】

そして、ノードNDは、インバータ回路21Bのn型及びp型MISTランジスタN2, P2のゲートに接続され、一方、ノード/NDは、インバータ回路21Aのn型及びp型MISTランジスタN1, P1のゲートに接続される。また、p型MISTランジスタP1, P2のソースには、電源電位VDDが供給され、n型MISTランジスタN1, N2のソースには、グランド電位VSSが供給される。

10

【0023】

1つのSRAMセル20内に設けられる2つのトランスファゲートトランジスタは、n型MISTランジスタN3, N4である。そして、トランスファゲートトランジスタとしてのn型MISTランジスタN3, N4の一端(ソースまたはドレイン)はビット線BL, /BLにそれぞれ接続され、他端(ソースまたはドレイン)はインバータ回路21A, 22BのノードND, /NDに、それぞれ接続される。また、n型MISTランジスタN3, N4のゲートは、ワード線WLに接続される。

【0024】

20

本発明の実施形態において、SRAMセル20内の各トランジスタP1~P2, N1~N4は、アクティブ領域としてのフィン部とゲート電極が立体交差しているMISTランジスタであるFinFETから構成される。

【0025】

図2は、FinFETを用いたSRAMのレイアウトを示す平面図である。また、図3は、図2のIII-III線に沿う断面図であり、図4は、図2のIV-IV線に沿う断面図である。

【0026】

図2に示す1つのSRAMセル20のレイアウトは、FinFET N1~N4, P1~P2のそれぞれのアクティブ領域AA-n, AA-pが、1本のフィン部から構成されている。

30

【0027】

図2及び図3に示すように、半導体基板1上には、複数のSRAMセル20が、アレイ状に配置される。そのため、y方向に隣接するn型FinFET N1~N4のそれぞれは、y方向に延びるアクティブ領域AA-nを共有する。それと同様に、y方向に隣接するp型FinFET P1~P2のそれぞれも、y方向に延びるアクティブ領域AA-pを共有する。また、x方向に隣接するn型及びp型FinFETのそれぞれは、x方向に延びるゲート電極G1~G4を共有する。

【0028】

n型及びp型FinFET N1~N4, P1~P2において、アクティブ領域AA-p, AA-nと、これと立体交差するゲート電極G1~G4の交点がそれぞれチャンネル領域2, 5となる。

40

【0029】

そして、n型及びp型FinFET N1~N4, P1~P2は、フィン部のチャンネル領域2, 5の両側面に、例えば、1~3nm程度の膜厚のゲート絶縁膜(図示せず)が形成されたダブルゲート構造のMISTランジスタとなっている。

【0030】

尚、本実施形態においては、チャンネル領域2, 5上に、マスク層としてのSiN膜8を残存させた構造となっている。しかし、SiN膜8を除去し、両側面に加えて、上面にもゲート絶縁膜を形成し、チャンネル領域を形成した構造のFinFETでもよい。また、ア

50

クティブ領域 $AA - n$, $AA - p$ としてのフィン部の下部間を、素子分離絶縁層で埋め込み、この素子分離絶縁層より突出したフィン部をチャンネル領域としても良い。

【0031】

通常、短チャンネル効果を抑制するため、 $FinFET\ N1 \sim N4$, $P1 \sim P2$ が完全空乏型 MIS トランジスタとなるように、フィン部の幅（フィン幅）が設定される。具体的には、フィン部のチャンネル領域 2 , 5 の幅 $W2$, $W3$ が、ゲート長の $2/3$ 程度になるように設定される。

【0032】

例えば、ゲート長が、 20nm である場合には、チャンネル領域 2 , 5 の幅 $W2$, $W3$ は、 $12 \sim 15\text{nm}$ に設定される。

10

【0033】

また、本実施の形態において、それぞれの $FinFET\ N1 \sim N4$, $P1 \sim P2$ のフィン部 2 , 5 の高さ（フィン高さ） $H2$, $H3$ は、例えば、同じ高さに設定される。

【0034】

尚、本実施形態の $SRAM$ は、ドライバトランジスタとしての $FinFET\ N1$, $N2$ のフィン部の高さ、トランスファゲートトランジスタとしての $FinFET\ N3$, $N4$ のフィン部の高さが同じであり、また、 $FinFET\ N1$, $N2$ 及び $FinFET\ N3$, $N4$ のアクティブ領域 $AA - n$ がそれぞれ 1 本のフィン部から構成されている。それゆえ、ドライバトランジスタとしての $FinFET\ N1$, $N2$ とトランスファゲートトランジスタとしての $FinFET\ N3$, $N4$ の電流駆動力の比で決まる電流駆動力比（比）は 1 となる。

20

【0035】

アクティブ領域 $AA - n$, $AA - p$ としてのフィン部のうち、ゲート電極 $G1 \sim G4$ によって覆われていない部分は、ソース/ドレイン領域となる。そして、ソース/ドレイン領域には、コンタクトプラグ $CP1 \sim CP3$ が設けられる。以下、コンタクトプラグ $CP1 \sim CP3$ が設けられる領域を、コンタクト領域と呼ぶ。

【0036】

そして、 p 型 $FinFET\ P1$ のドレインのコンタクト領域 3 と n 型 $FinFET\ N1$ のドレインのコンタクト領域 6 は、コンタクトプラグ $CP1$, $CP2$ を介して、コンタクトプラグ $CP1$, $CP2$ よりも上層に設けられる配線層（図示せず）により接続され、これがノード ND となる。

30

【0037】

本実施形態において、 n 型 $FinFET\ N1 \sim N4$ は、例えば、フィン部の全体が直線状になっており、フィン幅 $W3$ のフィン部をチャンネル領域 5 及びコンタクト領域 6 としている。

【0038】

一方、 p 型 $FinFET\ P1$, $P2$ のフィン部は直線状ではなく、チャンネル領域 2 及びコンタクト領域 3 は、それぞれ異なるフィン幅 $W1$, $W2$ となっている。

つまり、 p 型 $FinFET\ P1$, $P2$ のフィン部のうちチャンネル領域 2 は、例えば、 n 型 $FinFET\ N1 \sim N4$ のフィン幅 $W3$ と同程度のフィン幅 $W2$ となっている。そして、 p 型 $FinFET\ P1$, $P2$ の一端側及び他端側のコンタクト領域のうち、ノード ND , $/ND$ に接続されるコンタクト領域 3 のフィン幅 $W1$ が、チャンネル領域 2 , 5 のフィン幅 $W2$, $W3$ よりも広い。このコンタクト領域 3 のフィン幅 $W1$ は、例えば、 $50 \sim 100\text{nm}$ に設定される。

40

【0039】

このように、本発明の第 1 の実施形態は、 p 型 $FinFET$ のフィン部のうち、ノードに接続されるコンタクト領域 3 の幅 $W1$ が、 n 型 $FinFET$ のフィン部のうちチャンネル領域 5 のフィン幅 $W3$ よりも広いことを特徴とする。また、 p 型 $FinFET$ のコンタクト領域 3 のフィン幅 $W1$ は、 p 型 $FinFET$ のチャンネル領域 2 のフィン幅 $W2$ よりも広い。

50

【0040】

よって、図4に示すように、ノードに接続されるp型FinFETのコンタクト領域3のフィン幅を広くすることにより、コンタクトプラグCP1とコンタクト領域3との接触面積S1を、コンタクトプラグCP2とn型FinFETのコンタクト領域6との接触面積S2、或いは、通常用いられるボーダレスコンタクトよりも大きくできる。それゆえ、コンタクトプラグCP1によるフィン部へのコンタクトの寄生抵抗を低減できる。

【0041】

また、バルク半導体基板1上に配置されたFinFETにおいて、コンタクト領域のサイズ大きくすると、結果として、ソース/ドレイン領域のサイズも大きくなる。よって、FinFETのソース/ドレインと半導体基板との間のpn接合容量が増大する。

10

それゆえ、インバータ回路21A, 21BのノードND, /NDの接合容量を増大させることができる。

【0042】

したがって、このインバータ回路21A, 21Bを含むSRAMセル20において、そのノード(インバータの出力ノード)に、より多くの電荷を蓄積でき、外界からのノイズ、放射線によるソフトエラー、データ反転などを防止でき、SRAMセルの動作を安定化できる。また、そのノードに接続されるn型FinFETは、フィン部全体がフィン幅W3であることから、コンタクト領域6における接合容量の増大によりn型FinFETの駆動特性を損なうことはなく、SRAMセルにおける動作速度の低下や消費電力の増大を招くこともない。

20

【0043】

以上のように、本実施形態によれば、FinFETを用いたSRAMセルの動作特性を向上できる。

【0044】

(b) 製造方法

以下、図5乃至図8、図2及び図3を用いて、第1の実施形態のFinFETを用いたインバータ回路21A, 21Bを含むSRAMの製造方法について説明する。

【0045】

はじめに、図5及び図6を用いて、製造工程の一工程について説明する。図5は、製造工程の一工程の平面図を示し、図6は図5のVI-VI線に沿う断面図を示す。

30

【0046】

図5乃至図6に示すように、半導体基板(例えば、Si(100)面単結晶基板)1上に、第1のマスク層8として、例えば、SiNが、CVD(Chemical Vapor Deposition)法により、堆積される。

【0047】

そして、第1のマスク層8上には、アクティブ領域としてのフィン部形成予定領域上に閉ループ状の側壁マスクが形成されるように、例えば、フォトリソグラフィ及びRIE(Reactive Ion Etching)法により、パターンニングされたダミーパターン9が、例えば、CVD法により形成される。ダミーパターン9は、例えば、TEOS層である。

40

【0048】

その後、表面全体に、例えば、アモルファスシリコンから構成される側壁材が形成され、側壁材に対して、エッチバックが施される。すると、ダミーパターン9の周囲を取り囲む閉ループ状の側壁マスク10が、マスク層8上及びダミーパターン9の側面上に残存する構造となる。

【0049】

なお、第1のマスク層8、ダミーパターン9及び側壁マスク10に用いた材料は、上記に限定されるものではなく、それぞれのエッチングの際に、エッチング選択比が十分確保できる材料であれば良い。

【0050】

50

次に、図7及び図8を用いて、図5及び図6に続く製造工程の一工程について説明する。図7は、製造工程の一工程の平面図を示し、図8は図7のV I I I - V I I I線に沿う断面図を示す。

【0051】

ダミーパターン9を除去した後、フィン部形成予定領域上に、側壁マスク10が残存する構造となるように、閉ループ形状の側壁マスク10に対して、例えば、RIE法により、トリミングを行う。

【0052】

すると、図7及び図8に示すように、側壁マスク10が残存する。さらに、p型FinFETのコンタクト領域形成予定領域上に、チャンネル領域よりもフィン幅が広いコンタクト領域を形成するための第2のマスク層11が、例えば、レジストマスクにより形成される。

10

【0053】

続いて、側壁マスク10及び第2のマスク層11をマスクとして、例えば、RIE法により、第1のマスク層8及び半導体基板1をエッチングし、その後、側壁マスク10及び第2のマスク層11を除去する。

【0054】

すると、図2及び図3に示すように、所定のレイアウトのアクティブ領域AA-n, AA-pとしてのフィン部がそれぞれ形成される。

【0055】

20

その後、適宜フィン部の下部間を素子分離絶縁層(図示せず)で埋め込んだうえで、例えば、熱酸化法によってSiO₂等のゲート絶縁膜(図示せず)が、アクティブ領域AA-n, AA-pとしてのフィン部の側面上に形成される。そして、例えば、導電性を有するポリシリコンから構成されるゲート電極G1~G4が、所定のレイアウトでアクティブ領域AA-n, AA-pと立体交差するように、例えば、CVD法、RIE法等により、それぞれ形成される。

【0056】

そして、アクティブ領域AA-n, AA-p上面のマスク層の一部が除去された後、n型及びp型FinFETのソース/ドレイン領域に、例えば、イオン注入やGPD(Gas Phase Doping)などにより、n型不純物(ヒ素、リン)及びp型不純物(ホウ素)が、それぞれドーピングされる。

30

【0057】

さらに、ゲート側壁(図示せず)及び層間絶縁層(図示せず)が形成された後、フィン部のコンタクト領域3, 6に接続するように、コンタクトプラグCP1~CP3が形成される。その後、所定のレイアウトの配線層(図示せず)が形成される。

【0058】

以上の製造方法により、p型FinFET P1, P2のフィン部のうちノードND, /NDに接続されるコンタクト領域3のフィン幅W1を、n型及びp型FinFET N1~N4, P1~P2のチャンネル領域2, 5のフィン幅W2, W3よりも広くすることができる。

40

【0059】

それゆえ、ノードとなるコンタクト領域の寄生抵抗の低減及びpn接合容量の増大が図られたp型FinFETを形成でき、動作安定性を向上させたインバータを形成できる。

【0060】

したがって、本実施形態の製造方法によれば、動作特性を向上させたSRAMセルを提供できる。

【0061】

(2) 第2の実施形態

図9及び図10を用いて、本発明の第2の実施形態について説明する。尚、本実施形態において、第1の実施形態と同一部材に関しては同一符号を付し、詳細な説明は省略する

50

【0062】

第1の実施形態のFinFETを用いたインバータ回路21A, 21Bは、ノードND, /NDに接続されるp型FinFET P1~P2のコンタクト領域3のフィン幅W1が、n型及びp型FinFET N1~N4, P1~P2のチャネル領域2, 5のフィン幅W2, W3よりも広い構造となっている。

【0063】

本実施形態においては、p型FinFETのコンタクト領域3の幅W1だけでなく、p型FinFETのアクティブ領域としてのフィン部のうち、チャネル領域2Aの幅W2Aも、n型FinFETのチャネル領域の幅W3よりも広いことを特徴とする。

10

【0064】

図9及び10に示す例では、コンタクト領域3の幅W1とチャネル領域2Aの幅W2Aが等しく、p型FinFET P1のアクティブ領域(フィン部)AA-pの全体が直線状となっている。この場合、p型FinFET P1のチャネル領域の幅W2Aは、例えば、50~100nmに設定される。但し、p型FinFET P1, P2のチャネル領域2の幅W2及びコンタクト領域3の幅W1のそれぞれが、n型FinFET N1~N4のチャネル領域5の幅W3より広ければよく、フィン部の幅W1と幅W2Aが必ずしも同じでなくとも良い。

【0065】

このように、p型FinFETのフィン部全体を、n型FinFETのフィン部の幅W3よりも広くすることで、コンタクトの接触面積を増大できるとともに、第1の実施形態よりもさらに、p型FinFET P1, P2のソース/ドレイン領域とバルク半導体基板1との間のpn接合容量を増大させることができる。

20

【0066】

また、上記のp型FinFET P1, P2において、チャネル領域2Aの幅W2Aが広がると、チャネル領域2A内のトップゲート側に形成される空乏層とバックゲート側に形成される空乏層が連結せず、FinFET P1, P2は部分空乏型のMISトランジスタとなる。そのため、完全空乏型MISトランジスタのように短チャネル効果を抑制することは困難となる。

【0067】

それゆえ、本実施形態においては、所定のしきい値電圧とDIBL(Drain Induced Barrier Lowering)が得られるような不純物濃度となるように、p型FinFETのチャネル領域2A内には、不純物(例えば、リンやヒ素)が、例えば、イオン注入法により、ドーピングされる。

30

【0068】

したがって、p型FinFET P1, P2のチャネル領域2Aの不純物濃度は、n型FinFET N1~N4のチャネル領域5の不純物濃度よりも高くなるように設定される。例えば、p型FinFETのチャネル領域2Aの不純物濃度は、 $1 \sim 3 \times 10^{18} / \text{cm}^3$ 程度に設定され、n型FinFETのチャネル領域5の不純物濃度は、 $5 \sim 9 \times 10^{17} / \text{cm}^3$ 程度に設定される。

40

【0069】

ここで、通常のFinFETは、完全空乏型MISトランジスタであるため、チャネル領域内の不純物濃度を可能な限り小さくしても、ダブルゲート構造である特徴を生かして、短チャネル効果を抑制できると同時に、不純物の位置や数のばらつきに起因する電気的特性のばらつきを抑制することができる。

【0070】

一方、本実施形態のp型FinFET P1, P2のように、FinFETが部分空乏型となると、同一基板上に配置されるp型FinFETのそれぞれで、しきい値電圧などの電気的特性のばらつきが増えてしまうおそれが生じる。

【0071】

50

しかし、SRAMセルの書き込み特性及びデータ保持特性は、ドライバトランジスタ及びトランスファゲートトランジスタの特性によって決まる。

【0072】

それゆえ、本実施形態では、p型FinFET P1, P2が部分空乏型となつて、その特性にばらつきが生じたとしても、ドライバトランジスタ及びトランスファゲートトランジスタは完全空乏型のn型FinFET N1~N4であるので、SRAMセルの特性のばらつきには、大きな影響はない。

【0073】

したがって、本実施形態によれば、FinFETを用いたインバータ回路及びこれを用いたSRAMセルの動作を安定化でき、SRAMセルの動作特性を改善できる。

10

【0074】

尚、第1の実施形態においては、p型FinFETのチャンネル領域2は、側壁マスクを用いた製造プロセスを用いて、最小線幅のパターンで形成された。

【0075】

しかし、本実施形態のように、p型FinFET P1, P2のアクティブ領域AA-pとしてのフィン幅W1, W2Aが、最小線幅よりも広く、上述の例のようにフィン幅全体が50~100nmに設定された場合には、p型FinFET P1, P2のアクティブ領域AA-p全体を、レジストを用いたプロセスによって形成できる。

【0076】

そのため、半導体基板1上にSRAMセルを形成する際に、最小線幅を形成するための側壁を用いたプロセスだけでなく、レジストを用いたプロセスも併用できる。

20

【0077】

また、p型FinFETのアクティブ領域(フィン部)を直線状のパターンとすることで、第1の実施形態と比較し、パターン形成も容易となる。

【0078】

したがって、本実施形態によれば、FinFETを用いた半導体回路の動作特性を改善できるとともに、リソグラフィの問題も解決でき、SRAMセルのレイアウト設計及び製造プロセスの自由度を向上できる。

【0079】

(3) 第3の実施形態

30

図11及び図12を用いて、本発明の第3の実施形態について、説明する。尚、本実施形態において、第1及び第2の実施形態と同一部材に関しては、同一符号を付し、詳細な説明は省略する。

【0080】

本実施形態においては、第2の実施形態の各構成に加え、さらに、半導体基板1内に、Nウェル領域N-wellが設けられる。そして、このnウェル領域N-well内にp型FinFETが配置されることを特徴とする。このNウェル領域N-wellの不純物濃度は、例えば、 $10^{18}/\text{cm}^3$ 程度である。尚、この際、n型FinFETが配置される領域の半導体基板1内には、pウェル領域P-well領域が設けられる。

【0081】

通常のFinFETでは、完全空乏型のMISトランジスタであるため、基板バイアスによる電気的特性の変化は小さい。

40

【0082】

しかし、第2の実施形態によれば、p型FinFET P1, P2は、チャンネル領域2Aのフィン幅W2Aが広く、かつ、チャンネルドーピングがなされ、部分空乏型のMISトランジスタとなっている。

【0083】

それゆえ、p型FinFET P1, P2が配置されるNウェル領域N-Wellに対して、基板バイアス電圧を印加し、基板バイアス効果によって、p型FinFETの電気的特性を変化させることができる。

50

【0084】

具体的には、p型FinFET P1, P2に対して順方向のバイアス電圧が印加されるように、Nウェル領域N-wellに、例えば、-0.5~-0.6V程度の基板バイアス電圧が印加される。

【0085】

それによって、アクティブ領域AA-pとしてのフィン部全体とNウェル領域N-wellとの間に形成される空乏層幅を小さくでき、それとともに、ソース/ドレイン領域とNウェル領域N-wellとの間の接合容量を大きくすることができる。

それゆえ、基板バイアス効果により、p型FinFETのしきい値電圧等の電気的特性を変化できる。

10

【0086】

したがって、FinFETから構成されるインバータ回路及びこれを用いたSRAMセルの動作を安定化でき、SRAMセルの駆動特性を改善できる。

【0087】

(4) 第4の実施形態

(a) 構造

図13及び図14を用いて、本発明の第4の実施形態について説明する。尚、本実施形態において、第1乃至第3の実施形態と同一部材に関しては、同一符号を付し、詳細な説明は省略する。

【0088】

第1乃至第3の実施形態においては、n型及びp型FinFET N1~N4, P1~P2が設けられる半導体基板は、バルク半導体基板を例として、説明した。

20

【0089】

しかし、n型及びp型のFinFET N1~N4, P1~P2が設けられる半導体基板は、バルク半導体基板に限定されず、例えば、SOI(Silicon on Insulator)基板でもよい。

【0090】

本実施形態においては、SOI基板上に、インバータ回路を構成するn型及びp型FinFETを配置した例について説明する。

【0091】

図13及び図14に示すように、半導体基板1Aは、バルク領域とSOI領域から構成される、いわゆる、部分SOI基板となっている。

30

【0092】

そして、半導体基板1のバルク領域内に、p型FinFET P1, P2が配置され、SOI領域内に、n型FinFET N1~N4が配置される。

【0093】

p型FinFET P1, P2が、バルク領域内に配置された場合、p型FinFET P1, P2は、第1乃至第3の実施形態と同様の効果が得られる。

【0094】

また、n型FinFET N1~N4が、SOI領域上に配置された場合、接合容量が小さいので、n型FinFETの動作速度を向上でき、また、そのしきい値電圧を低減することができる。それゆえ、インバータ回路及びこれを含むSRAMセルの動作速度を向上でき、かつ、消費電力を低減できる。

40

【0095】

さらに、第3の実施形態のように、p型FinFETが配置される領域の半導体基板1内にNウェル領域N-wellが設けられると、n型FinFETが配置される領域内には、pウェル領域P-wellが設けられる必要がある。この場合、2つのウェル領域に起因する寄生トランジスタの影響を抑制するために、2つのウェル領域を分離するための領域(ウェル分離領域)を確保しなければならない。

【0096】

50

しかし、本実施形態では、 n 型FinFETはSOI領域内に配置され、SOI絶縁層12によりバルク領域と電氣的に分離されている。

【0097】

そのため、本実施形態によれば、ウェル分離領域を確保する必要がなく、インバータ回路及びこれを含むSRAMセルの占有面積を縮小できる。

【0098】

また、後述する本実施形態の製造方法によれば、 n 型及び p 型FinFETのチャンネル面を、それぞれ異なるSi結晶面に設定することができる。

【0099】

具体的には、 n 型FinFET N1~N4のチャンネル面がSi(100)面になるように形成でき、 p 型FinFET P1, P2のチャンネル面はSi(110)面となるように形成できる。

10

【0100】

この場合、 n 型FinFET N1~N4においては、そのキャリア(電子)がSi(100)面に沿って移動し、 p 型FinFET P1, P2においては、そのキャリア(正孔)がSi(110)面に沿って移動する。

【0101】

Si(110)面において、 p 型FinFETのキャリアである正孔の移動度は、チャンネル面をSi(100)面とした場合と比較して約2倍大きく、 p 型FinFETの駆動特性を向上できる。

20

【0102】

そのため、 n 型FinFETと p 型FinFETの駆動特性(電流電圧特性)を、ほぼ同様な特性にすることができる。それゆえ、インバータ回路の制御を容易にできる。

【0103】

したがって、本実施形態によれば、インバータ回路21A, 21Bを構成するFinFET N1~N4, P1~P2を部分SOI基板1A上に設けることで、インバータ回路21A, 21Bを含むSRAMセル20の駆動特性を改善できる。また、SRAMセル20の占有面積を縮小できる。さらには、インバータ回路21A, 21B及びこれを用いたSRAMセル20の制御を容易にできる。

【0104】

30

(b) 製造例

以下、図15乃至図22を用いて、本実施形態の製造例について説明する。

【0105】

はじめに、図15に示すように、例えば、Si(100)面単結晶基板5A上に、SOI絶縁層12(例えば、SiO₂)が形成される。そして、Si(100)面単結晶基板5A内に、水素イオンが、イオン注入される。

【0106】

その後、Si(100)面単結晶基板5Aと面方位の異なる、例えば、Si(110)面単結晶基板と、SOI絶縁層12とが、張り合わせられる。

【0107】

40

次に、張り合わせられた基板がアニールされた後、Si(100)面単結晶基板5Aがクリーニングされる。すると、図16に示すように、Si(110)面単結晶基板1A上のSOI絶縁層12表面に、Si(100)面のSOI層5Bが形成される。そして、このSOI層5Bの上面上には、第1のマスク層8Aとして、例えば、SiN層が堆積される。

【0108】

続いて、図17に示すように、 p 型FinFET形成予定領域内のSi(110)面単結晶基板1A上面が露出するように開口部Xが形成される。その後、開口部Xの側面に、例えば、SiNからなるダミー側壁マスク13が形成される。尚、この際に、Si(110)面単結晶基板1A内に、Nウェル領域N-wellを、例えば、イオン注入法により

50

形成しても良い。

【0109】

次に、図18に示すように、例えば、選択的エピタキシャル成長法により、p型FinFET形成予定領域のSi(110)面単結晶基板1A上におのみ、Si(110)面単結晶層1Bが形成される。尚、開口部X内にアモルファスSi層を形成し、これに対して、加熱処理を行い、固相エピタキシャル成長によってSi(110)面単結晶層を形成しても良い。

【0110】

続いて、第1のマスク層8Aを除去した後、基板の上面に対して、例えば、CMP法により平坦化を行う。そして、平坦化処理した上面に対して、第2のマスク層(例えば、SiN)8Bが形成される。

10

【0111】

続いて、図19に示すように、例えば、フォトリソグラフィ及びRIEにより、第2のマスク層8Bに、n型FinFET形成予定領域とp型FinFET形成予定領域との境界部分が露出するパターニングが施される。

【0112】

その後、第2のマスク層8Bをマスクとして、例えば、RIE法によって、Si(100)面単結晶層5B、Si(110)面単結晶層1B、SOI絶縁層12が、それぞれエッチングされ、さらに、第2のマスク層8B及びダミー側壁マスク13が、例えば、ウェットエッチングにより除去される。

20

次に、図20に示すように、例えば、第3のマスク層8としてのSiN膜が全面に形成される。そして、マスク層8の上面には、第1及び第2の実施形態と同様の工程で、n型及びp型FinFET形成予定領域内に、所定のフィン幅のフィン部が形成されるように、側壁マスク10或いはレジストマスク11がそれぞれ形成される。

【0113】

続いて、マスク10、11をマスクとして、マスク層8、Si(100)面単結晶層5B、Si(110)面単結晶層1Bが、例えば、RIE法により、エッチングされる。

その後、マスク10、11を除去すると、図21に示すように、所定のフィン幅のフィン部2A、3、5が、n型及びp型FinFET形成予定領域内に形成される。

【0114】

そして、図22に示すように、Si(110)面単結晶基板1A上の全面に、例えば、高密度プラズマCVDにより、SiO₂が全面に形成される。その絶縁層に対して、例えば、CMP法及びエッチバックによる平坦化処理が行われ、絶縁層12Aが、Si(110)面単結晶基板1A上に形成される。

30

【0115】

その後、第1の実施形態と同様の工程で、所定のレイアウトとなるように、ゲート電極G1、G4が形成され、ソース/ドレイン、コンタクトプラグが順次形成される。

【0116】

以上の工程により、チャンネル面がシリコン(100)面となるn型FinFET N1が、SOI領域内に形成される。また、チャンネル面がシリコン(110)面となるp型FinFET P1が、バルク領域内に形成される。

40

【0117】

したがって、以上の製造方法により、動作特性が改善されたインバータ回路及びこれを含むSRAMを提供できる。

【0118】

(5) 変形例

以下、第1乃至第4の実施形態の変形例について説明する。尚、第1乃至第4の実施形態と同一部材に関しては、同一符号を付し、詳細な説明は省略する。

【0119】

第1乃至第4の実施形態においては、SRAMの動作安定性を示す比が1となる構成

50

のSRAMセルについて、説明した。しかし、本発明の実施形態は、比 = 1 となるSRAMセルに限定されるものではない。

【0120】

比は、ドライバトランジスタN1, N2の電流駆動力 I_{dr} とし、トランスファゲートトランジスタN3, N4の電流駆動力を I_{tr} と表すと、次式のように表される。

【0121】

$$= I_{dr}(N1) / I_{tr}(N3) = I_{dr}(N2) / I_{tr}(N4)$$

つまり、ドライバトランジスタの電流駆動力 $I_{dr}(N1)$, $I_{dr}(N2)$ を、トランスファゲートトランジスタの電流駆動力 $I_{tr}(N3)$, $I_{tr}(N4)$ よりも向上させることで、比を大きくすることができる。

10

【0122】

上述のように、FinFETにおいて、電流駆動力は、フィン部の本数を増加させることで大きくすることができる。

【0123】

図23及び図24に示す例では、ドライバトランジスタとなるn型FinFET N1a, N1b, N2a, N2bが、2つのアクティブ領域AA-n1, AA-n2としてのフィン部により構成されている。そして、2つのn型FinFET N1a, N1bが、コンタクトプラグCP2, CP3により並列接続されている。

【0124】

この場合、2本のフィン部で構成されるドライバトランジスタの電流駆動力は、1本のフィン部で構成されるトランスファゲートトランジスタの電流駆動力の2倍となる。

20

【0125】

それゆえ、図23及び図24に示す例では、SRAMの比を“2”とすることができる。

【0126】

したがって、本変形例によれば、SRAMセルの比を増大することで、さらに、SRAMセルの動作安定性を向上でき、FinFETから構成されるインバータ回路を含むSRAMセルの駆動特性を改善できる。

【0127】

尚、本実施形態においては、ドライバトランジスタとしてのn型FinFETのフィン部の本数を2本にした例について述べたが、これに限定されず、フィン部の本数を2本以上にしても良い。また、本変形例においては、第3の実施形態を基本構造として図示したが、これに限定されず、他の実施形態の構造でもよい。

30

【0128】

(b) 製造方法

以下、本変形例の製造方法について、説明する。

【0129】

はじめに、図25及び図26に示すように、半導体基板1内に、ウェル領域N-well, P-wellを形成する。その後、第1の実施形態と同様の方法で、マスク層8及びダミーパターン9が形成され、n型FinFET形成予定領域上のダミーパターン9の側面上に閉ループ形状の側壁マスク10が形成される。

40

【0130】

次に、ダミーパターン9を除去した後、図27及び図28に示すように、ドライバトランジスタとなるn型FinFET形成予定領域に、2本のラインパターンの側壁マスク10が残存するように、閉ループ状の側壁マスク10がトリミングされる。続いて、p型FinFET形成予定領域内には、p型FinFETのフィン幅が、n型FinFETのフィン幅よりも広くなるパターンのレジストマスク11が形成される。

【0131】

その後、側壁マスク10及びレジストマスク11をマスクとして、例えば、RIE法により、マスク層8及び半導体基板1をエッチングすると、図29に示すように、ドライバ

50

トランジスタとしてのn型FinFET形成予定領域には、2本のアクティブ領域としてのフィン部5a, 5bが形成される。また、p型FinFET形成予定領域には、アクティブ領域としてのフィン部2A, 3が形成される。p型FinFETのフィン部2A, 3のフィン幅W1, W2Aは、n型FinFETのフィン部5a, 5bのフィン幅W3よりも広い。

【0132】

その後、図23及び図24に示すように、第1の実施形態と同様の方法で、ゲート電極G1~G4、ゲート側壁(図示せず)、層間絶縁層(図示せず)、ソース/ドレイン拡散層(図示せず)、コンタクトプラグCP1~CP3が順次形成される。

【0133】

以上の工程により、FinFETを用いた比=2のSRAMセルを形成できる。

【0134】

したがって、動作安定性を向上させたSRAMセルを形成でき、駆動特性を改善させたFinFETから構成されるインバータ回路を含むSRAMを提供できる。

【0135】

尚、本変形例の製造方法において、第1乃至第3の実施形態のように、FinFETをバルク半導体基板上に形成する製造方法について説明したが、第4の実施形態のように、SOI基板上にFinFETを形成する製造方法についても適用可能である。

【0136】

4. その他

第1乃至第4の実施形態及び変形例においては、FinFETからなるインバータ回路を含むSRAMを例に、本発明の例の特徴及び効果を説明した。しかし、本発明の例は、SRAMにのみ適用されるものではない。即ち、本発明の実施形態のFinFETからなるインバータ回路を用いた、例えば、NANDゲート回路などのロジック回路に適用しても、駆動特性を改善することができる。

【0137】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0138】

【図1】SRAMセルの等価回路図。

【図2】第1の実施形態の構造を示す平面図。

【図3】図2のIII-III線に沿う断面図。

【図4】図2のIV-IV線に沿う断面図。

【図5】第1の実施形態の製造方法の一工程を示す平面図。

【図6】図5のVI-VI線に沿う断面図。

【図7】第1の実施形態の製造方法の一工程を示す平面図。

【図8】図7のVII-VII線に沿う断面図。

【図9】第2の実施形態の構造を示す平面図。

【図10】図9のX-X線に沿う断面図。

【図11】第3の実施形態の構造を示す平面図。

【図12】図11のXI-XI線に沿う断面図。

【図13】第4の実施形態の構造を示す平面図。

【図14】図13のXIV-XIV線に沿う断面図。

【図15】第4の実施形態の製造方法の一工程を示す断面図。

【図16】第4の実施形態の製造方法の一工程を示す断面図。

【図17】第4の実施形態の製造方法の一工程を示す断面図。

10

20

30

40

50

- 【図18】第4の実施形態の製造方法の一工程を示す断面図。
- 【図19】第4の実施形態の製造方法の一工程を示す断面図。
- 【図20】第4の実施形態の製造方法の一工程を示す断面図。
- 【図21】第4の実施形態の製造方法の一工程を示す断面図。
- 【図22】第4の実施形態の製造方法の一工程を示す断面図。
- 【図23】変形例の構造を示す平面図。
- 【図24】図23のXXIV-XXIV線に沿う断面図。
- 【図25】変形例の製造方法の一工程を示す平面図。
- 【図26】図25のXXVII-XXVII線に沿う断面図。
- 【図27】変形例の製造方法の一工程を示す平面図。
- 【図28】図27のXXVIII-XXVIII線に沿う断面図。
- 【図29】変形例の製造方法の一工程を示す断面図。

10

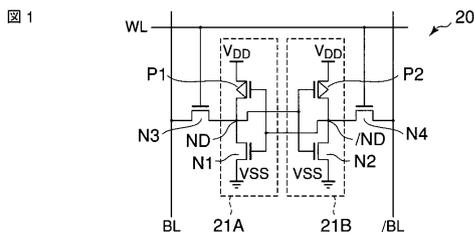
【符号の説明】

【0139】

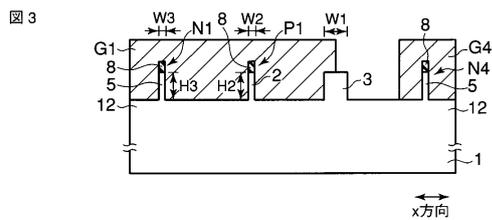
1, 5A : 半導体基板、1A, 5B : 単結晶層、2, 2A, 5, 5a, 5b : フィン部 (チャンネル領域)、3, 6 : フィン部 (コンタクト領域)、8, 8A, 8B : マスク材、9 : ダミーパターン、10 : 側壁マスク、11 : レジストマスク、12 : SOI絶縁層、13 : ダミー側壁、CP1~CP3 ; コンタクトプラグ、X : 開口部、20 : SRAMセル、21A, 21B : インバータ回路、P1, P2 : p型FinFET、N1~N4 : n型FinFET、AA-p, AA-n, AA-n1, AA-n2 : アクティブ領域、ND, /ND : ノード、WL : ワード線、BL, /BL : ビット線。

20

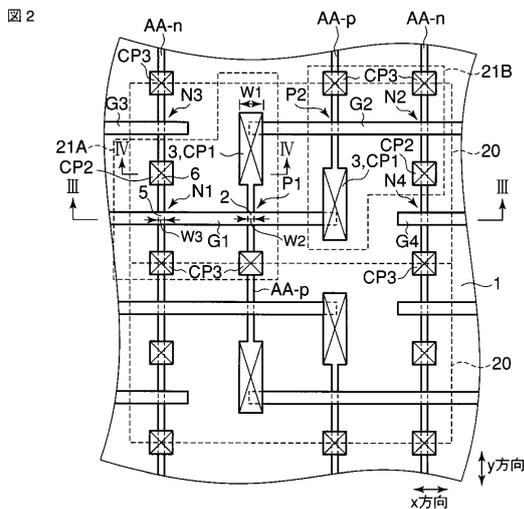
【図1】



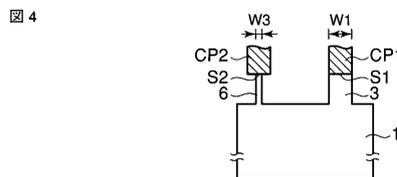
【図3】



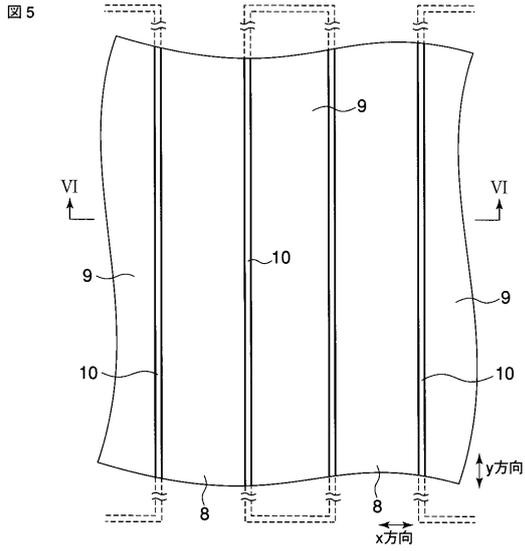
【図2】



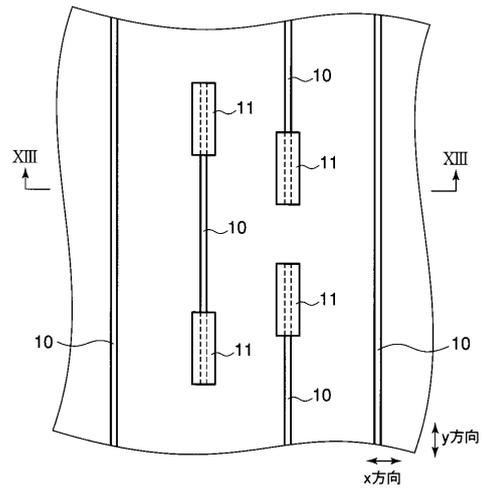
【図4】



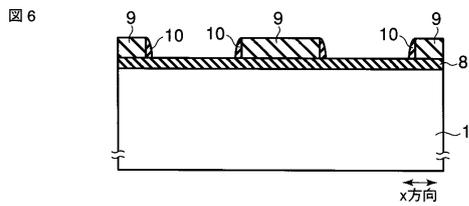
【 図 5 】



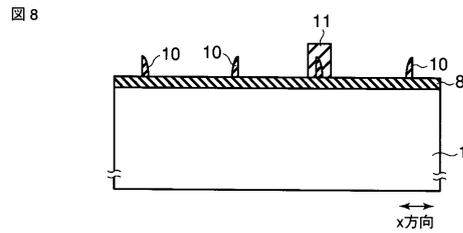
【 図 7 】



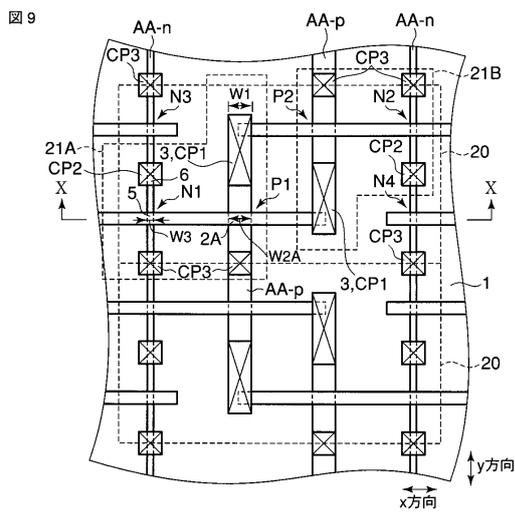
【 図 6 】



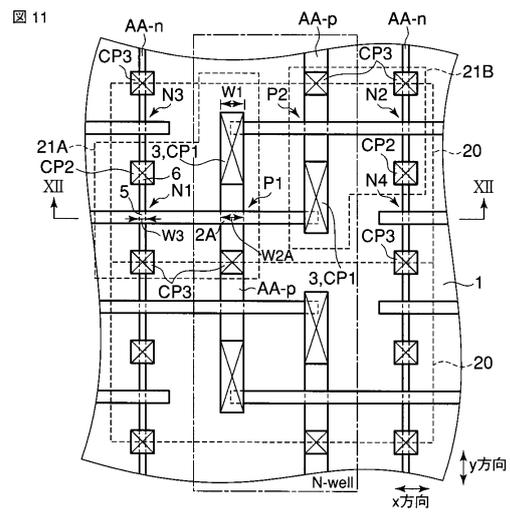
【 図 8 】



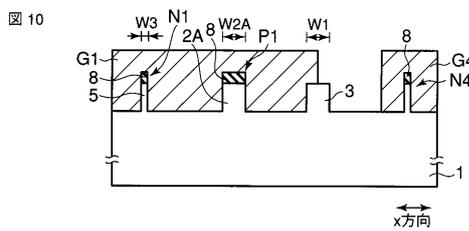
【 図 9 】



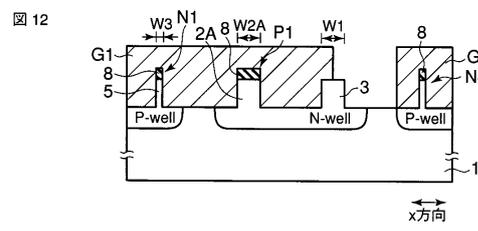
【 図 1 1 】



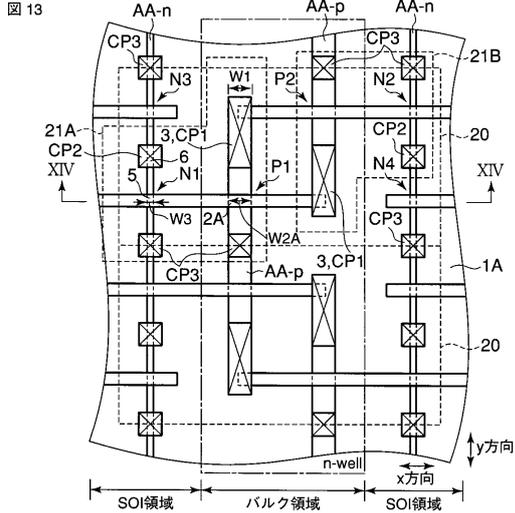
【 図 1 0 】



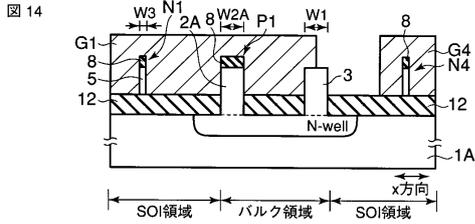
【 図 1 2 】



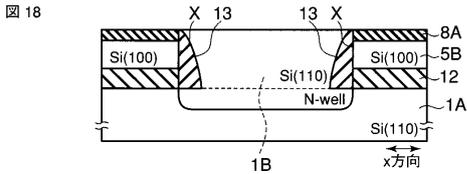
【図13】



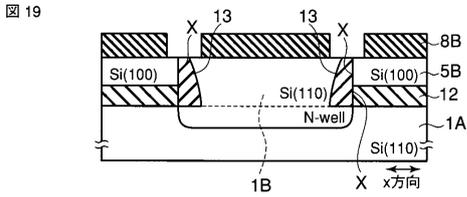
【図14】



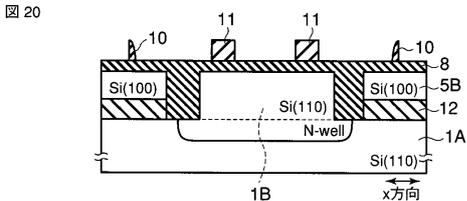
【図18】



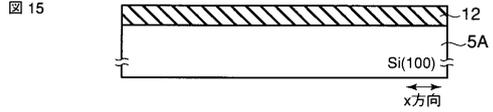
【図19】



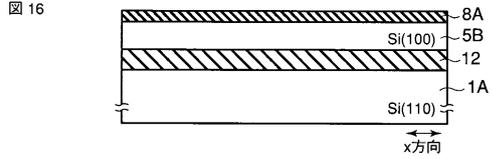
【図20】



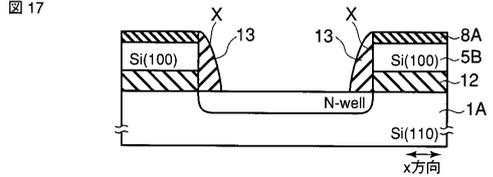
【図15】



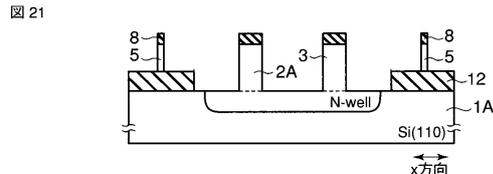
【図16】



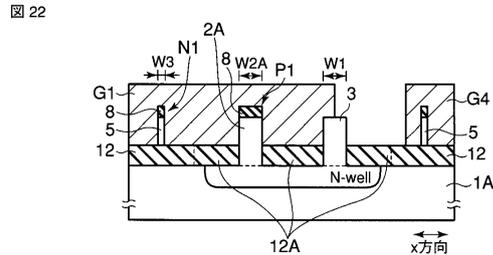
【図17】



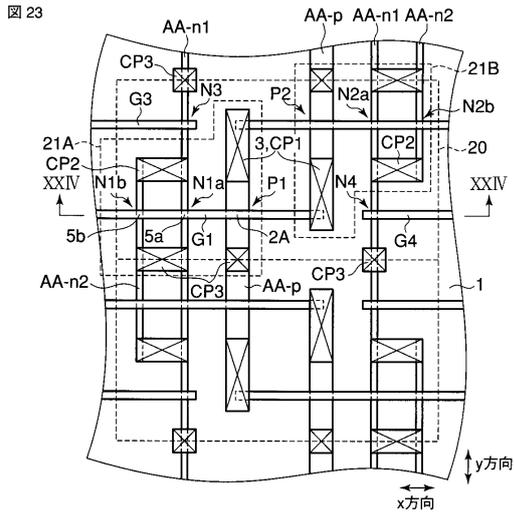
【図21】



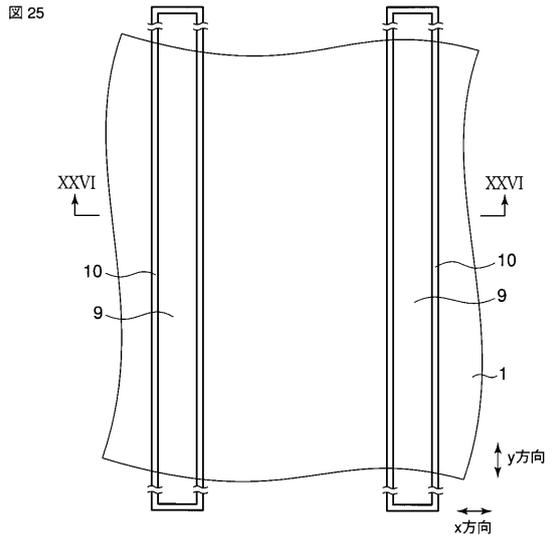
【図22】



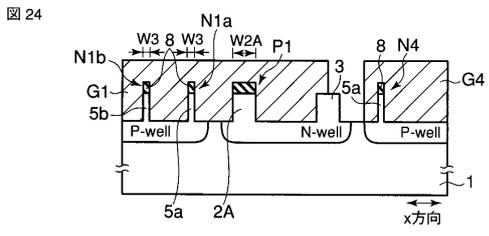
【 2 3 】



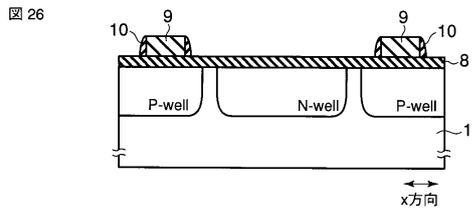
【 2 5 】



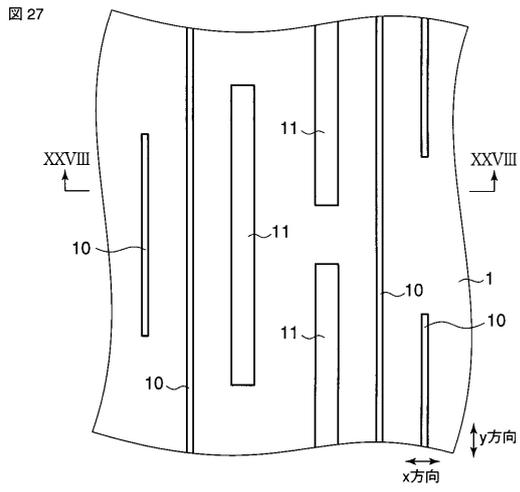
【 2 4 】



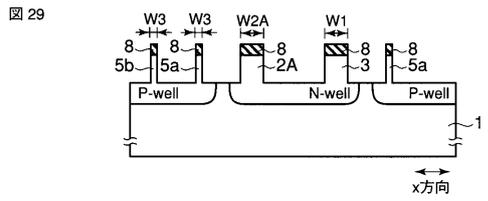
【 2 6 】



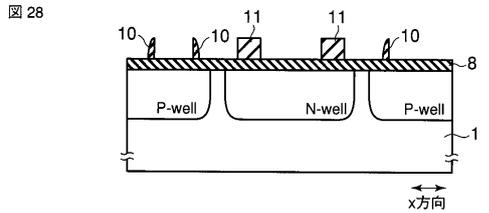
【 2 7 】



【 2 9 】



【 2 8 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/11 (2006.01) H 0 1 L 27/10 3 8 1

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 稲葉 聡
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 宇多川 勉

(56)参考文献 特開平06-342911(JP,A)
特開2003-188273(JP,A)
特開2006-339514(JP,A)
特開2004-088101(JP,A)
特表2007-509490(JP,A)
特表2009-512996(JP,A)
国際公開第2005/119763(WO,A1)
国際公開第2005/020325(WO,A1)
国際公開第2006/006438(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 1 / 8 2 4 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 7 / 1 1
H 0 1 L 2 9 / 7 8 6