

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-512623

(P2024-512623A)

(43)公表日 令和6年3月19日(2024.3.19)

(51)国際特許分類	F I	テーマコード(参考)
G 0 6 F 13/36 (2006.01)	G 0 6 F 13/36	3 1 0 F 5 B 1 6 0
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00	5 6 0 B
G 0 6 F 13/16 (2006.01)	G 0 6 F 12/00	5 7 1 A
	G 0 6 F 13/16	5 2 0 C

審査請求 有 予備審査請求 未請求 (全21頁)

(21)出願番号	特願2023-559128(P2023-559128)	(71)出願人	591016172
(86)(22)出願日	令和4年3月21日(2022.3.21)		
(85)翻訳文提出日	令和5年10月30日(2023.10.30)		
(86)国際出願番号	PCT/US2022/021148		
(87)国際公開番号	WO2022/212100		
(87)国際公開日	令和4年10月6日(2022.10.6)		
(31)優先権主張番号	17/218,650		
(32)優先日	令和3年3月31日(2021.3.31)		
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100108833
			弁理士 早川 裕司
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(74)代理人	100111615
	最終頁に続く		弁理士 佐野 良太
		(74)代理人	100162156
			弁理士 村雨 圭介
		(72)発明者	ケダーナシュ バラクリシュナン
			最終頁に続く

(54)【発明の名称】 マルチキューメモリコントローラのためのクレジット方式

(57)【要約】

メモリコントローラは、アドレスデコーダと、第1のメモリチャネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第1の出力に結合された第1のコマンドキューと、第2のメモリチャネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第2の出力に結合された第2のコマンドキューと、を含む。要求クレジット制御回路は、第1のコマンドキュー及び第2のコマンドキューに結合され、未処理の要求クレジットの数を追跡するように動作する。要求クレジット制御回路は、第1のコマンドキュー及び第2のコマンドキューの利用可能なエントリの数に基づいて、指定されたイベントに応じて要求クレジットを発行する。

【選択図】 図2

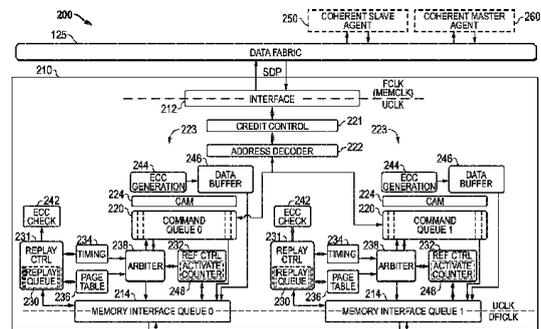


FIG. 2

【特許請求の範囲】**【請求項 1】**

メモリコントローラであって、

メモリアクセス要求を受信するための第 1 の入力と、第 1 の出力と、第 2 の出力と、を有するアドレスデコーダと、

第 1 のメモリチャネルに対するメモリアクセス要求を受信するために前記アドレスデコーダの前記第 1 の出力に結合された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する第 1 のコマンドキューと、

第 2 のメモリチャネルに対するメモリアクセス要求を受信するために前記アドレスデコーダの前記第 2 の出力に結合された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する第 2 のコマンドキューと、

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューに結合された要求クレジット制御回路であって、未処理の要求クレジットの数を追跡し、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行するように動作可能な要求クレジット制御回路と、を備える、

メモリコントローラ。

【請求項 2】

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいてクレジット要求を発行することは、未処理の要求クレジットの数が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの最小数よりも少ない場合に、クレジット要求を発行することを含む、

請求項 1 のメモリコントローラ。

【請求項 3】

前記要求クレジット制御回路は、データ処理ユニットのデータファブリックに結合されており、前記データファブリックを介してメモリアクセスエージェントに要求クレジットを発行するように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 4】

前記要求クレジット制御回路は、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち最大数の利用可能なエントリを有するコマンドキューに割り当てられたメモリアクセス要求が受信された場合に、前記第 1 のコマンドキュー又は前記第 2 のコマンドキューからの対応する割り当て解除なしに要求クレジットを発行するように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 5】

前記要求クレジット制御回路は、メモリアクセス要求が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち何れかから割り当て解除され、その結果、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューが等しい数の利用可能なエントリを有することに依りて、前記未処理の要求クレジットの数が前記等しい数の利用可能なエントリよりも少ない場合に要求クレジットを発行し、そうでない場合に、前記メモリアクセス要求が割り当て解除されることに依りて要求クレジットを発行しないように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 6】

指定されたイベントは、メモリアクセス要求が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち何れかから割り当て解除されることである、

請求項 1 のメモリコントローラ。

【請求項 7】

前記第 1 のコマンドキューからエントリを選択し、前記エントリを第 1 のメモリインターフェースキューに配置して、前記エントリを、前記第 1 のメモリチャネルを介して送信するために、前記第 1 のコマンドキューに結合された第 1 のアービタと、

10

20

30

40

50

前記第 2 のコマンドキューからエントリを選択し、前記エントリを第 2 のメモリアクセスキューに配置して、前記エントリを、前記第 2 のメモリチャネルを介して送信するために、前記第 2 のコマンドキューに結合された第 2 のアービタと、を更に備える、請求項 1 のメモリコントローラ。

【請求項 8】

前記アドレスデコーダは、前記メモリアクセス要求のターゲットアドレスに基づいて、各メモリアクセス要求を前記第 1 のコマンドキュー又は前記第 2 のコマンドキューに向けてるように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 9】

前記第 1 のコマンドキューは、前記第 2 のコマンドキューとは異なるサイズを有する、請求項 1 のメモリコントローラ。

【請求項 10】

少なくとも 1 つの追加のコマンドキューと、前記追加のコマンドキューに結合された少なくとも 1 つの追加のアービタと、を更に備え、

前記要求クレジット制御回路は、未処理の要求クレジットの数が、全てのコマンドキューの中で利用可能なエントリの最小数よりも少ない場合に、前記コマンドキューの何れかからメモリアクセス要求が割り当て解除されることに応じて要求クレジットを発行し、そうでない場合に、前記メモリアクセス要求が割り当て解除されることに応じて要求クレジットを発行しないように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 11】

方法であって、

メモリコントローラにおいて複数のメモリアクセス要求を受信することと、

前記メモリアクセス要求のアドレスを復号し、前記メモリアクセス要求の各々を受信するために第 1 のメモリチャネル及び第 2 のメモリチャネルのうち何れかを選択することと

、前記アドレスを復号した後に、各メモリアクセス要求を、前記第 1 のメモリチャネルに関連付けられた第 1 のコマンドキュー、及び、前記第 2 のメモリチャネルに関連付けられた第 2 のコマンドキューのうち何れかに送信することと、

指定されたイベントに応じて、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行することと、を含む、方法。

【請求項 12】

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいてクレジット要求を発行することは、未処理の要求クレジットの数が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの最小数よりも少ない場合に、クレジット要求を発行することを含む、

請求項 11 の方法。

【請求項 13】

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち最大数の利用可能なエントリを有するコマンドキューに割り当てられたメモリアクセス要求が受信された場合に、前記第 1 のコマンドキュー又は前記第 2 のコマンドキューからの対応する割り当て解除なしに要求クレジットを発行することを含む、

請求項 12 の方法。

【請求項 14】

メモリアクセス要求が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち何れかから割り当て解除され、その結果、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューが等しい数の利用可能なエントリを有することに依りて、前記未処理の要求クレジットの数が前記等しい数の利用可能なエントリよりも少ない場合にメモリアクセスク

10

20

30

40

50

レジットを発行し、そうでない場合に、前記メモリアクセス要求が割り当て解除されることに応じて要求クレジットを発行しないことを含む、

請求項 12 の方法。

【請求項 15】

前記指定されたイベントは、メモリアクセス要求が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち何れかから割り当て解除されることである、

請求項 11 の方法。

【請求項 16】

第 1 のアービタを用いて、前記第 1 のコマンドキューからエントリを選択し、前記エントリを第 1 のメモリアクセスキューに配置して、前記エントリを、前記第 1 のメモリアクセスチャンネルを介して送信することと、

第 2 のアービタを用いて、前記第 2 のコマンドキューからエントリを選択し、前記エントリを第 2 のメモリアクセスキューに配置して、前記エントリを、前記第 2 のメモリアクセスチャンネルを介して送信することと、を含む、

請求項 11 の方法。

【請求項 17】

前記メモリアクセス要求のターゲットアドレスに基づいて、各メモリアクセス要求を前記第 1 のコマンドキュー又は前記第 2 のコマンドキューに向けることを含む、

請求項 11 の方法。

【請求項 18】

データ処理システムであって、

データファブリックと、

第 1 のメモリアクセスチャンネル及び第 2 のメモリアクセスチャンネルと、

少なくとも 1 つのメモリアクセスエンジンから前記データファブリックを介して受信されたメモリアクセス要求を遂行するために、前記データファブリックと前記第 1 のメモリアクセスチャンネル及び前記第 2 のメモリアクセスチャンネルとに結合されたメモリアクセスコントローラと、を備え、前記メモリアクセスコントローラは、

メモリアクセス要求を受信するための第 1 の入力と、第 1 の出力と、第 2 の出力と、を有するアドレスデコーダと、

第 1 のメモリアクセスチャンネルに対するメモリアクセス要求を受信するために前記アドレスデコーダの前記第 1 の出力に結合された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する第 1 のコマンドキューと、

第 2 のメモリアクセスチャンネルに対するメモリアクセス要求を受信するために前記アドレスデコーダの前記第 2 の出力に結合された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する第 2 のコマンドキューと、

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューに結合された要求クレジット制御回路であって、未処理の要求クレジットの数を追跡し、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行するように動作可能な要求クレジット制御回路と、を備える、

データ処理システム。

【請求項 19】

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいてクレジット要求を発行することは、未処理の要求クレジットの数が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの最小数よりも少ない場合に、クレジット要求を発行することを含む、

請求項 18 のデータ処理システム。

【請求項 20】

前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの数に基づいてクレジット要求を発行することは、未処理の要求クレジットの数が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューの利用可能なエントリの最小数よりも少ない

10

20

30

40

50

場合に、クレジット要求を発行することを含む、

請求項 18 のデータ処理システム。

【請求項 21】

前記要求クレジット制御回路は、前記データファブリックに結合されており、前記データファブリックを介してメモリアクセスエージェントに要求クレジットを発行するように動作可能である、

請求項 18 のデータ処理システム。

【請求項 22】

前記要求クレジット制御回路は、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち最大数の利用可能なエントリを有するコマンドキューに割り当てられたメモリアクセス要求が受信された場合に、前記第 1 のコマンドキュー又は前記第 2 のコマンドキューからの対応する割り当て解除なしに要求クレジットを発行するように動作可能である、

10

請求項 18 のデータ処理システム。

【請求項 23】

前記要求クレジット制御回路は、メモリアクセス要求が前記第 1 のコマンドキュー及び前記第 2 のコマンドキューのうち何れかから割り当て解除され、その結果、前記第 1 のコマンドキュー及び前記第 2 のコマンドキューが等しい数の利用可能なエントリを有することに依りて、前記未処理の要求クレジットの数が前記等しい数の利用可能なエントリよりも少ない場合に要求クレジットを発行するように動作可能である、

20

請求項 18 のデータ処理システム。

【請求項 24】

前記要求クレジット制御回路のための各コマンドキュー内の利用可能なコマンドエントリの現在の数を計算するように動作可能なキュー占有回路を備える、

請求項 18 のデータ処理システム。

【請求項 25】

前記第 1 のコマンドキューからエントリを選択し、前記エントリを第 1 のメモリインターフェースキューに配置して、前記エントリを、前記第 1 のメモリチャネルを介して送信するために、前記第 1 のコマンドキューに結合された第 1 のアービタと、

前記第 2 のコマンドキューからエントリを選択し、前記エントリを第 2 のメモリインターフェースキューに配置して、前記エントリを、前記第 2 のメモリチャネルを介して送信するために、前記第 2 のコマンドキューに結合された第 2 のアービタと、を備える、

30

請求項 18 のデータ処理システム。

【請求項 26】

前記アドレスデコーダは、前記メモリアクセス要求のターゲットアドレスに基づいて、各メモリアクセス要求を前記第 1 のコマンドキュー又は前記第 2 のコマンドキューに向けてるように動作可能である、

請求項 18 のデータ処理システム。

【請求項 27】

前記メモリアクセスエンジンは、少なくとも 1 つのデータ処理ユニットからのメモリアクセス要求を実行するために前記データファブリックに結合されたコヒーレントメモリスレーブコントローラである、

40

請求項 18 のデータ処理システム。

【請求項 28】

前記メモリアクセスエンジンは、少なくとも 1 つのデータ処理ユニットからのメモリアクセス要求を実行するために前記データファブリックに結合されたコヒーレントメモリマスタコントローラである、

請求項 18 のデータ処理システム。

【発明の詳細な説明】

【背景技術】

50

【0001】

コンピュータシステムは、一般に、メインメモリ用の安価で高密度のダイナミックランダムアクセスメモリ (dynamic random access memory、DRAM) チップを使用する。今日販売されている殆どのDRAMチップは、Joint Electron Devices Engineering Council (JEDEC) によって広められた様々なダブルデータ速度 (double data rate、DDR) DRAM規格と適合する。DDR DRAMは、高速アクセス回路を有する従来のDRAMメモリセルアレイを使用して、高い転送レートを達成し、メモリバスの利用を改善する。DDRメモリコントローラは、より多くのDRAMモジュールを収容し、単一のチャンネルを使用するよりも速くデータをメモリと交換するために、複数のDDRチャンネルとインターフェースし得る。例えば、いくつかのメモリコントローラは、2つ又は4つのDDRメモリチャンネルを含む。

10

【0002】

現代のDDRメモリコントローラは、待ち状態のメモリアクセス要求を格納するためのキューを維持し、効率を高めるために待ち状態のメモリアクセス要求を、それらが生成又は格納された順序に関連して順不同で選択することを可能にする。特定のキューが満杯であるためにメモリアクセス要求が拒否されることを防止するために、メモリコントローラのデータインターフェースは、クレジット制御方式を使用してメモリアクセス要求のフローを制御し、このクレジット制御方式では、要求クレジットは、ホストシステムの様々な部分、例えば、そのデータインターフェースファブリックに提供され、ホストシステムは、コマンドキューに入るためのメモリ要求を送信することが可能になる。また、メモリコントローラは、異なるメモリタイプ、密度及びメモリチャンネルトポロジのために構成され得るが、これらの異なるモードをサポートするためにチップコストを増加させ得る大量の追加の回路面積を必要としないように、十分に柔軟である必要がある。

20

【図面の簡単な説明】

【0003】

【図1】先行技術で知られている加速処理ユニット (accelerated processing unit、APU) 及びメモリシステムのブロック図である。

【図2】いくつかの実施形態による、図1と同様のAPUで用いるのに適したデュアルチャンネルメモリコントローラを含む部分的なデータ処理システムのブロック図である。

【図3】いくつかの実施形態による、図2のクレジット制御回路を実装するのに適したクレジット制御回路のブロック図である。

30

【図4】いくつかの実施形態による、要求クレジットを管理するためのプロセスのフロー図である。

【図5】デュアルチャンネルメモリコントローラにおいて要求クレジットを管理するための別のプロセスのフロー図である。

【発明を実施するための形態】

【0004】

以下の説明において、異なる図面における同一の符号の使用は、同様の又は同一のアイテムを示す。別段言及されなければ、「結合される」という単語及びその関連する動詞形は、当技術分野で知られている手段による直接接続及び間接電気接続の両方を含み、また、別段言及されなければ、直接接続の任意の記述は、好適な形態の間接電気接続を使用する代替の実施形態も意味する。

40

【0005】

メモリコントローラは、アドレスデコーダと、第1のコマンドキューと、第2のコマンドキューと、要求クレジット制御回路と、を含む。アドレスデコーダは、メモリアクセス要求を受信するための第1の入力と、第1の出力と、第2の出力と、を有する。第1のコマンドキューは、第1のメモリチャンネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第1の出力に接続された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する。第2のコマンドキューは、第2のメモリチャンネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第2の出力に接続された入

50

力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する。要求クレジット制御回路は、第1のコマンドキューと、第2のコマンドキューと、に接続される。要求クレジット制御回路は、未処理の要求クレジットの数を追跡し、第1のコマンドキュー及び第2のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行するように動作可能である。

【0006】

方法は、メモリコントローラにおいて複数のメモリアクセス要求を受信することを含む。メモリアクセス要求のアドレスが復号され、第1のメモリチャネル及び第2のメモリチャネルのうち何れかが、メモリアクセス要求の各々を受信するために選択される。アドレスを復号した後、本方法は、各メモリアクセス要求を、第1のメモリチャネルに関連付けられた第1のコマンドキュー及び第2のメモリチャネルに関連付けられた第2のコマンドキューのうち何れかに送信することを含む。指定されたイベントに応じて、本方法は、第1のコマンドキュー及び第2のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行することを含む。

10

【0007】

データ処理システムは、データファブリックと、第1及び第2のメモリチャネルと、少なくとも1つのメモリアクセスエンジンからデータファブリックを介して受信されたメモリアクセス要求を遂行するためにデータファブリック並びに第1及び第2のメモリチャネルに接続されたメモリコントローラと、を含む。メモリコントローラは、アドレスデコーダと、第1のコマンドキューと、第2のコマンドキューと、要求クレジット制御回路と、を含む。アドレスデコーダは、メモリアクセス要求を受信するための第1の入力と、第1の出力と、第2の出力と、を有する。第1のコマンドキューは、第1のメモリチャネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第1の出力に接続された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する。第2のコマンドキューは、第2のメモリチャネルに対するメモリアクセス要求を受信するためにアドレスデコーダの第2の出力に接続された入力と、メモリアクセス要求を保持するためのいくつかのエントリと、を有する。要求クレジット制御回路は、第1のコマンドキューと、第2のコマンドキューと、に接続される。要求クレジット制御回路は、未処理の要求クレジットの数を追跡し、第1のコマンドキュー及び第2のコマンドキューの利用可能なエントリの数に基づいて要求クレジットを発行するように動作可能である。

20

30

【0008】

図1は、従来技術において知られている加速処理ユニット(APU)100及びメモリシステム130のブロック図である。APU100は、ホストデータ処理システムにおけるプロセッサとして用いるのに適した集積回路であり、概して、中央処理ユニット(central processing unit、CPU)コア複合体110と、グラフィックスコア120と、ディスプレイエンジン122のセットと、データファブリック125と、メモリ管理ハブ140と、周辺コントローラ160のセットと、周辺バスコントローラ170のセットと、システム管理ユニット(system management unit、SMU)180と、を含む。

【0009】

CPUコア複合体110は、CPUコア112及びCPUコア114を含む。この例では、CPUコア複合体110が2つのCPUコアを含むが、他の実施形態では、CPUコア複合体110が任意の数のCPUコアを含むことができる。CPUコア112及び114の各々は、制御ファブリックを形成するシステム管理ネットワーク(system management network、SMN)及びデータファブリック125に双方向に接続され、データファブリック125にメモリアクセス要求を提供することができる。CPUコア112及び114の各々は、単体のコアであってもよく、又は、更にキャッシュ等の特定のリソースを共有する2つ以上の単体のコアを有するコア複合体であってもよい。

40

【0010】

グラフィックスコア120は、頂点処理、フラグメント処理、シェーディング、テクスチャブレンド等のグラフィックス処理を高度に統合された並列方式で実行すること

50

ができる高性能グラフィックス処理ユニット (graphics processing unit、GPU) である。グラフィックスコア 120 は、SMN 及びデータファブリック 125 に双方向に接続され、メモリアクセス要求をデータファブリック 125 に提供することができる。これに関して、APU 100 は、CPU コア複合体 110 とグラフィックスコア 120 とが同じメモリ空間を共有する統合メモリアーキテクチャ、又は、CPU コア複合体 110 とグラフィックスコア 120 とがメモリ空間の一部を共有する一方でグラフィックスコア 120 が CPU コア複合体 110 によりアクセスできないプライベートグラフィックスメモリも使用するメモリアーキテクチャの何れかをサポートすることができる。

【0011】

ディスプレイエンジン 122 は、モニタ上に表示するためにグラフィックスコア 120 によって生成されたオブジェクトをレンダリングしてラスターライズする。グラフィックスコア 120 及びディスプレイエンジン 122 は、メモリシステム 130 内の適切なアドレスへの一様な変換のために、データファブリック 125 を介して共通メモリ管理ハブ 140 に双方向に接続される。

【0012】

データファブリック 125 は、任意のメモリアクセスエージェントとメモリ管理ハブ 140 との間でメモリアクセス要求及びメモリ応答をルーティングするためのクロスバスイッチを含む。また、データファブリックは、システム構成に基づいてメモリアクセスの送信先を判定するために、基本入力/出力システム (basic input/output system、BIOS) によって規定されるシステムメモリマップ、並びに、各仮想接続のためのバッファも含む。

【0013】

周辺コントローラ 160 は、ユニバーサルシリアルバス (universal serial bus、USB) コントローラ 162 及びシリアルアドバンスドテクノロジーアタッチメント (Serial Advanced Technology Attachment、SATA) インターフェースコントローラ 164 を含み、これらのそれぞれは、システムハブ 166 及び SMN バスに対して双方向で接続される。これらの2つのコントローラは、APU 100 で使用され得る周辺コントローラの単なる典型例である。

【0014】

周辺バスコントローラ 170 は、システムコントローラ又は「サウスブリッジ」 (Southbridge、SB) 172 と、周辺構成要素相互接続エクスプレス (Peripheral Component Interconnect Express、PCIe) コントローラ 174 と、を含み、これらのそれぞれは、入力/出力 (input/output、I/O) ハブ 176 及び SMN バスに対して双方向で接続される。また、I/O ハブ 176 は、システムハブ 166 及びデータファブリック 125 に対して双方向で接続される。したがって、例えば、CPU コアは、データファブリック 125 が I/O ハブ 176 を介してルーティングするアクセスにより、USB コントローラ 162、SATA インターフェースコントローラ 164、SB 172、又は、PCIe コントローラ 174 内のレジスタをプログラムすることができる。APU 100 のためのソフトウェア及びファームウェアは、リードオンリーメモリ (read-only memory、ROM)、フラッシュ電気的消去可能プログラマブル ROM (electrically erasable programmable ROM、EEPROM) 等の様々な不揮発性メモリタイプの何れかであり得るシステムデータドライブ又はシステム BIOS メモリ (図示せず) に記憶される。一般に、BIOS メモリは PCIe バスを介してアクセスされ、システムデータドライブは SATA インターフェースを介してアクセスされる。

【0015】

SMU 180 は、APU 100 上のリソースの動作を制御してそれらの間の通信を同期させるローカルコントローラである。SMU 180 は、APU 100 上の様々なプロセッサのパワーアップシーケンシングを管理し、リセット、イネーブル及び他の信号を介して複数のオフチップデバイスを制御する。SMU 180 は、APU 100 の構成要素のそれぞれにクロック信号を与えるために、位相ロックループ (phase locked l

oop、PLL)等の1つ以上のクロックソース(図示せず)を含む。また、SMU180は、様々なプロセッサ及び他の機能ブロックのための電力を管理し、適切な電力状態を判定するためにCPUコア112及び114並びにグラフィックスコア120から測定された電力消費値を受信することができる。

【0016】

メモリ管理ハブ140並びにその関連する物理インターフェース(physical interface、PHY)151及び152は、この実施形態ではAPU100と統合される。メモリ管理ハブ140は、メモリチャネル141及び142とパワーエンジン149とを含む。メモリチャネル141は、ホストインターフェース145、メモリチャネルコントローラ143及び物理インターフェース147を含む。ホストインターフェース145は、メモリチャネルコントローラ143を、シリアル存在検出リンク(serial presence detect、SDP)を介してデータファブリック125に対して双方向で接続する。物理インターフェース147は、メモリチャネルコントローラ143をPHY151に対して双方向で接続し、DDR PHYインターフェース(DDR PHY Interface、DFI)仕様に準拠する。メモリチャネル142は、ホストインターフェース146、メモリチャネルコントローラ144及び物理インターフェース148を含む。ホストインターフェース146は、別のSDPを介してメモリチャネルコントローラ144をデータファブリック125に対して双方向で接続する。物理インターフェース148は、メモリチャネルコントローラ144をPHY152に対して双方向で接続し、DFI仕様に準拠する。パワーエンジン149は、SMNバスを介してSMU180に対して、APBを介してPHY151及び152に対して双方向で接続されるとともに、メモリチャネルコントローラ143及び144に対して双方向で接続される。PHY151は、メモリチャネル131への双方向接続を有する。PHY152は双方向接続メモリチャネル133を有する。

【0017】

メモリ管理ハブ140は、2つのメモリチャネルコントローラを有するメモリコントローラのインスタンス化であり、共有パワーエンジン149を使用して、以下で更に説明する態様でメモリチャネルコントローラ143及びメモリチャネルコントローラ144の両方の動作を制御する。メモリチャネル141及び142のそれぞれは、DDRバージョン5(DDR version five、DDR5)、DDRバージョン4(DDR version four、DDR4)、低電力DDR4(low power DDR4、LPDDR4)、グラフィックスDDRバージョン5(graphics DDR version five、GDDR5)、及び、高帯域幅メモリ(high bandwidth memory、HBM)等の最先端DDRメモリに接続することができ、将来のメモリ技術に適合され得る。これらのメモリは、高いバス帯域幅及び高速動作をもたらす。同時に、それらのメモリは、ラップトップコンピュータ等のバッテリー駆動用途のための電力を節約するための低電力モードを与えるとともに、内蔵熱監視も行う。

【0018】

メモリシステム130は、メモリチャネル131及びメモリチャネル133を含む。メモリチャネル131は、DDR xバス132に接続されるデュアルインラインメモリモジュール(dual inline memory module、DIMM)のセットを含み、これには、本実施例では個別のランクに対応する代表的なDIMM134、136、138が含まれる。同様に、メモリチャネル133は、代表的なDIMM135、137、139を含む、DDR xバス129に接続されるDIMMのセットを含む。

【0019】

APU100は、ホストデータ処理システムの中央処理ユニット(CPU)として動作し、最新のコンピュータシステムにおいて有用な様々なバス及びインターフェースを与える。これらのインターフェースは、2つのダブルデータレート(double data rate、DDR x)メモリチャネル、PCIeリンクへの接続のためのPCIeルート複合体、USBネットワークへの接続のためのUSBコントローラ、及び、SATA大容量記憶デバイスへのインターフェースを含む。

【0020】

10

20

30

40

50

また、A P U 1 0 0 は、様々なシステム監視機能及び節電機能も実装する。特に、1つのシステム監視機能は熱監視である。例えば、A P U 1 0 0 が高温になる場合、S M U 1 8 0 は、C P U コア 1 1 2、1 1 4 及び / 又はグラフィックスコア 1 2 0 の周波数及び電圧を低減することができる。A P U 1 0 0 が高温になりすぎる場合、S M U を完全にシャットダウンすることができる。S M N バスを介して S M U 1 8 0 によって外部センサから熱事象を受けることもでき、S M U 1 8 0 は、それに応じてクロック周波数及び / 又は電源電圧を低減することができる。

【 0 0 2 1 】

図 2 は、図 1 のような A P U で用いるのに適したデュアルチャネルメモリコントローラ 2 1 0 を含む部分的なデータ処理システム 2 0 0 のブロック図である。データファブリック 1 2 5 に接続されたデュアルチャネルメモリコントローラ 2 1 0 が示されており、コヒーレントスレーブエージェント 2 5 0 及びコヒーレントマスタエージェント 2 6 0 を含むデータ処理システム 2 0 0 内に存在するいくつかのメモリエージェントと通信することができる。デュアルチャネルメモリコントローラ 2 1 0 は、2つの個別のメモリチャンネルコントローラ 1 4 3 及び 1 4 4 (図 1) を置換し、データファブリック 1 2 5 及びデータ処理システム 2 0 0 内の様々なメモリアドレス指定エージェントに透過的な方法で2つの D D R x チャンネルを一緒に制御することができる。その結果、単一のメモリコントローラインターフェース 2 1 2 を使用してメモリアクセスコマンドを送信し、結果を受信することができる。また、デュアルチャネルメモリコントローラ 2 1 0 は、例えば、D D R 5 D R A M とともに使用するための D D R 5 仕様において定義されるような2つのサブチャンネル、又は、高帯域幅メモリ 2 (High Bandwidth Memory 2、H B M 2) 及び H B M 3 規格において定義されるそれらのサブチャンネルを制御することができる。デュアルチャネルメモリコントローラ 2 1 0 は、概して、インターフェース 2 1 2 と、クレジット制御回路 2 2 1 と、アドレスデコーダ 2 2 2 と、異なるメモリチャンネルにそれぞれ割り当てられたメモリチャンネル制御回路 2 2 3 の2つのインスタント、を含む。メモリチャンネル制御回路 2 2 3 の各インスタントは、メモリインターフェースキュー 2 1 4 と、コマンドキュー 2 2 0 と、コンテンツアドレスサブルメモリ (content addressable memory、C A M) 2 2 4 と、リプレイキュー 2 3 0 を含むリプレイ制御ロジック 2 3 1 と、タイミングブロック 2 3 4 と、ページテーブル 2 3 6 と、アービタ 2 3 8 と、エラー訂正符号 (error correction code、E C C) チェック回路 2 4 2 と、E C C 生成ブロック 2 4 4 と、データバッファ 2 4 6 と、アクティブ化カウンタ 2 4 8 を含むリフレッシュ制御ロジック 2 3 2 と、を含む。他の実施形態では、コマンドキュー 2 3 0、アービタ 2 3 8 及びメモリインターフェースキュー 2 1 4 のみが、使用される各メモリチャンネル又はサブチャンネルに対して複製され、残りの図示された回路は、2つのチャンネルとともに使用するよう適合される。更に、図示されたデュアルチャネルメモリコントローラは、2つのメモリチャンネル又はサブチャンネルを制御するために、アービタ 2 3 8、コマンドキュー 2 2 0、及び、メモリインターフェースキュー 2 1 4 の2つのインスタントを含むが、他の実施形態は、本明細書のクレジット管理技術に従って3つ又は4つのチャンネル又はサブチャンネル上で D R A M と通信するために使用される、3つ又は4つ以上等のより多くのインスタントを含み得る。

【 0 0 2 2 】

インターフェース 2 1 2 は、通信バスを介したデータファブリック 1 2 5 への第 1 の双方向接続と、クレジット制御回路 2 2 1 への第 2 の双方向接続と、を有する。この実施形態では、インターフェース 2 1 2 は、データファブリック 1 2 5 と通信するためのいくつかのチャンネルを確立するためにスケラブルデータポート (S D P) リンクを使用するが、他のインターフェースリンク規格も使用に適している。例えば、別の実施形態では、通信バスは、「A X I 4」として知られている英国ケンブリッジの A R M H o l d i n g s, P L C によって指定された高度拡張可能インターフェースバージョン 4 と適合するが、他の実施形態では他のタイプのインターフェースとなり得る。インターフェース 2 1 2 は、メモリアクセス要求を、「F C L K」(又は「M E M C L K」)ドメインとして知ら

10

20

30

40

50

れている第1のクロックドメインから、「UCLK」ドメインとして知られているデュアルチャネルメモリコントローラ210の内部の第2のクロックドメインに変換する。同様に、メモリアンターフェースキュー214は、UCLKドメインからDFIインターフェースに関連付けられる「DFICK」ドメインへのメモリアクセスを与える。

【0023】

クレジット制御回路221は、インターフェース212への双方向通信リンクを含み、これは、アドレスデコーダ222と共有され得るか又は要求クレジットを管理するための専用SDPチャネルを含み得る。また、クレジット制御回路221は、両方のコマンドキュー220に接続された入力を有し、図では、アドレスデコーダ222と共有されるものとして示されている。クレジット制御回路221は、概して、両方のメモリチャネルのためのデータファブリックに割り当てられた要求クレジットを制御する。以下で更に説明するように、クレジット制御回路221によって実行される制御プロセスは、未処理の要求クレジットの数を追跡することと、未処理の要求クレジットの数が第1及び第2のコマンドキュー220の利用可能なエントリの最小数より小さい場合、第1及び第2のコマンドキュー220のうち何れかからメモリアクセス要求が割り当て解除されることに応じて要求クレジットを発行することと、そうでない場合、メモリアクセス要求が割り当て解除されることに応じて要求クレジットを発行しないことと、を含む。また、クレジット制御回路221は、最大数の利用可能なエントリを有する第1及び第2のコマンドキュー220のうち何れかに割り当てられたメモリアクセス要求が受信された場合、第1又は第2のコマンドキュー220からの対応する割り当て解除なしに要求クレジットを発行するように動作する。

10

20

【0024】

アドレスデコーダ222は、クレジット制御回路221への双方向リンクと、第1のコマンドキュー220（「コマンドキュー0」とラベル付けされている）に接続された第1の出力と、第2のコマンドキュー220（「コマンドキュー1」とラベル付けされている）に接続された第2の出力と、を有する。アドレスデコーダ222は、インターフェース212を介してデータファブリック125上で受信されたメモリアクセス要求のアドレスを復号する。メモリアクセス要求は、正規化フォーマットで表された物理アドレス空間内のアクセスアドレスを含む。アクセスアドレスに基づいて、アドレスデコーダ222は、要求を処理するために、コマンドキュー220のうち関連付けられた1つを有するメモリチャネルのうち1つを選択する。選択されたチャネルは、クレジット発行決定を行うことができるように、要求ごとにクレジット制御回路221に対して識別される。アドレスデコーダ222は、正規化されたアドレスを、メモリシステム130内の実際のメモリデバイスをアドレス指定するために及び関連するアクセスを効率的にスケジュールするために使用され得るフォーマットに変換する。このフォーマットは、メモリアクセス要求を特定のランク、行アドレス、列アドレス、バンクアドレス、及び、バンクグループと関連付ける領域識別子を含む。起動時に、システムBIOSは、メモリシステム130内のメモリデバイスに問い合わせるそれらのサイズ及び構成を判定し、アドレスデコーダ222に関連付けられた構成レジスタのセットをプログラムする。アドレスデコーダ222は、構成レジスタに記憶された構成を使用して、正規化されたアドレスを適切なフォーマットに変換する。各メモリアクセス要求は、アドレスデコーダ222によって選択されたメモリチャネルに対するコマンドキュー220にロードされる。

30

40

【0025】

各コマンドキュー220は、CPUコア112及び114並びにグラフィックスコア120等のAPU100内の様々なメモリアクセスエンジンから受信されるメモリアクセス要求のキューである。各コマンドキュー220は、関連付けられたメモリチャネルを介して発行されるメモリアクセス要求をコマンドキュー220から選択するために、それぞれのアービタ238に双方向に接続される。各コマンドキュー220は、アドレスデコーダ222によって復号されたアドレスフィールド、並びに、それぞれのアービタ238がアクセスタイプ及びサービス品質（quality of service、QoS）識別子を含むメモリア

50

クセスを効率的に選択できるようにする他のアドレス情報を記憶する。各CAM 224は、書き込み後の書き込み（write after write、WAW）及び書き込み後の読み取り（read after write、RAW）順序規則等の順序規則を実施するための情報を含む。

【0026】

アービタ238は、それぞれ、適切なコマンドで実行されるメモリアクセス要求を選択するために、それぞれのコマンドキュー220に双方向に接続される。アービタ238は、概して、メモリチャネルのメモリバスの使用を改善するために、アクセスのインテリジェントスケジューリングによって、そのそれぞれのメモリチャネルの効率を改善する。各アービタ238は、それぞれのタイミングブロック234を使用して、それぞれのコマンドキュー220内の特定のアクセスがDRAMタイミングパラメータに基づいて発行に適合であるかどうかを判定することによって、適切なタイミング関係を実施する。例えば、各DRAMは、「t_{RC}」として知られるアクティブ化コマンド間の最小指定時間を有する。各タイミングブロック234は、JEDEC仕様で定められたこのタイミングパラメータ及び他のタイミングパラメータに基づいて適合性を判定するカウンタのセットを維持し、リプレイキュー230に対して双方向で接続される。各ページテーブル236は、アービタ238のためのそれぞれのメモリチャネルの各バンク及びバンクにおけるアクティブページに関する状態情報を維持し、そのそれぞれのリプレイキュー230に対して双方向で接続される。アービタ238は、復号されたアドレス情報、タイミングブロック234によって示されるタイミング適合性情報、及び、ページテーブル236によって示されるアクティブページ情報を使用して、サービス品質（QoS）要件等の他の基準を遵守しながら、メモリアクセスを効率的にスケジューリングする。例えば、アービタ238は、メモリページを変更するために必要なプリチャージコマンド及びアクティブ化コマンドのオーバーヘッドを回避するために、オープンページへのアクセスの優先度を実装し、あるバンクへのオーバーヘッドアクセスを別のバンクへの読み取り及び書き込みアクセスとインターリーブすることによって隠す。特に、通常動作中、アービタ238は、通常、ページを、これらのページが異なるページを選択する前にプリチャージされる必要があるまで、異なるバンクで開いたままにする。アービタ238は、いくつかの実施形態では、それぞれのコマンドのターゲットメモリ領域に関するアクティブ化カウンタ248の少なくともそれぞれ値に基づいてコマンド選択の適合性を判定する。

【0027】

各エラー訂正コード（ECC）生成ブロック244は、メモリに送られる書き込みデータのECCを判定する。ECCチェック回路242は、受信されたECCを着信ECCと照合してチェックする。

【0028】

各リプレイキュー230は、アドレス及びコマンドパリティ応答等の応答を待っているアービタ238によって選択されたメモリアクセスを記憶するための一時的なキューである。リプレイ制御ロジック231は、ECCチェック回路242にアクセスして、戻されたECCが正しいか又はエラーを示すかを判定する。リプレイ制御ロジック231は、これらのサイクルのうち1つのパリティ又はECCエラーの場合にアクセスがリプレイされるリプレイシーケンスを開始して制御する。リプレイされたコマンドは、メモリインターフェースキュー214に配置される。

【0029】

リフレッシュ制御ロジック232の各インスタンスは、メモリアクセスエージェントから受信した通常の読み取り及び書き込みメモリアクセス要求とは別に生成される様々な電源断、リフレッシュ及び終端抵抗（ZQ）較正サイクルのためのステートマシンを含む。例えば、メモリバンクがプリチャージパワーダウンにある場合、リフレッシュ制御ロジックは、リフレッシュサイクルを実行するために定期的に起動されなければならない。リフレッシュ制御ロジック232は、DRAMチップ内のメモリセルの蓄積キャパシタからの電荷の漏れによって引き起こされるデータエラーを防止するために、定期的に、定められた条件に応じて、リフレッシュコマンドを生成する。リフレッシュ制御ロジック232の

10

20

30

40

50

各インスタンスはアクティブ化カウンタ 2 4 8 を含み、この実施形態では、アクティブ化カウンタ 2 4 8 は、メモリチャネルを介してメモリ領域に送信されるアクティブ化コマンドのローリング数をカウントするカウンタをメモリ領域ごとに有する。メモリ領域は、いくつかの実施形態ではメモリバンクであり、他の実施形態ではメモリサブバンクである。更に、リフレッシュ制御ロジック 2 3 2 は、システム内の熱変化に起因するオンダイ終端抵抗の不一致を防止するために Z Q を定期的に較正する。

【 0 0 3 0 】

E C C 生成ブロック 2 4 4 は、インターフェース 2 1 2 から受信した書き込みメモリアクセス要求に応じて、書き込みデータに従って E C C を計算する。データバッファ 2 4 6 は、受信したメモリアクセス要求に関する書き込みデータ及び E C C を記憶する。データバッファ 2 4 6 は、それぞれのアービタ 2 3 8 がメモリチャネルへのディスパッチのために対応する書き込みアクセスを選択すると、組み合わせられた書き込みデータ / E C C をそれぞれのメモリインターフェースキュー 2 1 4 に出力する。

10

【 0 0 3 1 】

3 つ以上のメモリチャネル又はサブチャネルを有する実施形態では、追加のコマンドキュー、アービタ及びメモリインターフェースキューは、単一のアドレスデコーダ 2 2 2 及びクレジット制御回路 2 2 1 を使用して、図示されたものと並列に追加される。このような設計により、以下に説明するクレジット制御方式を 3 つ以上のチャネル又はサブチャネルとともに使用することが可能となり、キュー容量及びチャネル容量を使用する際に対応する効率が得られる。説明したように、メモリチャネル制御回路 2 2 3 のグループ全体は、各チャネル又はサブチャネルに対して再現されてもよく、あるいは、同じロジックブロックは、追加されたコマンドキュー、アービタ及びメモリインターフェースキューを追跡するために、追加された追加容量とともに使用されてもよい。

20

【 0 0 3 2 】

図 3 は、いくつかの実施形態による、図 2 のクレジット制御回路 2 2 1 を実装するのに適したクレジット制御回路 3 0 0 のブロック図を示す。クレジット制御回路 3 0 0 は、未処理クレジット追跡ロジック 3 0 2 と、キュー 0 占有ロジック 3 0 4 と、キュー 1 占有ロジック 3 0 6 と、インターフェースロジック 3 0 8 と、クレジット発行ロジック 3 1 0 と、要求モニタ 3 1 2 と、コマンドキューモニタ 3 1 4 と、先入れ先出し (first-in-first-out、F I F O) クレジットキュー 3 1 6 (F I F O キュー 3 1 6) と、を含む。未処理クレジット追跡ロジック 3 0 2 は、概して、発行された要求クレジットのカウントを維持し、新しい要求クレジットを発行し、関連するメモリアクセス要求がメモリコントローラ 2 1 0 において受信された場合に有効化される要求クレジットを追跡する。要求クレジットは、データファブリック上の 1 つ以上の要求エージェントに発行される。この実施形態では、要求クレジットは、初期クレジットと、2 つのコマンドキュー及び 2 つのチャネル又はサブチャネルの使用によって提供されるより高い容量のために発行される追加クレジットと、の 2 つのタイプのうち何れかである。追加クレジットを使用することにより、クレジット制御回路 3 0 0 は、両方のコマンドキューの容量をより完全且つ効率的に利用するために、特定の条件下で初期クレジットの数を超える更なるクレジットを発行することができる。追加クレジットは、初期クレジットと同じ方法で未処理クレジット追跡ロジックによって追跡され、総未処理クレジットに向かってカウントされる。

30

40

【 0 0 3 3 】

キュー 0 占有ロジック 3 0 4 及びキュー 1 占有ロジック 3 0 6 は、それぞれのコマンドキュー内の割り当てられていないエントリの数のカウントを維持する。いくつかの実施形態では、カウントは、コマンドキューサイズから各コマンドキューの占有されたエントリの現在の数を減算することによって生成される。他の実施形態では、占有されていないエントリは、コマンドキューから直接的に追跡されるか、又は、各コマンドキューにロードされるエントリ及び各コマンドキューから割り当て解除されるエントリの追跡に基づいて間接的に追跡される。

【 0 0 3 4 】

50

要求モニタ 3 1 2 は、何れのキューが各要求を受信するかを含めて、それぞれのコマンドキューにアドレスデコーダ 2 2 2 によって割り当てられた着信要求を監視する。この情報は、新しい要求クレジットが発行される場合及び発行されるかどうかを判定する際に、クレジット発行ロジック 3 1 0 によって使用される。コマンドキューモニタ 3 1 4 は、両方のコマンドキューを監視して、いつ要求がコマンドキューから割り当て解除されるかを判定する。F I F O キュー 3 1 6 は、図 5 に関して説明するように、特定の条件下でコマンドが各コマンドキューから割り当て解除された場合に発行される追加の要求クレジットを保持する。これらのクレジットは、以下で更に説明するように、クレジット発行ロジック 3 0 0 が、これが許可されていると判定するとすぐに、ファブリックに解放される。クレジット発行ロジック 3 1 0 は、図 4 及び図 5 に関して以下で更に説明するように、未処理クレジットの数、各キューのキュー占有率、並びに、要求モニタ 3 1 2 及びコマンドキューモニタ 3 1 4 からの監視された情報を使用して、要求クレジットをいつ発行するかを決定する。いくつかのバージョンでは、クレジット制御機能は、メモリコントローラのアービタ（例えば、アービタ 2 3 8、図 2）内のロジック回路を監視することで具現化される。他のバージョンでは、プロセスは、前述のサブアービタ 3 0 5 及び最終アービタ 3 5 0 において使用されるものとは異なるアービトレーション方法を使用しながら、同様の機能を有するデジタルロジック又はコントローラによって実行されてもよい。

10

【 0 0 3 5 】

図 4 は、いくつかの実施形態による、要求クレジットを管理するためのプロセスのフロー図 4 0 0 である。図示されたプロセスは、デュアルチャネルメモリコントローラ、2 つ以上のメモリチャネル若しくはサブチャネルに結合されたメモリコントローラ、又は、未処理の要求クレジットを追跡し、デュアルチャネルメモリコントローラのために 2 つ以上のコマンドキューを監視する別の好適なデジタル制御回路において具現化された図 3 のクレジット制御回路 3 0 0 等のクレジット制御回路によって実行されるのに適している。プロセスは、概して、コマンドキュー 0 及びコマンドキュー 1 に関連付けられた両方のメモリチャネルに対するメモリアクセス要求に対する要求クレジットを管理するように機能する。要求クレジットは、関連付けられたアクセス要求を受信するために何れのコマンドキュー及びメモリチャネルが最終的に選択され得るかとは無関係に、データファブリックによって使用される。すなわち、メモリコントローラによって管理される 2 つのメモリチャネル又はサブチャネルの存在は、データファブリック及びデータファブリックにアクセスする様々なメモリエージェントに対して透過的である。

20

30

【 0 0 3 6 】

ブロック 4 0 2 において 2 つのメモリチャネルが初期化されたことに応じて、ブロック 4 0 4 におけるプロセスは、初期要求クレジットをデータファブリックに発行し、初期要求クレジットは、着信読み取り又は書き込みコマンドのために有効化される。また、書き込みコマンドは、データバッファ 2 4 6（図 2）を管理するためにデータクレジットの使用を必要とする。データクレジットは、本明細書で説明する初期クレジット及び追加クレジットとは別に管理される。初期要求クレジットの数は、コマンドキュー 2 2 0 のサイズによって判定される。好ましくは、各コマンドキュー 2 2 0 内のエントリの半分を満たすのに十分な初期要求クレジットが解放され、単一のキュー内にコマンドを配置するために全てのクレジットが有効化された場合にオーバーフローしないことを保証する。2 つのコマンドキューのサイズが等しい場合、解放されるクレジットの数は、通常、1 つのコマンドキューのサイズである。2 つのコマンドキューのサイズが等しくない場合、小さい方のコマンドキューのサイズを使用して初期クレジット数を判定し、最小のコマンドキューより大きくないクレジット量でクレジットプロセスが初期化されることを保証する。この時点で、データファブリックは、メモリコントローラ 2 1 0 に要求を送信するためにデータファブリックに接続された 1 つ以上のメモリアクセスエージェントによって使用され得る要求クレジットを所有する。

40

【 0 0 3 7 】

ブロック 4 0 6 において、プロセスは、関連付けられた要求クレジットをそれぞれ有す

50

る読み取り及び書き込みメモリアクセス要求を受信し始める。受信されたアクセス要求ごとに、ブロック408において、クレジット制御回路は、例えば、未処理クレジット追跡ロジック302（図3）において、未処理の要求クレジットを有効化する。また、アクセス要求は、アドレスデコーダ222によって処理されて、関連付けられたアドレスが復号され、このアドレスに基づいて、メモリアクセス要求を受信するためのメモリチャネルのうち何れかが選択される。ブロック410において、要求は、アドレスデコーダ222の制御下で選択されたメモリチャネルのコマンドキューにロードすることによって、メモリチャネルに割り当てられる。クレジット制御回路300は、ブロック410において各コマンドキューにロードされるアクセス要求を監視する。

【0038】

ブロック412において、プロセスは、1つ以上の追加の要求クレジットが既に発行されており、クレジット制御回路FIFOキュー316（図3）において解放の保留中であるかどうかを判定する。追加の要求クレジットの解放は、図5に関して更に説明される。追加の要求クレジットが解放の保留中である場合、プロセスはブロック420に進み、現在の着信要求に対して要求クレジットは解放されない。そうでない場合、プロセスはブロック414に進み、両方のコマンドキューが最大占有率にあるかどうかを判定する。そうである場合、プロセスはブロック420に進む。そうでない場合、プロセスはブロック416に進み、そこでプロセスは、未処理の要求クレジットが最大値であるかどうかを判定する。最大値は構成可能であり、典型的には、両方のコマンドキューの最大占有率の合計に設定される。ブロック416において未処理の要求クレジットが最大値である場合、プロセスはブロック420に進む。そうでない場合、プロセスはブロック418に進む。

【0039】

ブロック418において、プロセスは、最大数の利用可能なエントリを有するコマンドキューに要求が割り当てられたかどうかを判定する。そうである場合、プロセスはブロック422に進み、要求クレジットをデータファブリックに発行させる。クレジット発行ロジック310（図3）又は他の好適なデジタルロジック若しくは制御回路は、要求クレジット発行を実行し、未処理のクレジットを更新する。ブロック422における要求クレジット発行は、コマンドキューのうち何れかからのコマンドの対応する割り当て解除なしに行われ、これは、2つのコマンドキューのより効率的な使用を可能にするので、図示されたプロセスにおいて有益である。ブロック418において、アクセス要求が、最も多い利用可能なエントリを有するコマンドキューに割り当てられていない場合、プロセスはブロック420に進み、この特定のアクセス要求が割り当てられていることに応じて、要求クレジットを発行しない。

【0040】

図示されたプロセスを使用すると、コマンドがあまり占有されていないコマンドキューに割り当てられる場合に「余分な」又は追加の要求クレジットが発行されることを可能にすることによって、各コマンドキューがより高い容量まで利用されるので、性能上の利点が達成される。図示されたプロセスを、図2に示したようなデュアルアービタメモリコントローラアーキテクチャと組み合わせて使用すると、図4及び図5に示したキュー容量チェックなしでより悲観的な手法を使用する場合よりも、アービタが選択するためにコマンドキュー内で利用可能な多数のコマンドで概して動作しながら、各メモリチャネルを別々に調停することができるので、更なる性能上の利点が達成される。

【0041】

フローチャート400は、順番に発生するブロック410、412、414、416、及び418を示しているが、実際の実装形態では、これらの決定は、デジタルロジックによって行われ、様々な実施形態では、任意の好適な順番で、又は示された条件の一部若しくは全てを同時にチェックするロジック回路と並行して行われる。

【0042】

図5は、デュアルチャネルメモリコントローラにおいて要求クレジットを管理するための別のプロセスのフロー図500である。この実施形態では、プロセスは、図4のプロセ

10

20

30

40

50

スとともにクレジット制御回路300によって実行されて、要求クレジットがデュアルチャネルメモリコントローラ、又は、2つ以上のメモリチャネル若しくはサブチャネルのためのメモリコントローラに発行される2つの異なる方法が提供される。

【0043】

ブロック502において、プロセスは、メモリアクセス要求が2つのコマンドキューのうち何れかから割り当て解除されることに応じて開始する。ブロック504において、プロセスは、各コマンドキューにおいて利用可能なエントリの数を取得する。この情報は、クレジット制御回路、例えば、キュー0占有ロジック304及びキュー1占有ロジック306（図3）において維持されることが好ましい。いくつかの実施形態では、プロセスは、ブロック504においてコマンドキューに直接アクセスして、各コマンドキュー内の利用可能なエントリの数を取得又は計算することができる。関連する数は、ブロック502における割り当て解除された要求を考慮した後の数である。

10

【0044】

ブロック506において、プロセスは、未処理の要求クレジットの数が、2つのコマンドキューの利用可能なエントリの最小数よりも少ないかどうかをチェックし、そうである場合、ブロック508において追加の要求クレジットを発行する。この要求クレジットは、FIFOキュー316（図3）にロードされ、できるだけ早くデータファブリックに解放されることが好ましい。未処理クレジット追跡ロジック302は、追加の要求クレジットがFIFOキュー316を出て、データファブリック上の受信側メモリエージェントによって受信されたことが確認された場合に、追加の要求クレジットを未処理としてカウントすることが好ましい。ブロック506において、未処理の要求クレジットの数が、2つのコマンドキューの利用可能なエントリの最小数よりも少なくない場合、プロセスはブロック510に進み、ブロック502においてメモリアクセス要求が割り当て解除されることに応じて、要求クレジットを発行しない。

20

【0045】

このクレジット発行プロセスは、2つのコマンドキューのより効率的な使用を可能にするという利点を有する一方で、未処理のクレジットの数が、最も占有されたキューの利用可能なエントリより高くないことを保証する。データファブリック及びそれにアタッチされた要求側メモリエージェントは、好ましくは、特定の要求クレジットが初期クレジットであるか追加クレジットであるかに関する情報を有さず、クレジット追跡プロセスはデータファブリックに対して透過的になる。データファブリックは、デュアルチャネルメモリコントローラを、単一チャネルのスループット容量より高いスループット容量を有する単一コントローラであるかのように扱うことができる。2つのコマンドキュー及び2つのメモリチャネルの容量は、データファブリックに対して透過的な方法で組み合わせられ、一方で、単一コマンドキューのための典型的なクレジット管理プロセスが使用された場合より積極的に要求クレジットが発行されることが可能になる。

30

【0046】

図2のデュアルチャネルメモリコントローラ210、又は、クレジット管理回路221及びアドレスデコーダ222等のその任意の部分は、プログラムによって読み取られ、集積回路を製造するために直接的又は間接的に使用され得るデータベース又は他のデータ構造の形態のコンピュータアクセス可能データ構造によって記述又は表現され得る。例えば、このデータ構造は、Verilog又はVHDL等の高レベル設計言語（high level design language、HDL）におけるハードウェア機能の挙動レベル記述又はレジスタ転送レベル（register-transfer level、RTL）記述であってもよい。記述は、合成ライブラリからゲートのリストを含むネットリストを生成するために記述を合成することができる合成ツールによって読み取られることができる。ネットリストは、集積回路を含むハードウェアの機能も表すゲートのセットを含む。ネットリストは、次いで、マスクに適用される幾何学的形状を記述するデータセットを生成するために配置され、ルーティングされ得る。次いで、マスクを様々な半導体製造工程で使用して、集積回路を製造することができる。代替的に、コンピュータアクセス可能格納媒体上のデータベースは、所望に

40

50

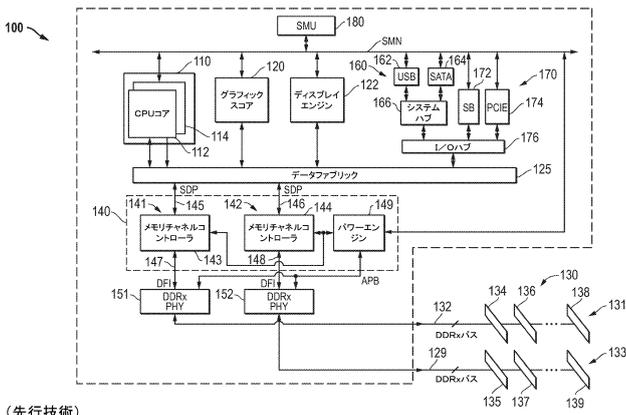
応じて、ネットリスト（合成ライブラリの有無にかかわらず）若しくはデータセット、又は、グラフィックスデータシステム（Graphic Data System、GDS）IIデータであり得る。

【0047】

特定の実施形態を説明してきたが、これらの実施形態に対する様々な修正が当業者には明らかである。例えば、デュアルチャネルメモリコントローラが例として使用されているが、本明細書の技術は、データファブリック及びホストデータ処理システムに透過的な方法でそれらの容量を組み合わせるために、3つ以上のメモリチャネルに適用されてもよい。例えば、3つ又は4つのメモリチャネルは、各チャネルに対して個別のコマンドキュー及びメモリチャネル制御回路を提供する一方で、単一のインターフェースと、アドレスデコードと、個々のメモリチャネルから独立した要求クレジットをデータファブリックに発行するクレジット制御回路と、を提供することによって、本明細書の技術を使用して制御され得る。更に、デュアルチャネルメモリコントローラ210の内部アーキテクチャは、異なる実施形態では変化し得る。デュアルチャネルメモリコントローラ210は、高帯域幅メモリ（HBM）、RAMbus DRAM（RAMbus DRAM、RDRAM）等のような、DDRx以外の他のタイプのメモリとインターフェースすることができる。図示した実施形態は、個別のDIMM又はSIMMに対応するメモリの各ランクを示したが、他の実施形態では、各モジュールは複数のランクをサポートすることができる。更に他の実施形態は、ホストマザーボードに取り付けられたDRAM等のように、特定のモジュールに含まれていない他のタイプのDRAMモジュール又はDRAMを含むことができる。したがって、添付の特許請求の範囲は、開示された実施形態の範囲に含まれる、開示された実施形態の全ての変更を網羅することを意図している。

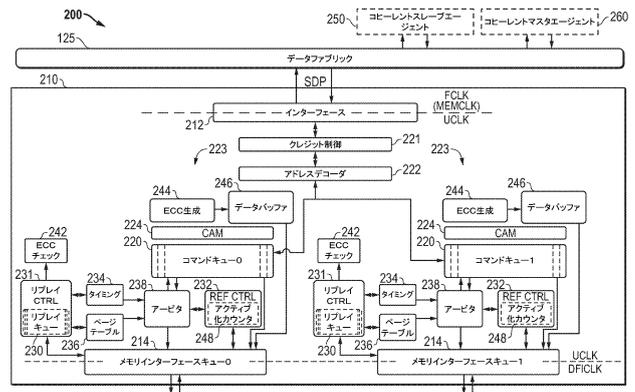
【図面】

【図1】



(先行技術)

【図2】



10

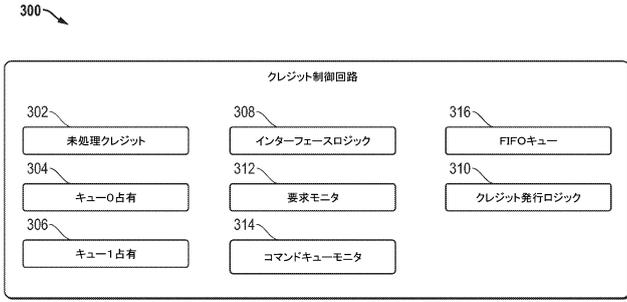
20

30

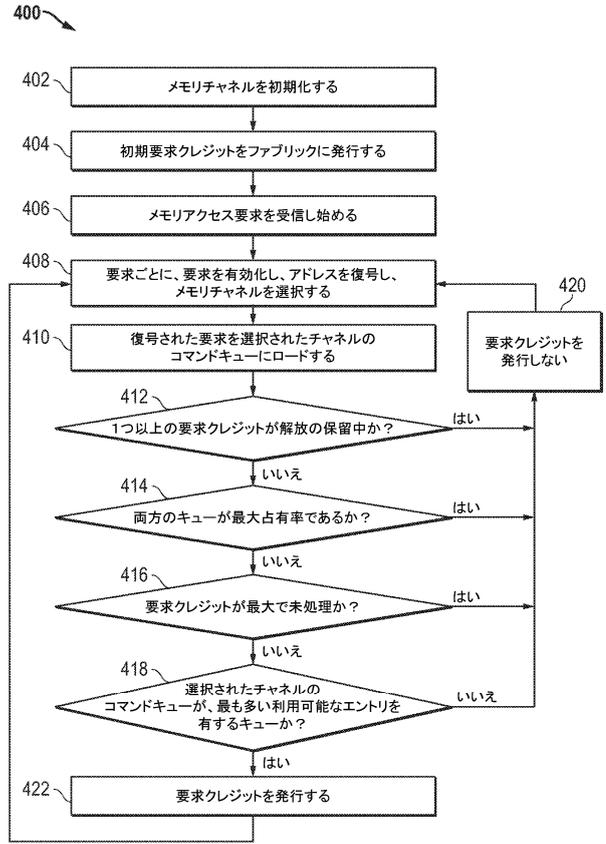
40

50

【 図 3 】



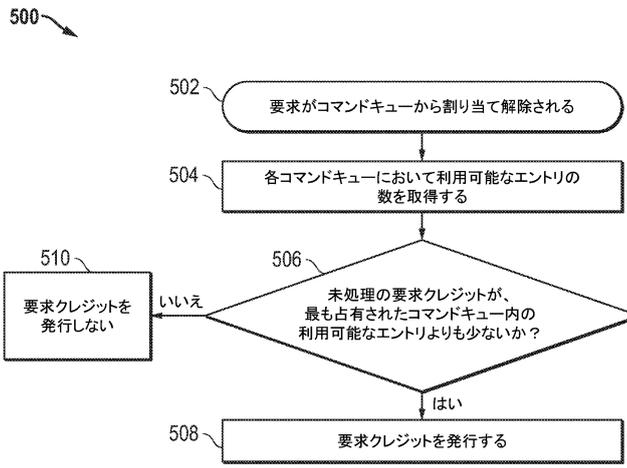
【 図 4 】



10

20

【 図 5 】



30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/021148

A. CLASSIFICATION OF SUBJECT MATTER G06F 13/16(2006.01)i; G06F 9/30(2006.01)i; G06F 9/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F 13/16(2006.01); G06F 12/08(2006.01); G06F 15/167(2006.01); G06F 9/50(2006.01); G11C 11/408(2006.01); G11C 7/10(2006.01); H04L 12/873(2013.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: memory controller, credit, issuing, second command queue, comparing, outstanding, lower		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2018-0019006 A1 (ADVANCED MICRO DEVICES, INC.) 18 January 2018 (2018-01-18) paragraphs [0038]-[0039], [0049]; and claims 1, 27	1-28
Y	US 2014-0317360 A1 (ARM LIMITED) 23 October 2014 (2014-10-23) paragraphs [0040], [0062], [0076], [0098]; claims 11-12; and figure 2	1-28
A	US 2014-0181419 A1 (APPLE INC.) 26 June 2014 (2014-06-26) paragraphs [0065]-[0069]; and figure 6	1-28
A	US 2015-0016254 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 15 January 2015 (2015-01-15) paragraphs [0058]-[0070]; and figures 5-6	1-28
A	KR 10-2019-0130831 A (SK HYNIX INC.) 25 November 2019 (2019-11-25) claims 1-11	1-28
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 20 June 2022		Date of mailing of the international search report 20 June 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer YANG, Jeong Rok Telephone No. +82-42-481-5709

Form PCT/ISA/210 (second sheet) (July 2019)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/021148

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2018-0019006	A1	18 January 2018	CN	109478169	A	15 March 2019
				EP	3485383	A1	22 May 2019
				EP	3485383	A4	22 April 2020
				JP	2019-520660	A	18 July 2019
				JP	6761891	B2	30 September 2020
				KR	10-2019-0019200	A	26 February 2019
				US	10403333	B2	03 September 2019
				WO	2018-013158	A1	18 January 2018
US	2014-0317360	A1	23 October 2014	CN	105144128	A	09 December 2015
				CN	105144128	B	07 August 2018
				US	9411774	B2	09 August 2016
				WO	2014-174246	A1	30 October 2014
US	2014-0181419	A1	26 June 2014	US	9524261	B2	20 December 2016
US	2015-0016254	A1	15 January 2015	US	2015-0092546	A1	02 April 2015
				US	9178832	B2	03 November 2015
				US	9455926	B2	27 September 2016
KR	10-2019-0130831	A	25 November 2019	CN	110489056	A	22 November 2019
				US	2019-0354483	A1	21 November 2019

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1. VERILOG

インド共和国 560066 バンガロール、エクスポート プロモーション インダストリアル パーク #102-103、アドバンスト・マイクロ・デバイス・インコーポレイテッド インディア プライベート リミテッド内

(72)発明者 シュリラム ラビチャンドラン

インド共和国 560066 バンガロール、エクスポート プロモーション インダストリアル パーク #102-103、アドバンスト・マイクロ・デバイス・インコーポレイテッド インディア プライベート リミテッド内

Fターム(参考) 5B160 CB01 CD01