

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165747  
(P2008-165747A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 17/50 (2006.01)</b>	G06F 17/50 656A	5B046
	G06F 17/50 660A	

審査請求 未請求 請求項の数 10 O L (全 28 頁)

(21) 出願番号	特願2007-305868 (P2007-305868)	(71) 出願人	00005223 富士通株式会社
(22) 出願日	平成19年11月27日(2007.11.27)		神奈川県川崎市中原区上小田中4丁目1番1号
(31) 優先権主張番号	特願2006-327388 (P2006-327388)	(74) 代理人	100089118 弁理士 酒井 宏明
(32) 優先日	平成18年12月4日(2006.12.4)	(72) 発明者	加藤 嘉之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	青山 久志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

Fターム(参考) 5B046 AA08 BA02 KA06

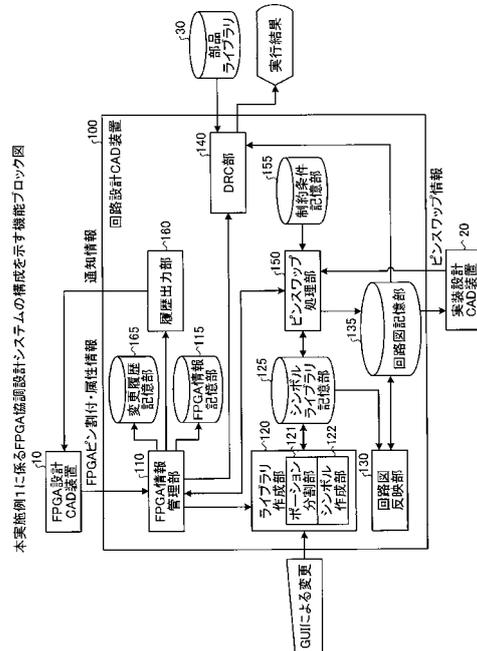
(54) 【発明の名称】 回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法

(57) 【要約】

【課題】 部品としてFPGAを使用する回路の設計において、FPGAの変更に伴う回路図の変更を効率良く行うことができるようにすること。

【解決手段】 回路設計CAD装置100のFPGA情報管理部110がFPGA設計CAD装置10が作成したピン割付情報や属性情報などのFPGA情報を取り込み、ライブラリ作成部120がFPGA情報を用いてシンボルライブラリを作成するよう構成する。また、ライブラリ作成部120は、シンボルライブラリを作成する場合に作成対象のFPGAが回路図に配置済みの場合には、回路図に配置されている既存のシンボルライブラリのポーション分割やピン配置をできるだけ変更しないようにし、回路図反映部130が新たにシンボルライブラリが作成されたFPGAのシンボルを回路図に配置する場合には、既存の配置を変更しないように配置する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

部品として集積回路を使用する回路の設計を支援する回路設計支援装置であって、  
集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力手段と、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手段により入力された集積回路情報を用いて作成するライブラリ作成手段と、

を備えたことを特徴とする回路設計支援装置。

**【請求項 2】**

前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成することを特徴とする請求項 1 に記載の回路設計支援装置。

10

**【請求項 3】**

前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポジション分割を行うことを特徴とする請求項 2 に記載の回路設計支援装置。

20

**【請求項 4】**

前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれる論理ピンについては該回路図に配置されたシンボルと同じポジションに分割することを特徴とする請求項 3 に記載の回路設計支援装置。

**【請求項 5】**

前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれない論理ピンについては物理ピン名に基づいてポジション分割を行うことを特徴とする請求項 3 または 4 に記載の回路設計支援装置。

30

**【請求項 6】**

シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルで置き換えるシンボル置換手段をさらに備えたことを特徴とする請求項 1 ~ 5 のいずれか一つに記載の回路設計支援装置。

**【請求項 7】**

前記シンボル置換手段は、前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルのピンのうち置換前のシンボルと論理ピン名が異なるピンがラインに接続されている場合には、該ラインを切断することを特徴とする請求項 6 に記載の回路設計支援装置。

40

**【請求項 8】**

部品として集積回路を使用する回路の設計を支援する回路設計支援装置による回路設計支援方法であって、

集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力ステップと、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、

を含んだことを特徴とする回路設計支援方法。

**【請求項 9】**

部品として集積回路を使用する回路の設計を支援する回路設計支援プログラムであって

50

、  
集積回路について集積回路設計 C A D により作成された設計情報である集積回路情報を入力する集積回路情報入力手順と、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手順により入力された集積回路情報を用いて作成するライブラリ作成手順と、

をコンピュータに実行させることを特徴とする回路設計支援プログラム。

【請求項 10】

部品として集積回路を使用する回路の設計を支援する回路設計支援装置を用いて設計が行われるプリント基板の製造方法であって、

前記回路設計支援装置が、

集積回路について集積回路設計 C A D により作成された設計情報である集積回路情報を入力する集積回路情報入力ステップと、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、

を含んだことを特徴とするプリント基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、部品として P L D (Programmable Logic Device) などの集積回路を使用する回路の設計を支援する回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法に関し、特に、集積回路の設計変更に伴う回路図の修正を少なくし、もって回路設計の効率を向上することができる回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法に関するものである。

【背景技術】

【0002】

回路設計 C A D において、F P G A (Field Programmable Gate Array) などの P L D を部品として使用する場合には、回路設計者は、P L D の設計後に P L D のシンボルを作成してシンボルライブラリに登録する必要がある。しかし、回路設計者は部品を組み合わせる回路を設計することが主たる業務であるため、部品のシンボル作成に不慣れな場合が多く、P L D の設計変更のたびにシンボル作成を行うことは回路設計者にとって負担が大きい。

【0003】

そこで、P L D のシンボルの作成を支援する技術が開発されている。例えば、特許文献 1 には、F P G A のピン配列情報から F P G A ライブラリを自動生成する F P G A 設計支援装置が記載されている。

【0004】

【特許文献 1】特開 2006 - 79447 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、F P G A 設計支援装置によって F P G A ライブラリを作成しても、回路設計の途中で F P G A に変更があるたびに回路図中の F P G A シンボルを置き換える必要があるという問題がある。また、F P G A 設計支援装置で作成される F P G A シンボルは、F P G A の変更によってポジション分割やピン配置が異なったものとなる場合も多く、回路図の大幅な変更が必要となることもある。

【0006】

この発明は、上述した従来技術による問題点を解消するためになされたものであり、F P G A など集積回路の設計変更に伴う回路図の修正を少なくし、もって回路設計の効率を向上することができる回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法を提供することを目的とする。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0007】

上述した課題を解決し、目的を達成するため、回路設計支援装置は、部品として集積回路を使用する回路の設計を支援する回路設計支援装置であって、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力手段と、回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手段により入力された集積回路情報を用いて作成するライブラリ作成手段と、を備えたことを特徴とする。

## 【0008】

この回路設計支援装置によれば、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力し、回路設計で使用する集積回路のシンボルライブラリを、入力した集積回路情報を用いて作成するよう構成したので、回路図に配置されたシンボルの情報を用いてシンボルライブラリを作成することが可能となる。

10

## 【0009】

また、回路設計支援装置は、上記構成において、前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成することを特徴とする。

## 【0010】

この回路設計支援装置によれば、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成するよう構成したので、回路図に配置された集積回路に設計変更があった場合に、そのシンボルの変更を少なくすることができる。

20

## 【0011】

また、回路設計支援装置は、上記構成において、前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポーション分割

30

## 【0012】

この回路設計支援装置によれば、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポーション分割を行うよう構成したので、回路図に配置された集積回路に設計変更があった場合に、そのシンボルの変更を少なくすることができる。

## 【0013】

また、回路設計支援装置は、上記構成において、前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれる論理ピンについては該回路図に配置されたシンボルと同じポーションに分割することを特徴とする。

40

## 【0014】

この回路設計支援装置によれば、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれる論理ピンについては回路図に配置されたシンボルと同じポーションに分割するよう構成したので、回路図に配置された集積回路に設計変更があった場合に、そのシンボルの変更を少なくすることができる。

## 【0015】

また、回路設計支援装置は、上記構成において、前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路

50

図に配置されたシンボルに含まれない論理ピンについては物理ピン名に基づいてポーション分割を行うことを特徴とする。

【 0 0 1 6 】

この回路設計支援装置によれば、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれない論理ピンについては物理ピン名に基づいてポーション分割を行うよう構成したので、回路図に配置された集積回路に設計変更があった場合に、そのシンボルの変更を少なくすることができる。

【 0 0 1 7 】

また、回路設計支援装置は、上記構成において、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルで置き換えるシンボル置換手段をさらに備えたことを特徴とする。

10

【 0 0 1 8 】

この回路設計支援装置によれば、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを新たにシンボルライブラリを作成したシンボルで置き換えるよう構成したので、回路図に配置された集積回路に設計変更があった場合に、回路設計者による回路図上のシンボルの置き換えを不要とすることができる。

20

【 0 0 1 9 】

また、回路設計支援装置は、上記構成において、前記シンボル置換手段は、前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルのピンのうち置換前のシンボルと論理ピン名が異なるピンがラインに接続されている場合には、該ラインを切断することを特徴とする。

【 0 0 2 0 】

この回路設計支援装置によれば、シンボルライブラリを作成したシンボルのピンのうち置換前のシンボルと論理ピン名が異なるピンがラインに接続されている場合には、そのラインを切断するよう構成したので、集積回路の設計変更に伴う回路図の修正漏れを防ぐことができる。

30

【 0 0 2 1 】

また、回路設計支援方法は、部品として集積回路を使用する回路の設計を支援する回路設計支援装置による回路設計支援方法であって、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力ステップと、回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、を含んだことを特徴とする。

【 0 0 2 2 】

この回路設計支援方法によれば、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力し、回路設計で使用する集積回路のシンボルライブラリを、入力した集積回路情報を用いて作成するよう構成したので、回路図に配置されたシンボルの情報を用いてシンボルライブラリを作成することが可能となる。

40

【 0 0 2 3 】

また、回路設計支援装置プログラムは、部品として集積回路を使用する回路の設計を支援する回路設計支援プログラムであって、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力手順と、回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手順により入力された集積回路情報を用いて作成するライブラリ作成手順と、をコンピュータに実行させることを特徴とする。

【 0 0 2 4 】

50

この回路設計支援プログラムによれば、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力し、回路設計で使用する集積回路のシンボルライブラリを、入力した集積回路情報を用いて作成するよう構成したので、回路図に配置されたシンボルの情報を用いてシンボルライブラリを作成することが可能となる。

【0025】

また、プリント基板の製造方法は、部品として集積回路を使用する回路の設計を支援する回路設計支援装置を用いて設計が行われるプリント基板の製造方法であって、前記回路設計支援装置が、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力ステップと、回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、を含んだことを特徴とする。

10

【0026】

このプリント基板の製造方法によれば、集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力し、回路設計で使用する集積回路のシンボルライブラリを、入力した集積回路情報を用いて作成するよう構成したので、回路図に配置されたシンボルの情報を用いてシンボルライブラリを作成することが可能となる。

【発明の効果】

【0027】

本発明によれば、回路図に配置されたシンボルの情報を用いてシンボルライブラリを作成することが可能となるので、集積回路の設計変更に伴う回路図の修正を少なくすることが可能となるという効果を奏する。

20

【0028】

また、本発明によれば、回路図に配置されたPLDに設計変更があった場合に、そのシンボルの変更を少なくすることができるので、PLDの設計変更に伴う回路図の修正を少なくすることができ、もって回路設計の効率を向上することができるという効果を奏する。

【0029】

また、本発明によれば、回路図に配置されたPLDに設計変更があった場合に、回路設計者による回路図上のシンボルの置き換えを不要とするので、PLDの設計変更に伴う回路図の修正を少なくすることができ、もって回路設計の効率を向上することができるという効果を奏する。

30

【0030】

また、本発明によれば、PLDの設計変更に伴う回路図の修正漏れを防ぐので、設計品質を向上させることができるという効果を奏する。

【発明を実施するための最良の形態】

【0031】

以下に添付図面を参照して、この発明に係る回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法の好適な実施例を詳細に説明する。なお、本実施例では、本発明をFPGAに適用した場合を中心に説明する。

【実施例1】

40

【0032】

まず、本実施例1に係るFPGA協調設計の概念について説明する。図1は、本実施例1に係るFPGA協調設計の概念を説明するための説明図である。同図に示すように、本実施例1に係るFPGA協調設計では、FPGAの設計を支援するFPGA設計CAD装置10と、プリント基板の実装設計を支援する実装設計CAD装置20と、回路設計を支援する回路設計支援装置としての回路設計CAD装置100が連携して設計者を支援する。

【0033】

具体的には、回路設計CAD装置100がFPGA設計CAD装置10が作成したピン配置等のFPGA情報を入力してFPGAのシンボルライブラリを作成する。また、この

50

回路設計CAD装置100は、FPGAのシンボルライブラリを作成する場合に、シンボルライブラリを作成するFPGAが既に回路図に配置済のとき、すなわちFPGAの変更にともなってシンボルライブラリを再度作成するときは、ポーション分割やシンボルピンの配置など既存のシンボルの情報をできるだけそのまま利用してシンボルライブラリを作成する。

【0034】

このように、回路設計CAD装置100がFPGA情報を用いてFPGAのシンボルライブラリを作成することによって、回路設計者はFPGAのシンボルライブラリを作成する必要がなくなり、回路設計者の負担を軽減することができる。また、回路設計CAD装置100がFPGAの変更にともなってシンボルライブラリを再度作成する場合に、既存のシンボルの情報をできるだけそのまま利用してシンボルライブラリを作成することによって、回路図の修正を減らすことができ、回路設計の効率を向上させることができる。

10

【0035】

また、この回路設計CAD装置100は、DRC(デザインルールチェック)を行う場合に、FPGA設計CAD装置10が作成したピン入出力属性などFPGA情報を参照してDRCを行う。例えば、この回路設計CAD装置100は、各ネットについて、FPGAのピン入出力属性を参照して出力ピンの個数のチェックを行う。このように、回路設計CAD装置100がピン入出力属性などFPGA情報を参照してDRCを行うことによって、より正確にDRCを行うことができる。

【0036】

また、この回路設計CAD装置100は、実装設計でピンスワップが発生した場合に、実装設計CAD装置20からピンスワップ情報を取り込んでシンボルライブラリや回路図などにピンスワップを反映させる。また、この回路設計CAD装置100は、ピン間の配線長などの制約条件にも実装設計でのピンスワップを反映させる。このように、回路設計CAD装置100が実装設計でのピンスワップを制約条件にも反映させることによって、回路設計情報と実装設計情報との間の不整合をなくすことができる。

20

【0037】

また、この回路設計CAD装置100は、実装設計でのピンスワップの履歴を記録し、FPGA設計CAD装置10にピンスワップの履歴情報を提供する。このように、回路設計CAD装置100が実装設計でのピンスワップの履歴を記録し、FPGA設計CAD装置10にピンスワップの履歴情報を提供することによって、FPGA設計、回路設計および実装設計の間の整合性を確保することができる。

30

【0038】

次に、本実施例1に係るFPGA協調設計システムの構成について説明する。図2は、本実施例1に係るFPGA協調設計システムの構成を示す機能ブロック図である。同図に示すように、このFPGA協調設計システムは、FPGA設計CAD装置10と、実装設計CAD装置20と、回路設計CAD装置100とから構成される。

【0039】

回路設計CAD装置100は、FPGA設計CAD装置10および実装設計CAD装置20と連携して、FPGAを部品として使用する回路設計を支援する。図3は、回路設計を説明するための説明図である。同図に示すように、回路設計者は、部品と関連付けられたシンボルライブラリとして登録されているシンボルを回路図上に配置し、シンボルピンを接続することで回路の設計を行う。

40

【0040】

ただし、FPGAの場合、プログラムが書き込まれる前にシンボルライブラリとして登録されているものでは、ピンは入力にも出力にもなりえるため入出力ピンとして定義されている。そのため、登録済のシンボルライブラリを使用した場合には、入力となるピンが右に存在したり、逆に出力となるピンが左に存在したり、あるいは、図4(a)に示すように、バスが順序よく並ばないため回路図としてわかりづらくなる。

【0041】

50

したがって、FPGAについては、プログラムの書き込みごとにシンボルライブラリの作成が必要となる。そこで、ここでは、回路設計CAD装置100がプログラムの書き込みごとにFPGAのシンボルライブラリを作成することとしている。プログラムの書き込みごとにFPGAのシンボルライブラリを作成することによって、図4(b)に示すように、入力となるピンを左に配置し、またバスを順序よく並べることができる。

【0042】

図2に戻って、この回路設計CAD装置100は、FPGA情報管理部110と、FPGA情報記憶部115と、ライブラリ作成部120と、シンボルライブラリ記憶部125と、回路図反映部130と、回路図記憶部135と、DRC部140と、ピンスワップ処理部150と、制約条件記憶部155と、履歴出力部160と、変更履歴記憶部165とを有する。

10

【0043】

FPGA情報管理部110は、FPGA情報を管理する処理部であり、FPGA設計CAD装置100が出力したファイルから物理ピンと論理ピンの対応、ピンの入出力属性、電圧値、バンク番号などのFPGA情報を読み込んでFPGA情報記憶部115に格納する。

【0044】

また、このFPGA情報管理部110は、FPGA情報記憶部115にFPGA情報を最初に格納した後にFPGA情報を読み込んでFPGA情報記憶部115に再格納した場合には、FPGA情報が変更されたことを示す変更履歴を変更履歴記憶部165に格納する。

20

【0045】

FPGA情報記憶部115は、FPGA情報管理部110の管理の下にFPGA情報を記憶する記憶部である。図5は、FPGA情報記憶部115が記憶するFPGA情報の一例を示す図である。同図に示すように、このFPGA情報記憶部115は、ピンごとに、物理ピン名、論理ピン名、入出力属性、バンク番号、スワップグループ番号、差動属性および電源電圧値を記憶する。

【0046】

ライブラリ作成部120は、FPGA情報記憶部115が記憶するFPGA情報を用いてFPGAのシンボルライブラリを作成する処理部であり、作成したシンボルライブラリをシンボルライブラリ記憶部125に格納する。このライブラリ作成部120は、ポジション分割を行うポジション分割部121と、ポジション分割部121により分割された各ポジションのシンボルを作成するシンボル作成部122とを有する。

30

【0047】

ポジション分割部121は、使用者によってGUIを用いて指定されたポジション分割ルールでポジション分割を行う。ポジション分割としては、バンク番号毎、バンクグループ毎、論理ピン名による分割などがある。また、このポジション分割部121は、シンボル上でのピン位置については、左右の位置は入出力属性により決定し、順序はそれぞれの属性によりソートして決定する。また、このポジション分割部121は、使用者がGUIを用いて指定したポジション間のピンの移動を受け付けてピンの移動を行う。

40

【0048】

また、ライブラリ作成部120は、シンボルライブラリを作成するときに、作成対象のFPGAのシンボルが回路図に配置済であるか否かを調べ、回路図に配置済である場合には、配置済のシンボルに関する情報を参照してシンボルライブラリを作成する。

【0049】

具体的には、このライブラリ作成部120は、論理ピン名をキーに既存のシンボルライブラリを参照してポジション分割する。また、このライブラリ作成部120は、既存のシンボルライブラリと一致する位置にシンボルピンを配置したシンボルライブラリを作成する。すなわち、このライブラリ作成部120は、既存のシンボルに含まれる論理ピン名のピンは既存のポジションと同じポジションの同じ位置に割り付け、既存のシンボルに含ま

50

れない論理ピン名のピンは、物理ピン名が同じピンのポーションに割り付ける。また、このライブラリ作成部 1 2 0 は、シンボルライブラリ上の空いている位置に論理ピン名が一致しなかったピンを配置し、空がない場合には、下方向へシンボルライブラリのサイズを拡張してピンを配置する。

**【 0 0 5 0 】**

このライブラリ作成部 1 2 0 が、作成対象の F P G A のシンボルが回路図に配置済である場合に、配置済のシンボルに関する情報を参照してシンボルライブラリを作成することによって、F P G A の設計変更起因する回路図の修正を最小限に抑えることができる。

**【 0 0 5 1 】**

シンボルライブラリ記憶部 1 2 5 は、F P G A のシンボルライブラリを記憶する記憶部である。図 6 は、シンボルライブラリ記憶部 1 2 5 が記憶するシンボルライブラリの一例を示す図である。同図に示すように、このシンボルライブラリ記憶部 1 2 5 は、ライブラリ名称、作成日時、版数、占有領域、図形テーブル数およびシンボルピン数の情報と、シンボルを構成する各図形の情報と、各ピンの情報とを記憶する。

**【 0 0 5 2 】**

回路図反映部 1 3 0 は、ライブラリ作成部 1 2 0 によってシンボルライブラリが作成された F P G A のシンボルが回路図に配置済であった場合に、配置済のシンボルを新たに作成されたシンボルで置き換える処理部である。また、この回路図反映部 1 3 0 は、置き換え前と異なる論理ピン名となるピンにラインが接続されている場合に、そのラインを切断する。

**【 0 0 5 3 】**

この回路図反映部 1 3 0 が、置き換え前と異なる論理ピン名となるピンにラインが接続されている場合に、そのラインを切断することによって、F P G A の設計変更に伴う回路図の修正漏れを減らすことができる。

**【 0 0 5 4 】**

回路図記憶部 1 3 5 は、部品が配置された回路図の情報を記憶する記憶部である。この回路図記憶部 1 3 5 は、ライブラリ作成部 1 2 0 によってシンボルライブラリが作成された F P G A のシンボルが回路図に配置済であった場合に、回路図反映部 1 3 0 によって更新される。

**【 0 0 5 5 】**

D R C 部 1 4 0 は、D R C を行う処理部であり、回路図の情報、部品ライブラリ 3 0 の情報に加えて F P G A 情報管理部 1 1 0 が管理する F P G A 情報を参照して D R C を行う。具体的には、この D R C 部 1 4 0 は、入出力属性チェック、差動信号チェック、電源電圧値チェックなどを行う。この D R C 部 1 4 0 が、F P G A 情報を参照して D R C を行うことによって、F P G A に関連する D R C を正確に行うことができる。

**【 0 0 5 6 】**

ピンスワップ処理部 1 5 0 は、実装設計 C A D 装置 2 0 が出力するピンスワップ情報を入力し、実装設計で行われたピンスワップを F P G A 情報、シンボルライブラリ、回路図に反映する処理部である。F P G A では、プログラム書き込みで部品内部の動作を変更できるので、実装しやすいピン割付とするため実装設計フェーズで F P G A 部品のピンの入れ替え（ピンスワップ）が行われる。このため、ピンスワップ処理部 1 5 0 は、実装設計で行われたピンスワップを回路設計に反映させる処理を行う。

**【 0 0 5 7 】**

図 7 は、ピンスワップの一例を示す図である。同図に示すように、F P G A と他の部品との間の配線がクロスするような場合、F P G A のピンスワップによって配線のクロスをなくすることができる。図 8 は、ピンスワップの回路図への反映例を示す図である。同図に示すように、回路図のシンボルで物理ピン名が「D 1」、「E 1」、「F 1」、「G 1」のピンの配置変更が行われている。

**【 0 0 5 8 】**

また、このピンスワップ処理部 1 5 0 は、ピン間の配線距離長などの制約条件にも実装

10

20

30

40

50

設計でのピンスワップを反映させる。このピンスワップ処理部 150 が制約条件にも実装設計でのピンスワップを反映させることによって、回路設計と実装設計との間で設計情報の整合性を確保することができる。

【0059】

また、このピンスワップ処理部 150 は、ピンスワップによる F P G A 情報の変更履歴を記憶するように F P G A 情報管理部 110 に指示し、F P G A 情報管理部 110 は、変更履歴記憶部 165 に変更履歴を格納する。

【0060】

制約条件記憶部 155 は、ピン間の配線長などの回路設計に関する制約条件を記憶した記憶部である。図 9 は、制約条件記憶部 155 が記憶する制約条件の一例を示す図である。同図に示すように、この制約条件記憶部 155 は、ピン間の配線距離長に関する制約条件を記憶する。例えば、部品「I C 1」の物理ピン名が「G 1」のピンと部品「I 1 2」の物理ピン名が「2」のピンとの間の配線長は 50 mm 以下であることが制約条件として記憶されている。

10

【0061】

履歴出力部 160 は、ピンスワップ処理部 150 によるピンスワップ反映処理で変更された F P G A 情報の変更履歴を通知情報として F P G A 設計 C A D 装置 10 が入力可能な形式でファイルに出力する処理部である。

【0062】

変更履歴記憶部 165 は、F P G A 情報の変更履歴を記憶する記憶部であり、F P G A 情報管理部 110 によって管理される。図 10 は、変更履歴記憶部 165 が記憶する変更履歴の一例を示す図である。同図に示すように、この変更履歴記憶部 165 は、ピンスワップ処理ごとに、処理が行われた日時とスワップが行われたピンに関して変更された情報を記憶する。また、この変更履歴記憶部 165 は、履歴出力部 160 による変更履歴の出力ごと、F P G A 情報管理部 110 による F P G A 設計 C A D 装置 10 からの F P G A 情報読み込みごとに、処理が行われた日時を記憶する。

20

【0063】

図 11 は、履歴出力部 160 が F P G A 設計 C A D 装置 10 に対して出力する通知情報の一例を示す図である。同図に示すように、履歴出力部 160 は、スワップが行われたピンごとに物理ピン名と変更後の論理ピン名を通知情報として出力する。図 12 は、通知情報の出力フォーマットを示す図である。

30

【0064】

このように、変更履歴記憶部 165 が F P G A 情報の変更履歴を記憶し、履歴出力部 160 が変更履歴を F P G A 設計 C A D 装置 10 が入力可能な形式で通知情報をファイルに出力することによって、実装設計、回路設計および F P G A 設計の間での設計情報の整合性を確保することができる。

【0065】

次に、回路設計 C A D 装置 100 によるシンボルライブラリ作成およびシンボル配置処理の処理手順について説明する。図 13 は、回路設計 C A D 装置 100 によるシンボルライブラリ作成およびシンボル配置処理の処理手順を示すフローチャートである。

40

【0066】

同図に示すように、回路設計 C A D 装置 100 は、F P G A 情報管理部 110 が F P G A 設計 C A D 装置 10 がファイルに出力したピン割付情報および属性情報などの F P G A 情報を読み込み、F P G A 情報記憶部 115 に格納する（ステップ S 101）。

【0067】

そして、ライブラリ作成部 120 が、F P G A 情報管理部 110 によって読み込まれた F P G A 情報に対応するシンボルが回路図に配置済みであるか否かを判定し（ステップ S 102）、回路図に配置済みでない場合には、使用者によって指定されたポジション分割ルールを使ってポジション分割を行い（ステップ S 103）、入出力属性に基づいて左右に割り振るなど所定のシンボル作成ルールにしたがってシンボルピンの位置を決める（ス

50

テップ S 1 0 4 )。

【 0 0 6 8 】

一方、回路図に配置済みである場合には、ライブラリ作成部 1 2 0 は、以前に行われたポーション分割を参照し、以前と同じ論理ピン名のピンは以前と同じポーションに割り付ける (ステップ S 1 0 5 )。また、以前と同じ論理ピン名がないピンは、物理ピン名で以前と同じポーションに割り付ける (ステップ S 1 0 6 )。そして、以前と同じ論理ピン名のピンは以前と同じ位置に配置し (ステップ S 1 0 7 )、以前と同じ論理ピン名がないピンはシンボル上の空位置に配置する (ステップ S 1 0 8 )。

【 0 0 6 9 】

そして、ライブラリ作成部 1 2 0 は、使用者から G U I によるポーション分割、ピン位置の変更を受け付け、変更が指定された場合には、ポーション分割、ピン位置を変更し (ステップ S 1 0 9 )、シンボライブラリを作成してシンボライブラリ記憶部 1 2 5 に格納する (ステップ S 1 1 0 )。

10

【 0 0 7 0 】

そして、回路図反映部 1 3 0 が、ライブラリ作成部 1 2 0 によってシンボライブラリが作成された F P G A の以前のシンボルが回路図に配置済みであるか否かを判定し (ステップ S 1 1 1 )、回路図に配置済みである場合には、配置済みのシンボルを新たに作成されたシンボルで置き換え (ステップ S 1 1 2 )、以前とは異なる論理ピン名が配置されるピンにラインが接続されている場合には、そのラインを切断する (ステップ S 1 1 3 )。

【 0 0 7 1 】

その後、作成されたシンボルは、部品入力機能によって使用者によって指定されると回路図に配置される (ステップ S 1 1 4 )。

20

【 0 0 7 2 】

このように、F P G A 情報管理部 1 1 0 によって読み込まれた F P G A 情報に対応するシンボルが回路図に配置済みである場合に、ライブラリ作成部 1 2 0 が以前に作成したシンボライブラリを参照してシンボライブラリを作成し、回路図反映部 1 3 0 が配置済みのシンボルを新たにシンボライブラリが作成されたシンボルで置き換えることによって、F P G A の設計変更に伴う回路図の修正を最小限に抑えることができる。

【 0 0 7 3 】

なお、ここでは、ライブラリ作成部 1 2 0 は、シンボライブラリ作成対象の F P G A が回路図に配置されている場合に、以前に作成したシンボライブラリを参照することとしたが、シンボライブラリ作成対象の F P G A のシンボライブラリがシンボライブラリ記憶部 1 2 5 に記憶されている場合に、以前に作成したシンボライブラリを参照するようにすることもできる。

30

【 0 0 7 4 】

次に、D R C 部 1 4 0 による入出力属性チェック処理の処理手順について説明する。図 1 4 は、D R C 部 1 4 0 による入出力属性チェック処理の処理手順を示すフローチャートである。

【 0 0 7 5 】

同図に示すように、D R C 部 1 4 0 は、ネットすなわち 1 接続グループの一つに着目し、着目したネットに属する全てのピンの情報を取得する (ステップ S 2 0 1 )。そして、情報を取得したピンの一つに着目し (ステップ S 2 0 2 )、着目したピンは F P G A 部品のものか否かを判定する (ステップ S 2 0 3 )。

40

【 0 0 7 6 】

その結果、着目したピンが F P G A 部品のものである場合には、F P G A 情報記憶部 1 1 5 に記憶された F P G A 情報を参照してピンの入出力属性を調べ (ステップ S 2 0 4 )、着目したピンが F P G A 部品のものでない場合には、部品ライブラリ 3 0 を参照してピンの入出力属性を調べる (ステップ S 2 0 5 )。そして、全てのピンの入出力属性を調べたか否かを判定し (ステップ S 2 0 6 )、調べていないピンがある場合には、ステップ S 2 0 2 に戻って調べていないピンに着目して入出力属性を調べる。

50

## 【0077】

一方、全てのピンの入出力属性を調べた場合には、着目したネットに出力ピンが2ピン以上あるか否かを判定し(ステップS207)、出力ピンが2ピン以上ある場合には、ネットが出力ピン間を接続しているエラーとして使用者に通知する(ステップS208)。また、着目したネットに出力ピンが1ピンも存在しないか否かを判定し(ステップS209)、出力ピンが1ピンも存在しない場合には、着目したネットに出力ピンが存在しないエラーとして使用者に通知する(ステップS210)。これに対して、一つのピンだけが出力ピンである場合には、着目したネットは正常として使用者に通知する(ステップS211)。

## 【0078】

そして、全ネットについて出力ピン数をチェックしたか否かを判定し(ステップS212)、チェックしていないネットがある場合には、ステップS201に戻って未チェックのネットに着目して出力ピン数をチェックし、全てのネットについて出力ピン数をチェックした場合には、入出力属性チェック処理を終了する。

## 【0079】

このように、DRC部140がFPGA部品についてはFPGA情報を参照してピンの入出力属性を調べることによって、FPGAを含む回路についても正確な入出力属性チェックを行うことができる。

## 【0080】

次に、DRC部140による差動信号チェック処理の処理手順について説明する。図15は、DRC部140による差動信号チェック処理の処理手順を示すフローチャートである。

## 【0081】

同図に示すように、DRC部140は、ネットの一つに着目し、着目したネットに属する全てのピンの情報を取得する(ステップS301)。また、差動属性がポジであるピンの数を示すポジピン数およびネガであるピンの数を示すネガピン数の初期値をゼロクリアする(ステップS302)。そして、情報を取得したネットの一つに着目し(ステップS303)、着目したピンはFPGA部品のものか否かを判定する(ステップS304)。

## 【0082】

その結果、着目したピンがFPGA部品のものである場合には、FPGA情報記憶部115に記憶されたFPGA情報を参照してピンの差動属性を調べ(ステップS305)、着目したピンがFPGA部品のものでない場合には、部品ライブラリ30を参照してピンの差動属性を調べる(ステップS306)。そして、差動属性がポジである場合にはポジピン数に「1」を加え、差動属性がネガである場合にはネガピン数に「1」を加える(ステップS307)。

## 【0083】

そして、全てのピンの差動属性を調べたか否かを判定し(ステップS308)、調べていないピンがある場合には、ステップS303に戻って調べていないピンに着目して差動属性を調べる。

## 【0084】

一方、全てのピンの差動属性を調べた場合には、ポジピン数が正かつネガピン数も正であるか否か、すなわち着目したネットにポジ属性のピンとネガ属性のピンがあるか否かを判定し(ステップS309)、ポジピン数が正かつネガピン数も正である場合には、ポジ属性のピンとネガ属性のピンを接続しているエラーとして使用者に通知する(ステップS310)。これに対して、ポジピン数とネガピン数の片方だけが正である場合には、着目したネットは正常として使用者に通知する(ステップS311)。

## 【0085】

そして、全ネットについて差動信号をチェックしたか否かを判定し(ステップS312)、チェックしていないネットがある場合には、ステップS301に戻って未チェックのネットに着目して差動信号をチェックし、全てのネットについて差動信号をチェックした

10

20

30

40

50

場合には、差動信号チェック処理を終了する。

【0086】

このように、DRC部140がFPGA部品についてはFPGA情報を参照してピンの差動属性を調べることによって、FPGAを含む回路についても正確な差動信号チェックを行うことができる。

【0087】

次に、DRC部140による電源電圧値チェック処理の処理手順について説明する。図16は、DRC部140による電源電圧値チェック処理の処理手順を示すフローチャートである。

【0088】

同図に示すように、DRC部140は、部品の一つに着目し(ステップS401)、着目した部品のピンの一つに着目する(ステップS402)。そして、着目したピンは電源ピンであるか否かを判定し(ステップS403)、電源ピンでない場合には、ステップS410へ進む。

【0089】

一方、着目したピンが電源ピンである場合には、FPGA部品のものか否かを判定し(ステップS404)、FPGA部品のものである場合には、FPGA情報記憶部115に記憶されたFPGA情報を参照してピンの電源電圧値を調べ(ステップS405)、着目したピンがFPGA部品のものでない場合には、部品ライブラリ30を参照してピンの電源電圧値を調べる(ステップS406)。そして、着目しているピンに接続するネットの電圧値を調べ(ステップS407)、電圧値が一致するか否かを判定し(ステップS408)、電圧値が一致しない場合には、電源電圧値が不一致として使用者に通知する(ステップS409)。

【0090】

そして、全てのピンを調べたか否かを判定し(ステップS410)、調べていないピンがある場合には、ステップS402に戻って調べていないピンに着目して電源ピンの電圧値を調べる。

【0091】

一方、全てのピンを調べた場合には、全部品について電源電圧値をチェックしたか否かを判定し(ステップS411)、チェックしていない部品がある場合には、ステップS401に戻って未チェックの部品に着目して電源電圧値をチェックし、全ての部品について電源電圧値をチェックした場合には、電源電圧値チェック処理を終了する。

【0092】

このように、DRC部140がFPGA部品についてはFPGA情報を参照して電源ピンの電圧値を調べることによって、FPGAを含む回路についても正確な電源電圧値チェックを行うことができる。

【0093】

次に、ピンスワップ処理部150によるピンスワップ処理の処理手順について説明する。図17は、ピンスワップ処理部150によるピンスワップ処理の処理手順を示すフローチャートである。

【0094】

同図に示すように、ピンスワップ処理部150は、実装設計CAD装置20が作成したピンスワップ情報を取り込み(ステップS501)、ピンスワップが行われたFPGAのシンボルライブラリの物理ピン名を入れ替える(ステップS502)。

【0095】

そして、ピンスワップが行われたFPGAのFPGA情報の論理ピン名と論理に関する属性を入れ替え(ステップS503)、回路図上のシンボルを入れ替え済みのシンボルに更新する(ステップS504)。そして、制約条件を持つピンについては制約条件をピンスワップにあわせて入れ替える(ステップS505)。

【0096】

10

20

30

40

50

このように、ピンスワップ処理部 150 が、制約条件を持つピンについては制約条件をピンスワップにあわせて入れ替えることによって、実装設計 CAD でのピンスワップを正確に回路設計情報に反映させることができる。

【0097】

次に、履歴出力部 160 による変更履歴出力処理の処理手順について説明する。図 18 は、履歴出力部 160 による変更履歴出力処理の処理手順を示すフローチャートである。同図に示すように、履歴出力部 160 は、変更履歴記憶部 165 が記憶する変更履歴から、最新の FPG A 情報読み込み後、最後に行った FPG A 設計 CAD 装置 10 への通知情報出力処理を探す（ステップ S601）。

【0098】

そして、最後に行った通知情報出力処理から現在までにピンスワップが行われたピンにマークをつけ（ステップ S602）、マークをつけたピンの最新の属性を FPG A 設計 CAD 装置 10 への通知情報として出力する（ステップ S603）。

【0099】

すなわち、履歴出力部 160 は、FPG A 情報管理部 110 が FPG A 設計 CAD 装置 10 から FPG A 情報を読み込んで FPG A 情報記憶部 115 を更新した後で未通知のピンスワップを対象としてピンの最新の属性を通知情報として出力する。

【0100】

このように、履歴出力部 160 が、変更履歴記憶部 165 が記憶する変更履歴を用いて、ピンスワップが行われたピンの最新の属性を FPG A 設計 CAD 装置 10 への通知情報として出力することによって、実装設計でのピンスワップを FPG A 設計情報に反映させることができる。

【0101】

また、FPG A 情報管理部 110 が FPG A 設計 CAD 装置 10 から FPG A 情報を読み込んで FPG A 情報記憶部 115 を更新した後で未通知のピンスワップだけを対象としてピンの最新の属性を通知情報として出力することによって、無駄な通知情報や重複する通知情報の出力をなくし、実装設計でのピンスワップを効率良く FPG A 設計情報に反映させることができる。

【0102】

上述してきたように、本実施例 1 では、回路設計 CAD 装置 100 の FPG A 情報管理部 110 が FPG A 設計 CAD 装置 10 が作成したピン割付情報や属性情報などの FPG A 情報を取り込み、ライブラリ作成部 120 が FPG A 情報を用いてシンボルライブラリを作成することとしたので、回路設計者が FPG A のシンボルライブラリを作成する必要がなくなり、回路設計者の負担を軽減することができる。

【0103】

また、ライブラリ作成部 120 は、シンボルライブラリを作成する場合に作成対象の FPG A が回路図に配置済みの場合には、回路図に配置されている既存のシンボルライブラリのポジション分割やピン配置をできるだけ変更しないようにし、回路図反映部 130 が新たにシンボルライブラリが作成された FPG A のシンボルを回路図に配置する場合に、既存の配置を変更しないように配置することとしたので、FPG A の設計変更にもなう回路図の変更を最小限に抑えることができる。

【0104】

また、本実施例 1 では、回路設計 CAD 装置 100 の DRC 部 140 が DRC を行う場合に、FPG A については FPG A 情報管理部 110 が FPG A 設計 CAD 装置 10 から取り込んで FPG A 情報記憶部 115 に格納した FPG A 情報を参照してピンの属性などを調べることにしたので、正確な DRC を行うことができる。

【0105】

また、本実施例 1 では、回路設計 CAD 装置 100 のピンスワップ処理部 150 が実装設計 CAD 装置 20 からピンスワップ情報を取り込んでシンボルライブラリ、FPG A 情報、回路図に加えて制約条件にもピンスワップを反映させることにしたので、回路設計情

10

20

30

40

50

報と実装設計情報との間の不整合をなくすることができる。

【0106】

また、本実施例1では、回路設計CAD装置100の変更履歴記憶部165がFPGA情報の変更履歴を記憶し、FPGA設計CAD装置10にピンスワップを通知する情報を履歴出力部160が変更履歴記憶部165に記憶された変更履歴に基づいて出力することとしたので、実装設計と回路設計とFPGA設計との間で設計情報の整合性を確保することができる。

【実施例2】

【0107】

ところで、上記実施例1では、FPGA部品を使用する回路設計結果に基づいてプリント基板の実装設計を行う場合のFPGA協調設計システムについて説明したが、FPGA設計者と実装設計者との間であらかじめ両者にとって望ましいピン割付を検討しておくことは設計期間の短縮に大きく寄与する。そこで、本実施例2では、FPGA設計者と実装設計者との間での協調設計を支援するFPGA協調設計システムについて説明する。

10

【0108】

まず、本実施例2に係るFPGA協調設計の概念について説明する。図19は、本実施例2に係るFPGA協調設計の概念を説明するための説明図である。同図に示すように、本実施例2に係るFPGA協調設計では、協調設計支援装置としての仮ライブラリ作成装置200がFPGA設計CAD装置10が作成したピン割付情報等のFPGAピン情報を入力してFPGAの仮ライブラリを作成する。ここで、仮ライブラリとは、実装設計CAD装置20がピン割付を行う場合に必要とする部品形状タイプライブラリであり、FPGAについて仮に作成されるライブラリである。

20

【0109】

また、仮ライブラリ作成装置200は、実装設計CAD装置20からピンスワップ情報を取り込んで自身が管理するFPGA情報に反映させるとともに、ピンスワップ情報をFPGA設計CAD装置10に通知する。

【0110】

このように、本実施例2では、仮ライブラリ作成装置200がFPGA設計CAD装置10が作成したFPGAピン情報を入力してFPGAに対して仮の部品形状タイプライブラリを作成することによって、実装設計CAD装置20を用いたピン割付の検討を可能としている。

30

【0111】

次に、本実施例2に係るFPGA協調設計システムの構成について説明する。図20は、本実施例2に係るFPGA協調設計システムの構成を示す機能ブロック図である。同図に示すように、このFPGA協調設計システムは、FPGA設計CAD装置10と、実装設計CAD装置20と、仮ライブラリ作成装置200とから構成され、仮ライブラリ作成装置200は、ネットリスト取込部210と、ネットリスト管理部220と、ネットリスト変換部230と、FPGA設計CADインタフェース部240と、FPGAピン情報管理部250と、仮ライブラリ生成部260と、ピンスワップ処理部270とを有する。

40

【0112】

ネットリスト取込部210は、使用者によって作成されたネットリストを読み込んでネットリスト管理部220に渡す処理部である。図21は、ネットリスト取込部210により読み込まれるネットリストの一例を示す図である。

【0113】

同図に示すように、このネットリストは、部品を定義する部品定義部とネットを定義するネット定義部とから構成される。部品定義部では、検討に使用する部品について、部品名と部品ライブラリ名が記述される。ただし、FPGA部品は、部品ライブラリがないので、「FPGA /」に続けてモジュール名(FPGAを区別するための名前)が記述される。

【0114】

50

ネット定義部では、ネット毎にネット名と、接続する部品ピンが記述される。ここで、部品ピンは部品名・部品ピン名の形式で記述される。なお、FPGA部品については、ピン名として論理ピン名または物理ピン名が記述される（物理ピン名のときは%が付けられる）。

【0115】

ネットリスト管理部220は、ネットリスト取込部210によって読み込まれたネットリストを記憶・管理する管理部である。このネットリスト管理部220は、使用者からGUIによるネットリストの変更を受け付けてネットリストを変更する。

【0116】

ネットリスト変換部230は、ネットリスト管理部220が管理するネットリストを実装設計CAD装置20が入力できるフォーマットに変換する処理部である。このネットリスト変換部230は、ネットリストの変換に際してFPGAピン情報管理部250が管理するFPGA情報を参照する。

10

【0117】

図22は、ネットリスト変換部230が出力するネットリストの一例を示す図である。同図に示すように、このネットリストでは、ピン毎に部品名、ライブラリ名、部品端子番号、ピン名、ネット名、スワップグループ番号および差動種別が記載される。ここで、部品端子番号は、ピンに付与される一連番号である。

【0118】

FPGA設計CADインタフェース部240は、FPGA設計CAD装置10とのインタフェースであり、具体的には、FPGA設計CAD装置10からFPGAピン情報を取り込み、FPGA設計CAD装置10にピンスワップ情報を提供する。

20

【0119】

FPGAピン情報管理部250は、FPGA設計CADインタフェース部240が読み込んだFPGAピン情報を記憶・管理する管理部である。また、このFPGAピン情報管理部250は、ピン間隔やFPGAピン情報の変更について使用者からGUIによる指定を受け付けてFPGA情報を変更する。

【0120】

仮ライブラリ生成部260は、FPGA部品についてFPGAピン情報管理部250が管理するFPGAピン情報を用いて仮ライブラリ、すなわち仮の部品形状タイプライブラリを生成する処理部である。

30

【0121】

図23は、仮ライブラリ生成部260が生成する仮ライブラリの一例を示す図である。同図に示すように、この仮ライブラリには、ピン毎にランド形状タイプライブラリ名、座標X、座標Y、角度、ピン名が記載される。なお、ランド形状タイプライブラリ名については、FPGAピン情報管理部250が使用者による指定を受け付けて記憶した情報が用いられる。

【0122】

また、この仮ライブラリには、部品のサイズを示す領域が記載される。この領域の情報は、実装設計時に部品と部品の距離算出に使用される。なお、部品のサイズはピン間隔から仮ライブラリ作成部260によって計算される。

40

【0123】

ライブラリ生成部260がFPGAピン情報に基づいて仮ライブラリを生成することによって、実装設計CADでのピン割付の検討を可能とすることができる。

【0124】

ピンスワップ処理部270は、実装設計CAD装置20からピンスワップ情報を取り込んでFPGAピン情報管理部250にFPGAピン情報の変更を指示する処理部である。FPGA情報管理部250は、FPGAピン情報を変更するとともに、FPGA設計CADインタフェース部240にピンスワップ情報のFPGA設計CAD装置10への通知を指示する。また、このピンスワップ処理部270は、ピンスワップ情報に基づいてネット

50

リスト管理部 220 にネットリストの変更を指示する。

【0125】

次に、仮ライブラリ作成装置 200 による実装設計 CAD 用情報出力処理の処理手順について説明する。図 24 は、仮ライブラリ作成装置 200 による実装設計 CAD 用情報出力処理の処理手順を示すフローチャートである。

【0126】

同図に示すように、仮ライブラリ作成装置 200 は、FPGA 設計 CAD 装置 10 が作成したピン割付情報を FPGA 設計 CAD インタフェース部 240 が読み込んで FPGA ピン情報管理部 250 に渡し、FPGA ピン情報管理部 250 が FPGA ピン情報を作成する (ステップ S701)。

10

【0127】

また、ネットリスト取込部 210 がネットリストを読み込み (ステップ S702)、ネットリスト管理部 220 に渡す。そして、ネットリスト管理部 220 は、使用者からネットリストの変更指定などを受け付けて、管理するネットリストを変更し、FPGA ピン情報管理部 250 は、使用者からピン間隔等の指定を受け付けて (ステップ S703)、管理する FPGA ピン情報を変更する。

【0128】

そして、仮ライブラリ生成部 260 が FPGA ピン情報からピン座標を求めて仮の部品形状タイプライブラリを生成し (ステップ S704)、ネットリスト変換部 230 がネットリストを変換する (ステップ S705)。そして、ネットリスト変換部 230 が変換したネットリストをファイルに出力し、仮ライブラリ生成部 260 が生成した仮ライブラリをファイルに出力する (ステップ S706)。

20

【0129】

このように、仮ライブラリ作成装置 200 が仮ライブラリを作成することによって、実装設計 CAD 装置 20 を用いたピン割付の検討を可能とすることができる。また、FPGA ピン情報管理部 250 が、使用者からピン間隔等の指定を受け付けて、管理する FPGA ピン情報を変更するので、使用者は様々なピン間隔のピン割付を検討することができる。

【0130】

次に、仮ライブラリ作成装置 200 による実装検討結果反映処理の処理手順について説明する。図 25 は、仮ライブラリ作成装置 200 による実装検討結果反映処理の処理手順を示すフローチャートである。

30

【0131】

同図に示すように、仮ライブラリ作成装置 200 は、実装設計 CAD でのピンスワップ情報をピンスワップ処理部 270 が取り込み (ステップ S801)、ネットリストのピンスワップされたピンのネットを入れ替える (ステップ S802)。

【0132】

そして、ピンスワップ処理部 270 が FPGA ピン情報の論理ピン名および論理属性を入れ替え (ステップ S803)、入れ替えたピンの情報を FPGA 設計 CAD インタフェース部 240 がファイルに出力する (ステップ S804)。

40

【0133】

このように、ピンスワップ処理部 270 が実装設計 CAD でのピンスワップ情報を取り込んでネットリストおよび FPGA ピン情報にピンスワップを反映し、ピンスワップの情報を FPGA 設計 CAD インタフェース部 240 がファイルに出力することによって、実装設計でのピンスワップを FPGA 設計情報に反映させることができる。

【0134】

上述してきたように、本実施例 2 では、FPGA 設計 CAD 装置 10 が作成したピン割付情報を FPGA 設計 CAD インタフェース部 240 が読み込み、FPGA ピン情報管理部 250 が FPGA 設計 CAD インタフェース部 240 によって読み込まれたピン割付情報を FPGA ピン情報として管理し、仮ライブラリ生成部 260 が FPGA ピン情報管理

50

部 250 によって管理される F P G A ピン情報を用いて仮の部品形状ライブラリを生成して実装設計 C A D 装置 20 が読み込み可能な形式でファイルに出力することとしたので、実装設計 C A D 装置 20 を用いた早期のピン割付の検討を可能とし、プリント基板の設計期間を短縮することができる。

【 0 1 3 5 】

なお、本実施例 1 および 2 では、それぞれ回路設計 C A D 装置および仮ライブラリ作成装置について説明したが、回路設計 C A D 装置および仮ライブラリ作成装置がそれぞれ有する構成をソフトウェアによって実現することで、同様の機能を有する回路設計 C A D プログラムおよび仮ライブラリ作成プログラムを得ることができる。そこで、ここでは、回路設計 C A D プログラムを実行するコンピュータについて説明する。なお、仮ライブラリ作成プログラムについても同様のコンピュータによって実行することができる。

10

【 0 1 3 6 】

図 26 は、本実施例 1 に係る回路設計 C A D プログラムを実行するコンピュータの構成を示す機能ブロック図である。同図に示すように、このコンピュータ 300 は、R A M 310 と、C P U 320 と、H D D 330 と、L A N インタフェース 340 と、入出力インタフェース 350 と、D V D ドライブ 360 とを有する。

【 0 1 3 7 】

R A M 310 は、プログラムやプログラムの実行途中結果などを記憶するメモリであり、C P U 320 は、R A M 310 からプログラムを読み出して実行する中央処理装置である。H D D 330 は、プログラムやデータを格納するディスク装置であり、L A N インタフェース 340 は、コンピュータ 300 を L A N 経由で他のコンピュータに接続するためのインタフェースである。入出力インタフェース 350 は、マウスやキーボードなどの入力装置および表示装置を接続するためのインタフェースであり、D V D ドライブ 360 は、D V D の読み書きを行う装置である。

20

【 0 1 3 8 】

そして、このコンピュータ 300 において実行される回路設計 C A D プログラム 311 は、D V D に記憶され、D V D ドライブ 360 によって D V D から読み出されてコンピュータ 300 にインストールされる。あるいは、この回路設計 C A D プログラム 311 は、L A N インタフェース 340 を介して接続された他のコンピュータシステムのデータベースなどに記憶され、これらのデータベースから読み出されてコンピュータ 300 にインストールされる。そして、インストールされた回路設計 C A D プログラム 311 は、H D D 330 に記憶され、R A M 310 に読み出されて C P U 320 によって実行される。

30

【 0 1 3 9 】

また、本実施例では、F P G A を部品として使用する場合について説明したが、本発明はこれに限定されるものではなく、一般的に P L D を部品として使用する場合に同様に適用することができる。さらに、本発明は、P L D 以外にも例えば A S I C (Application Specific Integrated Circuit) の設計が回路設計および実装設計と並行して進められる場合などにも適用することができる。集積回路を部品として使用する場合に広く適用することができる。

【 0 1 4 0 】

(付記 1) 部品として集積回路を使用する回路の設計を支援する回路設計支援装置であって、

40

集積回路について集積回路設計 C A D により作成された設計情報である集積回路情報を入力する集積回路情報入力手段と、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手段により入力された集積回路情報を用いて作成するライブラリ作成手段と、

を備えたことを特徴とする回路設計支援装置。

【 0 1 4 1 】

(付記 2) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場

50

合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成することを特徴とする付記 1 に記載の回路設計支援装置。

【0142】

(付記 3) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポーション分割を行うことを特徴とする付記 2 に記載の回路設計支援装置。

【0143】

(付記 4) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれる論理ピンについては該回路図に配置されたシンボルと同じポーションに分割することを特徴とする付記 3 に記載の回路設計支援装置。

10

【0144】

(付記 5) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれる論理ピンについては該回路図に配置されたシンボルと同じ位置に配置することを特徴とする付記 4 に記載の回路設計支援装置。

【0145】

(付記 6) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれない論理ピンについては物理ピン名に基づいてポーション分割を行うことを特徴とする付記 3、4 または 5 に記載の回路設計支援装置。

20

【0146】

(付記 7) 前記ライブラリ作成手段は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに含まれない論理ピンについては該回路図に配置されたシンボルの空位置に配置することを特徴とする付記 6 に記載の回路設計支援装置。

【0147】

(付記 8) 前記ライブラリ作成手段により作成されたシンボルライブラリに対する変更を使用者から受け付ける変更受付手段をさらに備えたことを特徴とする付記 1 ~ 7 のいずれか一つに記載の回路設計支援装置。

30

【0148】

(付記 9) 前記変更受付手段は、ポーション分割およびピン位置の変更を受け付けることを特徴とする付記 8 に記載の回路設計支援装置。

【0149】

(付記 10) シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルで置き換えるシンボル置換手段をさらに備えたことを特徴とする付記 1 ~ 9 のいずれか一つに記載の回路設計支援装置。

40

【0150】

(付記 11) 前記シンボル置換手段は、前記ライブラリ作成手段によりシンボルライブラリが作成されたシンボルのピンのうち置換前のシンボルと論理ピン名が異なるピンがラインに接続されている場合には、該ラインを切断することを特徴とする付記 10 に記載の回路設計支援装置。

【0151】

(付記 12) 部品として集積回路を使用する回路の設計を支援する回路設計支援装置による回路設計支援方法であって、

集積回路について集積回路設計 CAD により作成された設計情報である集積回路情報を

50

入力する集積回路情報入力ステップと、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、

を含んだことを特徴とする回路設計支援方法。

【0152】

(付記13) 前記ライブラリ作成ステップは、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成することを特徴とする付記12に記載の回路設計支援方法。

10

【0153】

(付記14) 前記ライブラリ作成ステップは、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポーション分割を行うことを特徴とする付記13に記載の回路設計支援方法。

【0154】

(付記15) シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを前記ライブラリ作成ステップによりシンボルライブラリが作成されたシンボルで置き換えるシンボル置換ステップをさらに含んだことを特徴とする付記12、13または14に記載の回路設計支援方法。

20

【0155】

(付記16) 部品として集積回路を使用する回路の設計を支援する回路設計支援プログラムであって、

集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力手順と、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力手順により入力された集積回路情報を用いて作成するライブラリ作成手順と、

をコンピュータに実行させることを特徴とする回路設計支援プログラム。

【0156】

30

(付記17) 前記ライブラリ作成手順は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてシンボルの変更が少なくなるようにシンボルライブラリを作成することを特徴とする付記16に記載の回路設計支援プログラム。

【0157】

(付記18) 前記ライブラリ作成手順は、シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みである場合に、回路図に配置されたシンボルに対応するシンボルライブラリの情報に基づいてポーション分割を行うことを特徴とする付記17に記載の回路設計支援プログラム。

40

【0158】

(付記19) シンボルライブラリの作成対象である集積回路のシンボルが回路図に配置済みであるか否かを判定し、回路図に配置済みであると判定した場合には、回路図に配置されたシンボルを前記ライブラリ作成手順によりシンボルライブラリが作成されたシンボルで置き換えるシンボル置換手順をさらにコンピュータに実行させることを特徴とする付記16、17または18に記載の回路設計支援プログラム。

【0159】

(付記20) 部品として集積回路を使用する回路の設計を支援する回路設計支援装置を用いて設計が行われるプリント基板の製造方法であって、

前記回路設計支援装置が、

50

集積回路について集積回路設計CADにより作成された設計情報である集積回路情報を入力する集積回路情報入力ステップと、

回路設計で使用する集積回路のシンボルライブラリを前記集積回路情報入力ステップにより入力された集積回路情報を用いて作成するライブラリ作成ステップと、

を含んだことを特徴とするプリント基板の製造方法。

【産業上の利用可能性】

【0160】

以上のように、本発明に係る回路設計支援装置、回路設計支援方法、回路設計支援プログラムおよびプリント基板の製造方法は、PLDなどの集積回路を部品として使用する回路の設計に有用であり、特に、PLDの書換えやピンスワップが頻繁に発生する場合に適している。

10

【図面の簡単な説明】

【0161】

【図1】本実施例1に係るFPGA協調設計の概念を説明するための説明図である。

【図2】本実施例1に係るFPGA協調設計システムの構成を示す機能ブロック図である。

。

【図3】回路設計を説明するための説明図である。

【図4】FPGAのシンボルライブラリを説明するための説明図である。

【図5】FPGA情報記憶部が記憶するFPGA情報の一例を示す図である。

【図6】シンボルライブラリ記憶部が記憶するシンボルライブラリの一例を示す図である

20

。

【図7】ピンスワップの一例を示す図である。

【図8】ピンスワップの回路図への反映例を示す図である。

【図9】制約条件記憶部が記憶する制約条件の一例を示す図である。

【図10】変更履歴記憶部が記憶する変更履歴の一例を示す図である。

【図11】履歴出力部がFPGA設計CAD装置に対して出力する通知情報の一例を示す図である。

【図12】通知情報の出力フォーマットを示す図である。

【図13】回路設計CAD装置によるシンボルライブラリ作成およびシンボル配置処理の処理手順を示すフローチャートである。

30

【図14】DRC部による入出力属性チェック処理の処理手順を示すフローチャートである。

【図15】DRC部による差動信号チェック処理の処理手順を示すフローチャートである。

。

【図16】DRC部による電源電圧値チェック処理の処理手順を示すフローチャートである。

【図17】ピンスワップ処理部によるピンスワップ処理の処理手順を示すフローチャートである。

【図18】履歴出力部による変更履歴出力処理の処理手順を示すフローチャートである。

【図19】本実施例2に係るFPGA協調設計の概念を説明するための説明図である。

40

【図20】本実施例2に係るFPGA協調設計システムの構成を示す機能ブロック図である。

【図21】ネットリスト取込部により読み込まれるネットリストの一例を示す図である。

【図22】ネットリスト変換部が出力するネットリストの一例を示す図である。

【図23】仮ライブラリ生成部が生成する仮ライブラリの一例を示す図である。

【図24】仮ライブラリ作成装置による実装設計CAD用情報出力処理の処理手順を示すフローチャートである。

【図25】仮ライブラリ作成装置による実装検討結果反映処理の処理手順を示すフローチャートである。

【図26】本実施例1に係る回路設計CADプログラムを実行するコンピュータの構成を

50

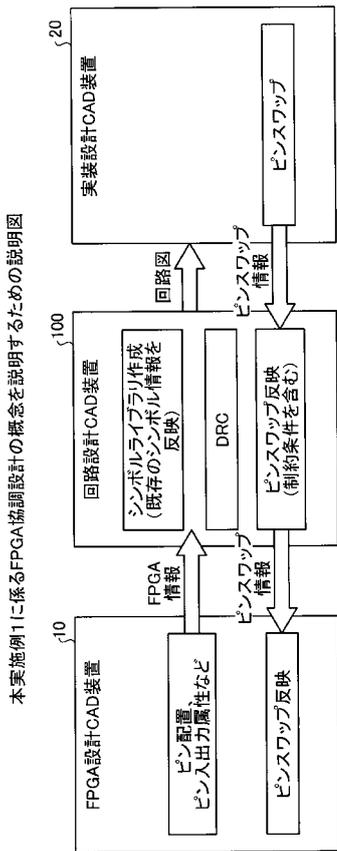
示す機能ブロック図である。

【符号の説明】

【0162】

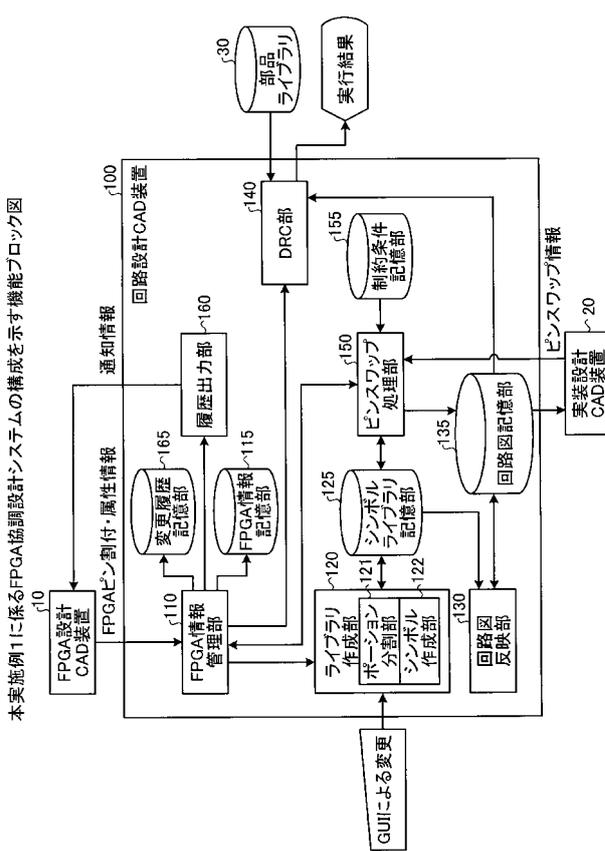
10	FPGA設計CAD装置	
20	実装設計CAD装置	
100	回路設計CAD装置	
110	FPGA情報管理部	
115	FPGA情報記憶部	
120	ライブラリ作成部	
121	ポーション分割部	10
122	シンボル作成部	
125	シンボルライブラリ記憶部	
130	回路図反映部	
135	回路図記憶部	
140	DRC部	
150	ピンスワップ処理部	
155	制約条件記憶部	
160	履歴出力部	
165	変更履歴記憶部	
200	仮ライブラリ作成装置	20
210	ネットリスト取込部	
220	ネットリスト管理部	
230	ネットリスト変換部	
240	FPGA設計CADインタフェース部	
250	FPGAピン情報管理部	
260	仮ライブラリ生成部	
270	ピンスワップ処理部	
300	コンピュータ	
310	RAM	
311	回路設計CADプログラム	30
320	CPU	
330	HDD	
340	LANインタフェース	
350	入出力インタフェース	
360	DVDドライブ	

【 図 1 】



本実施例1に係るFPGA協調設計の概念を説明するための説明図

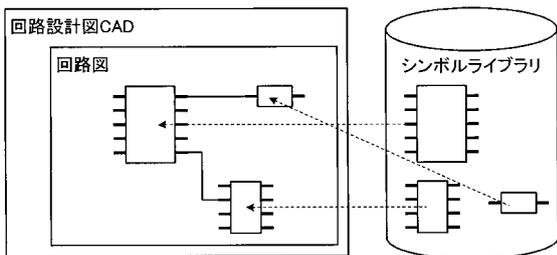
【 図 2 】



本実施例1に係るFPGA協調設計システムの構成を示す機能ブロック図

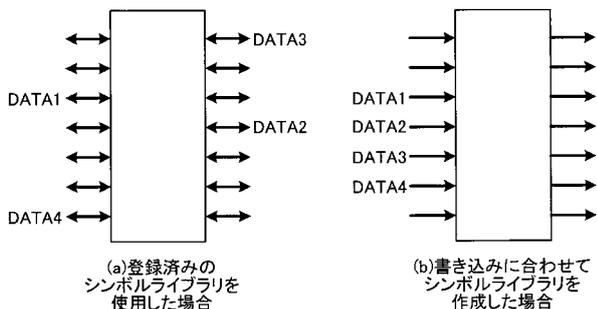
【 図 3 】

回路設計を説明するための説明図



【 図 4 】

FPGAのシンボルライブラリを説明するための説明図



(a)登録済みのシンボルライブラリを使用した場合

(b)書き込みに合わせてシンボルライブラリを作成した場合

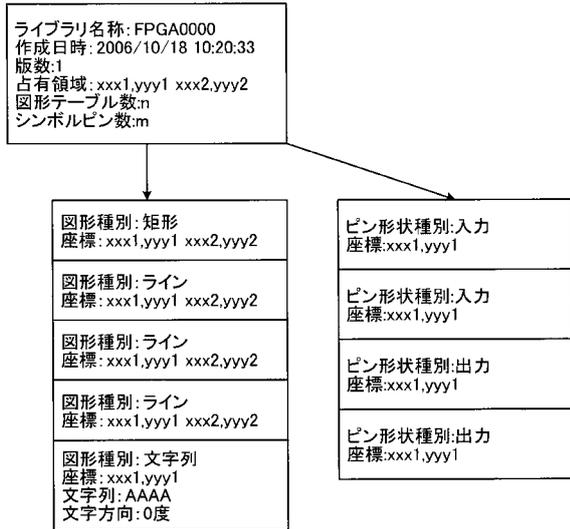
【 図 5 】

FPGA情報記憶部が記憶するFPGA情報の一例を示す図

物理ピン名	論理ピン名	入出力属性	バンク番号	スワップグループ番号	差動属性	電源電圧値
A0	ADRS1	入力	1	1		
A1	VCCIO	電源				3.3V
A2	ADRS2	入力	1	1		
A3	GND	アース				
A4	DATA1	出力	1	1	POSI	
A5	DATA2	出力	1	1	NEGA	
A6	VCCINT	電源				1.5V
C10	ADRSB1	入力	2	2		
C11	ADRSB2	入力	2	2		
C12	ADRSB3	入力	2	2		

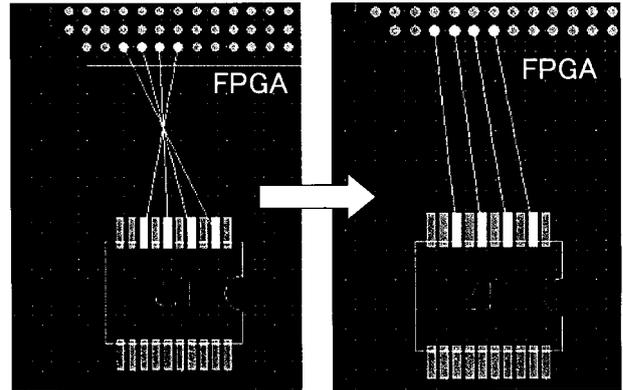
【 図 6 】

シンボルライブラリ記憶部が記憶するシンボルライブラリの一例を示す図



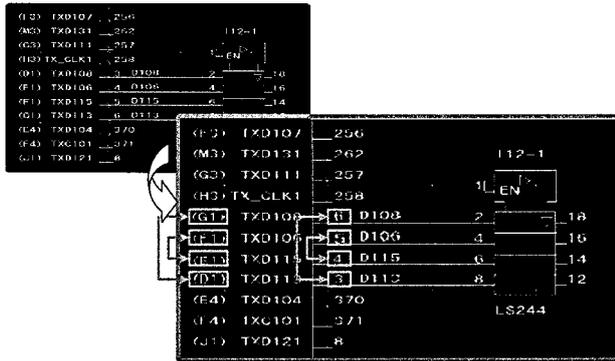
【 図 7 】

ピンスワップの一例を示す図



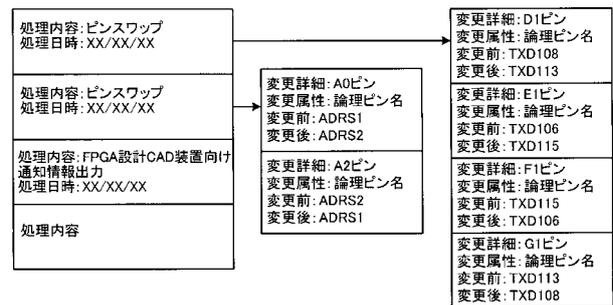
【 図 8 】

ピンスワップの回路図への反映例を示す図



【 図 10 】

変更履歴記憶部が記憶する変更履歴の一例を示す図



【 図 9 】

制約条件記憶部が記憶する制約条件の一例を示す図

対象ピン間: 部品IC1 物理ピン名 G1 部品I12 物理ピン名 2 指定: 50mm以下
対象ピン間: 部品IC1 物理ピン名 F1 部品I12 物理ピン名 4 指定: 50mm以下
対象ピン間: 部品IC1 物理ピン名 E1 部品I12 物理ピン名 6 指定: 70mm以下

【 図 11 】

履歴出力部がFPGA設計CAD装置に対して出力する通知情報の一例を示す図

物理ピン名: A0 論理ピン名: ADRS2
物理ピン名: A2 論理ピン名: ADRS1
物理ピン名: D1 論理ピン名: TXD113
物理ピン名: E1 論理ピン名: TXD115
物理ピン名: F1 論理ピン名: TXD106
物理ピン名: G1 論理ピン名: TXD108

【 図 1 2 】

通知情報の出力フォーマットを示す図

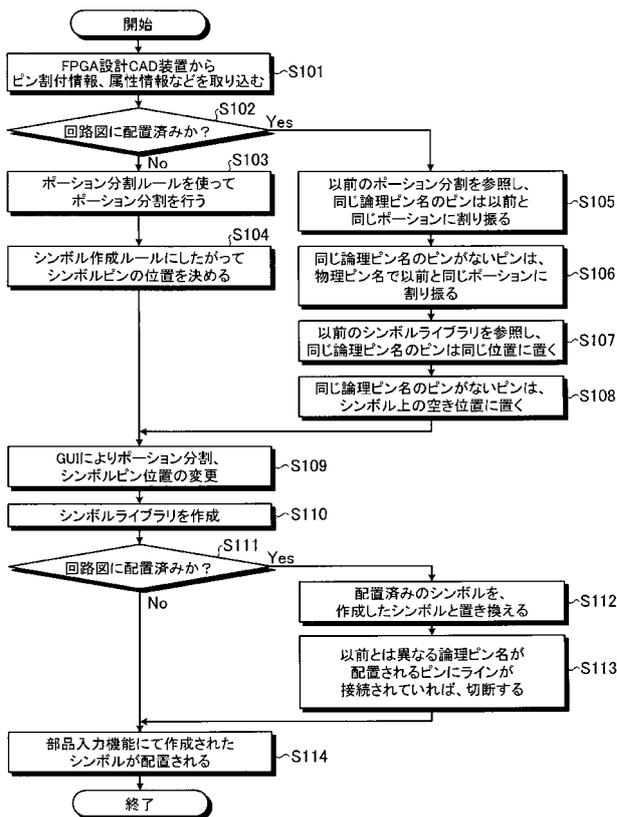
```

NET " TXD113" LOC="D1";
NET " TXD115" LOC="E1";
NET " TXD108" LOC="F1";
NET " TXD108" LOC="G1";

```

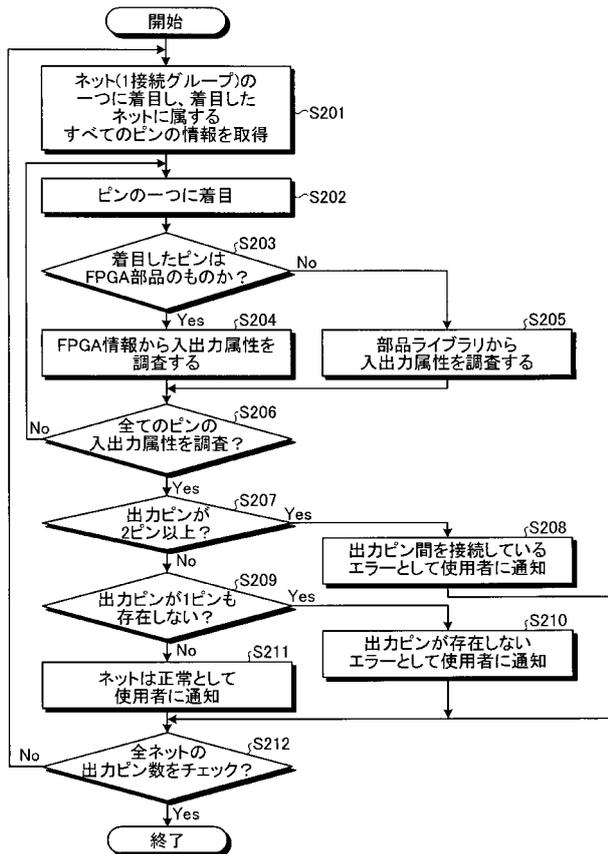
【 図 1 3 】

回路設計CAD装置によるシンボルライブラリ作成およびシンボル配置処理の処理手順を示すフローチャート



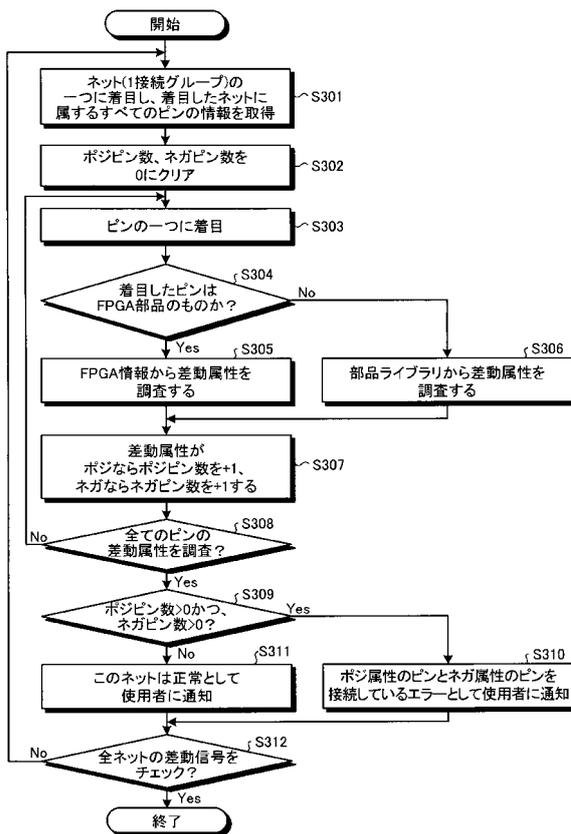
【 図 1 4 】

DRC部による入出力属性チェック処理の処理手順を示すフローチャート



【 図 1 5 】

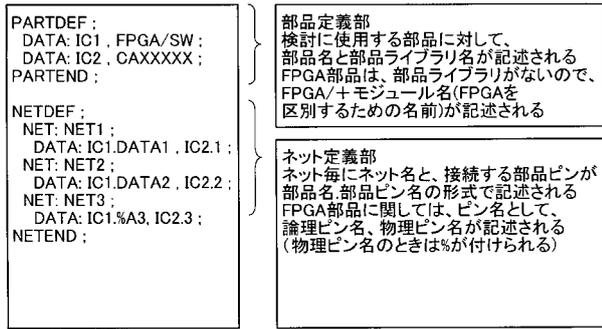
DRC部による差動信号チェック処理の処理手順を示すフローチャート





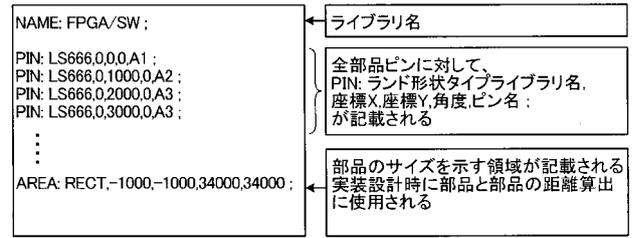
【 図 2 1 】

ネットリスト取込部により読み込まれるネットリストの一例を示す図



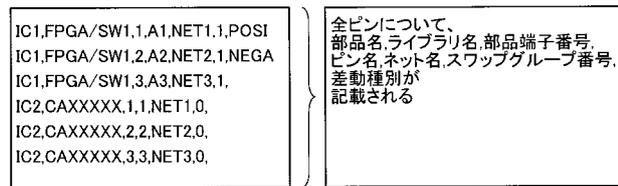
【 図 2 3 】

仮ライブラリ生成部が生成する仮ライブラリの一例を示す図



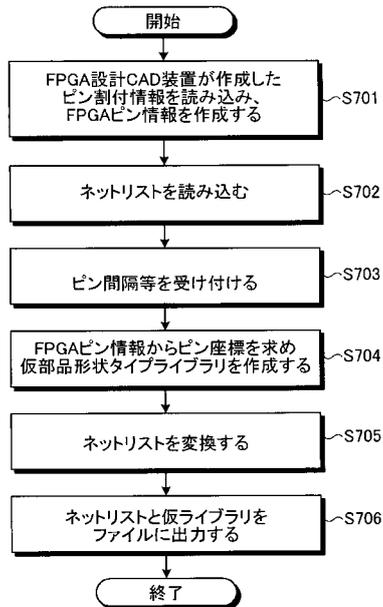
【 図 2 2 】

ネットリスト変換部が出力するネットリストの一例を示す図



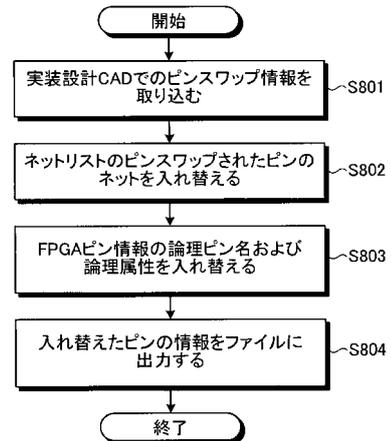
【 図 2 4 】

仮ライブラリ作成装置による実装設計CAD用情報出力処理の処理手順を示すフローチャート

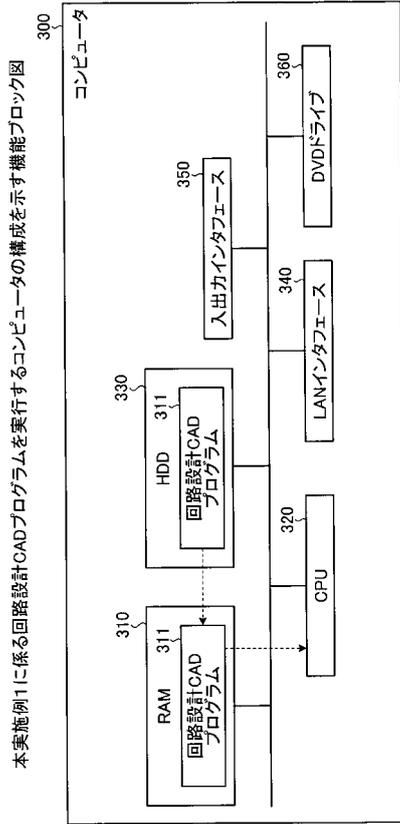


【 図 2 5 】

仮ライブラリ作成装置による実装設計CAD用情報出力処理の処理手順を示すフローチャート



【図 26】



本実施例1に係る回路設計CADプログラムを実行するコンピュータの構成を示す機能ブロック図