

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4526836号
(P4526836)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int. Cl. F I
G06K 17/00 (2006.01) G O 6 K 17/00 C
G06F 3/00 (2006.01) G O 6 F 3/00 A

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2004-56362 (P2004-56362)	(73) 特許権者	000006747
(22) 出願日	平成16年3月1日(2004.3.1)		株式会社リコー
(65) 公開番号	特開2004-318835 (P2004-318835A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成16年11月11日(2004.11.11)	(74) 代理人	100062144
審査請求日	平成18年8月25日(2006.8.25)		弁理士 青山 稔
(31) 優先権主張番号	特願2003-94915 (P2003-94915)	(72) 発明者	山本 齊
(32) 優先日	平成15年3月31日(2003.3.31)		東京都大田区中馬込1丁目3番6号 株式
(33) 優先権主張国	日本国(JP)	(72) 発明者	秋山 和仁
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
			会社リコー内
		審査官	梅沢 俊

最終頁に続く

(54) 【発明の名称】 カード認識システムと新カード認識方法

(57) 【特許請求の範囲】

【請求項1】

コネクタ(5)に接続されたカードの種類を認識し、認識したカード用の電圧を出力するPCカード制御装置(11)と、PWRGD信号の入力に応じて使用可能状態になる新カードであって、上記PCカード制御装置が出力できる電圧以外の電圧を用いる新カード(2)を、上記PCカード制御装置に接続するために、上記コネクタに着脱可能に取り付けられているパッシブカードアダプタ(1)と、を備えているカード認識システムであって

上記PCカード制御装置が、PCカード検出部(52)と、配線切換回路と、電源切換部(60)・第1パワースイッチ(62)と、を備えており、

上記PCカード検出部が、新カードがパッシブカードアダプタに接続されたことを検出し、新カード検出信号を出力するものであり、

上記配線切換回路が、新カード検出信号の入力に応じて、新カード用のバスに新カードを接続するように切り換えるスイッチ回路であり、

上記電源切換部・第1パワースイッチが、新カード検出信号の入力に応じて、コネクタへと供給する電圧を、新カード以外のカード用の電圧から第1電圧へとスイッチ切換して出力するものであり、

上記パッシブカードアダプタが、レギュレータ(63)と、第2パワースイッチ(64)と、パワーオンリセット(65)と、を備えており、

上記レギュレータが、電源切換部・第1パワースイッチからの第1電圧とは別に、該

第 1 電圧を新カードで用いる第 2 電圧に変換して新カードへと出力するものであり、
上記第 2 パワースイッチが、カウンタ (6 4 c) と、トランジスタスイッチ (6 4 a
、 6 4 b) と、を備えており、

上記トランジスタスイッチが、P C カード制御装置から供給される第 1 電圧と、レ
ギュレータから出力される新カード用の第 2 電圧と、の新カードへの供給を行うように、
アダプタに新カードが接続された場合に切り換わる第 2 信号 (P E 2 #) の入力に応じて
オンに切り換わるものであり、

上記カウンタが、上記第 2 信号 (P E 2 #) の入力に応じてカウントを開始するも
のであり、且つ、予め定めたカウント値をカウントした場合に、上記 P W R G D 信号を新
カードに出力するものであり、

上記パワーオンリセットが、電源切換部・第 1 パワースイッチからの第 1 電圧の給電開
始に応じて、カウンタにリセット信号を出力するものである、
ことを特徴とするカード認識システム。

【請求項 2】

電源切換部・第 1 パワースイッチが、電源切換部 (6 0) と、第 1 パワースイッチ (6 2
) と、を備えており、

上記電源切換部が、新カード検出信号の入力に応じて電源コントロール信号を出力し、
上記第 1 パワースイッチが、電源コントロール信号に基づいて出力する電圧を切り換え
るものであり、第 1 パワースイッチが、P C カード制御装置の外部に設けられている、
請求項 1 に記載のカード認識システム。

【請求項 3】

上記 P C カード制御装置が、P C M C I A に準拠する装置である、
請求項 1 又は 2 に記載のカード認識システム。

【請求項 4】

上記 P C カード制御装置が、P C M C I A コントローラ (5 4) を備えており、

上記配線切換回路が、I / O 回路 (5 6 a 、 5 6 b) と、アナログスイッチ (5 7 a 、
5 7 b) と、を備えており、

上記カード検出部が、P C カード認識部 (5 2 a) と、比較器 (5 2 b) と、レジスタ
(5 2 c) と、を備えており、

上記 P C カード認識部が、P C M C I A の規格に準拠したカード N o . テーブルを内
蔵しており、P C M C I A に準拠した手順に従い接続されたカードの種類を表すカード N
o . を特定するものであり、

上記レジスタが、新カードのカード N o . を格納しており、

上記比較器が、P C カード認識部によって特定されたカード N o . と、レジスタに格
納されているカード N o . との比較を行い、一致する場合に新カード検出信号を出力する
ものであり、

上記 I / O 回路がコネクタと P C M C I A コントローラとを接続しており、アナログス
イッチがコネクタと新カード用バスとを接続しており、I / O 回路とアナログスイッチと
が、新カードの非検出時には、コネクタを P C M C I A コントローラとの間のみを接続し
、新カード検出信号の入力時には、コネクタと新カード用バスとの間のみを接続する、
請求項 3 に記載のカード認識システム。

【請求項 5】

上記新カード検出信号が、H i g h レベルの信号であり、

上記 I / O 回路が、2 入力 A N D ゲート (5 6 a - 1) と、3 ステートバッファ (5 6
a - 2) と、インバータ (5 6 a - 3) と、を備えており、

上記 2 入力 A N D ゲートの一方の信号入力端子には、コネクタからのデータが入力さ
れ、残りの信号入力端子には、インバータを介して上記カード検出部が出力する信号が入
力されており、出力端子が P C M C I A コントローラに接続されており、

3 ステートバッファが、P C M C I A コントローラからのデータをコネクタに出力す
るものであり、インバータによって反転された新カード検出信号の入力に応じてオフに切

10

20

30

40

50

り換わり、

上記アナログスイッチが、互いのソース及びドレインが接続された1対のNチャンネル型MOSFET(57a-1)とPチャンネル型MOSFET(57a-2)と、該Pチャンネル型MOSFETのゲートに検出信号の反転信号を入力するためのインバータ(57a-3)と、を備えており、新カード検出信号の入力に応じてオンに切り換わるものである、

請求項4に記載のカード認識システム。

【請求項6】

請求項1乃至5の何れか1つに記載のカード認識システムを用いて行う新カード認識方法であって、

新カードがパッシブカードアダプタに差し込まれたことを、PCカード検出部によって検出して新カード検出信号を出力させる工程と、

上記新カード検出信号を配線切換回路に入力して配線をスイッチ切換させて、新カード用のバスに新カードを接続させる工程と、

上記新カード検出信号を電源切換部・第1パワースイッチに入力して第1電圧を出力させる工程と、

上記第1電圧をパワーオンリセットに入力して第2パワースイッチが備えているカウンタをリセットさせる工程と、

第2パワースイッチにおいて、上記リセット後のカウンタのカウントを開始し、予め定めたカウント値をカウントした場合に、PWRGD信号を新カードに出力して新カードを使用可能にする工程と、

を備えていることを特徴とする新カード認識方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PCMCIAに準拠するPCカード及び新カードを認識するPCカード制御装置及びPCカード制御方法に関する。

【背景技術】

【0002】

従来より、ノート型パソコン等の携帯型の情報端末に実装され、PCMCIAに準拠するPCカード制御装置が備えられている。当該PCカード制御装置は、名刺サイズのPCカードを取り扱うものであったが、近年、上記携帯型の情報端末の一層の小型化が進んだことから、PCカードよりも小型で、効率の良いバス形式(USB2.0、及び、PCI express等)を採用した新カードを用いる新カード制御装置が提案されている。

【0003】

しかし、PCカード制御装置の普及が進んだ現在、現行のPCカードが上記小型の新カードに完全に切り換わるには、ある程度の期間が必要であり、それまでの間は両タイプのカードが並存することになる。そこで、上記期間中は、PCカード及び新カード、両方のカードの使用を可能にするシステムが必要になる。

【0004】

上記システムの実施形態としては、従来のPCカードの制御装置とは別に、新たに新カードの制御装置を追加する形態(以下、第1のケースという)、上記新カードの認識システムを追加する代わりに、新カードをPCカードに完全に変換する機能を備えたPCMCIAアクティブカードアダプタを利用する形態(以下、第2のケースという)、そして、新カードの信号ピンを対応するPCカードの信号ピンの配列に変換するPCMCIAパッシブカードアダプタと、システム内部において新カードの接続を認識し、新カード用のコントローラに接続する制御装置を用意する形態(以下、第3のケースという)の合計3つの形態が考えられる。

【0005】

上記第1のケースの場合、情報端末にカード用のコネクタを2つ備えることになり、カ

10

20

30

40

50

ード認識システムの小型化が図りにくい。上記第2のケースの場合、使用者は、新カードの他に、高価で、大きく重いアクティブカードアダプタを携帯する必要が生じ、利用の便が悪い。そこで、以下、新カードの利用に際し、信号線の配線変換だけを行う小型軽量のパッシブカードアダプタを用いる第3のケースについて考察する。

【0006】

図12は、PCMCIAに準拠するパッシブカードアダプタ201を利用して、新カード2を認識するPCカード制御装置50を備えるコンピュータシステム200を示す図である。当該コンピュータシステム200は、中央演算処理装置やメモリを実装したチップセット(マザーボードともいう)6の図示しないPCIバス・カード用のソケットに、PCカードコネクタ5を備えるPCカード制御装置50の拡張ボードを接続したものである。

10

【0007】

パッシブカードアダプタ201は、新カード2用のコネクタ3と、コンピュータ本体側に備えるPCカード(図12には、示されていない)用のコネクタ5への挿し込み口6とを備え、新カード2の信号ピンの配列をPCカードの信号ピンの配列に変換する。

【0008】

PCカード制御装置50は、カード検出部51、マルチプレクサ(図中、MUXと記す)53、当該マルチプレクサ53にPCカード・バスb1を介して接続されるPCMCIAコントローラ54、上記マルチプレクサ53にUSBバスb2を介して接続されるUSBホストコントローラ55、及び、カード検出部51とマルチプレクサ53に対応する信号線の接続されたPCカード用のコネクタ5とで構成される。上記USBコントローラ55は、USBバスb2に流れるデータをPCIバスのデータ形式に変換するものである。

20

【0009】

図示するように、チップセット6にUSBホストコントローラ6aが内蔵されているにもかかわらず、PCカード制御装置50内にUSBホストコントローラ55を設けてあるのは、PCカード制御装置50が、PCIバスb3を介してチップセット6に接続されており、新カードのデータ形式をPCIバス形式に一旦変換する必要があるためである。

【0010】

カード検出部51は、コネクタ5に挿し込まれたカードがPCカードであるのか、又は、パッシブカードアダプタ201を利用して接続された新カード2であるのかを判別し、PCカードの接続時には、PCカード・バスb1を選択してコネクタ2とPCMCIAコントローラ54を接続し、新カード2の接続時には、USBバスb2を選択してコネクタ2とUSBホストコントローラ55とを接続する。

30

【0011】

上記PCカード制御装置50は、各コンピュータが、新カードのシステムに完全に移行するまでの過渡期に使用されるものである。このため、PCカード制御装置50の製品化にあたっては、より簡単な構成で、かつ、従来のPCカード制御装置を制御する上位のホスト(チップセット6に搭載されている中央演算処理装置)においても制御プログラムを変更することなく実施でき、更には、上記過渡期に使用されるものであっても別の新しい拡張カードが開発された場合には、上記新しいカードにも柔軟に対応できる拡張性を持つのが好ましい。

40

【0012】

パソコン側のPCIバスと、PCカード側のPCカードバスとの間を仲介するためのPCカード制御装置を扱ったものとして以下の特許文献1がある。

【特許文献1】特開2000-259510号公報、「バス・ブリッジ回路、情報処理システム、及びカードバス・コントローラ」(請求項1、図6)

【0013】

上記特許文献1には、ユーザーが直接的にアクセス不能な1次側(PCI)バスと、ユーザーが直接アクセス可能な2次側(PCMCIA)バスとの間に接続されるバスブリッジ(PCカード制御装置)に対して「パススルー」という特別なモードを実現して、そのバス

50

ブリッジを經由することなく、1次側バス上のトランザクションを非破壊的に検査できるシステムが開示されている。

【0014】

また、本願出願人により、チップセット6に搭載する中央演算処理装置によるソフトウェア処理、及び、専用に設けたハードウェア回路による処理によって、PCカードと、PCMCIAに準拠していない新カードの両方を認識するシステムが提案されている(特願2002-269935号)。

【発明の開示】

【発明が解決しようとする課題】

【0015】

図12に示すPCカード制御装置50は、PCカードのみを制御する装置に比べて、マルチプレクサ53だけでなく、USBバス形式のデータをPCIバスの形式に変換するUSBホストコントローラ55が追加されるため、回路が大型化し、かつ、複雑化する。

【0016】

PCカードへの給電は、チップセット6に搭載されているホスト(CPU)側からのソフトウェアによる制御によって行われる。現行のPCMCIAカード1は、5V又は3.3Vで駆動するものであるが、新カード2は、1.5Vでも駆動される事が決まっている。このため、駆動電力の異なる新カード3に対応するには、新たな電源と当該電源を制御する制御プログラムが必要になる。

【0017】

また、上記PCカード制御装置50では、PCカード・バスb1及びUSBバスb2の切り換えを行うのにマルチプレクサ(MUX)53を用いるが、動作信号の振幅が小さい新規格のバスであるUSB2.0の場合には、使用できないという問題を有する。

【0018】

本発明は、上述した課題を解決するためになされたものであり、より簡単な構成でUSB2.0やPCI express等の新規格のバスに対応した新カードに容易に対応できるPCカード制御装置及びPCカード制御方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

請求項1に記載のカード認識システムは、コネクタ(5)に接続されたカードの種類を認識し、認識したカード用の電圧を出力するPCカード制御装置(11)と、PWRGD信号の入力に応じて使用可能状態になる新カードであって、上記PCカード制御装置が出力できる電圧以外の電圧を用いる新カード(2)を、上記PCカード制御装置に接続するために、上記コネクタに着脱可能に取り付けられているパッシブカードアダプタ(1)と、を備えているカード認識システムであって、上記PCカード制御装置が、PCカード検出部(52)と、配線切換回路と、電源切換部(60)・第1パワースイッチ(62)と、を備えており、上記PCカード検出部が、新カードがパッシブカードアダプタに接続されたことを検出し、新カード検出信号を出力するものであり、上記配線切換回路が、新カード検出信号の入力に応じて、新カード用のバスに新カードを接続するように切り換えるスイッチ回路であり、上記電源切換部・第1パワースイッチが、新カード検出信号の入力に応じて、コネクタへと供給する電圧を、新カード以外のカード用の電圧から第1電圧へとスイッチ切換して出力するものであり、上記パッシブカードアダプタが、レギュレータ(63)と、第2パワースイッチ(64)と、パワーオンリセット(65)と、を備えており、上記レギュレータが、電源切換部・第1パワースイッチからの第1電圧とは別に、該第1電圧を新カードで用いる第2電圧に変換して新カードへと出力するものであり、上記第2パワースイッチが、カウンタ(64c)と、トランジスタスイッチ(64a、64b)と、を備えており、上記トランジスタスイッチが、PCカード制御装置から供給される第1電圧と、レギュレータから出力される新カード用の第2電圧と、の新カードへの供給を行うように、アダプタに新カードが接続された場合に切り換わる第2信号(PE2#)の入力に応じてオンに切り換わるものであり、上記カウンタが、上記第2信号(PE2

10

20

30

40

50

#)の入力に応じてカウントを開始するものであり、且つ、予め定めたカウント値をカウントした場合に、上記PWRGD信号を新カードに出力するものであり、上記パワーオンリセットが、電源切換部・第1パワースイッチからの第1電圧の給電開始に応じて、カウンタにリセット信号を出力するものである、ことを特徴とする。

【0020】

請求項2に記載のカード認識システムは、請求項1に記載のカード認識システムであって、電源切換部・第1パワースイッチが、電源切換部(60)と、第1パワースイッチ(62)と、を備えており、上記電源切換部が、新カード検出信号の入力に応じて電源コントロール信号を出力し、上記第1パワースイッチが、電源コントロール信号に基づいて出力する電圧を切り換えるものであり、第1パワースイッチが、PCカード制御装置の外部に設けられている、ことを特徴とする。

10

【0021】

請求項3に記載のカード認識システムは、請求項1又は2に記載のカード認識システムであって、上記PCカード制御装置が、PCMCIAに準拠する装置である、ことを特徴とする。

【0022】

請求項4に記載のカード認識システムは、請求項3に記載のシステムであって、上記PCカード制御装置が、PCMCIAコントローラ(54)を備えており、上記配線切換回路が、I/O回路(56a、56b)と、アナログスイッチ(57a、57b)と、を備えており、上記カード検出部が、PCカード認識部(52a)と、比較器(52b)と、レジスタ(52c)と、を備えており、上記PCカード認識部が、PCMCIAの規格に準拠したカードNo.テーブルを内蔵しており、PCMCIAに準拠した手順に従い接続されたカードの種類を表すカードNo.を特定するものであり、上記レジスタが、新カードのカードNo.を格納しており、上記比較器が、PCカード認識部によって特定されたカードNo.と、レジスタに格納されているカードNo.との比較を行い、一致する場合には新カード検出信号を出力するものであり、上記I/O回路がコネクタとPCMCIAコントローラとを接続しており、アナログスイッチがコネクタと新カード用バスとを接続しており、I/O回路とアナログスイッチとが、新カードの非検出時には、コネクタをPCMCIAコントローラとの間のみを接続し、新カード検出信号の入力時には、コネクタと新カード用バスとの間のみを接続する、ことを特徴とする。

20

30

【0023】

請求項5に記載のカード認識システムは、請求項4に記載のカード認識システムであって、上記新カード検出信号が、Highレベルの信号であり、上記I/O回路が、2入力ANDゲート(56a-1)と、3ステートバッファ(56a-2)と、インバータ(56a-3)と、を備えており、上記2入力ANDゲートの一方の信号入力端子には、コネクタからのデータが入力され、残りの信号入力端子には、インバータを介して上記カード検出部が出力する信号が入力されており、出力端子がPCMCIAコントローラに接続されており、3ステートバッファが、PCMCIAコントローラからのデータをコネクタに出力するものであり、インバータによって反転された新カード検出信号の入力に応じてオフに切り換わり、上記アナログスイッチが、互いのソース及びドレインが接続された1対のNチャンネル型MOSFET(57a-1)とPチャンネル型MOSFET(57a-2)と、該Pチャンネル型MOSFETのゲートに検出信号の反転信号を入力するためのインバータ(57a-3)と、を備えており、新カード検出信号の入力に応じてオンに切り換わるものである、ことを特徴とする。

40

【0024】

請求項6に記載の新カード認識方法は、請求項1乃至5の何れか1つに記載のカード認識システムを用いて行う新カードの認識方法であって、新カードがパッシブカードアダプタに差し込まれたことを、PCカード検出部によって検出して新カード検出信号を出力させる工程と、上記新カード検出信号を配線切換回路に入力して配線をスイッチ切換させて、新カード用のバスに新カードを接続させる工程と、上記新カード検出信号を電源切換部

50

・第1パワースイッチに入力して第1電圧を出力させる工程と、上記第1電圧をパワーオンリセットに入力して第2パワースイッチが備えているカウンタをリセットさせる工程と、第2パワースイッチにおいて、上記リセット後のカウンタのカウンタを開始し、予め定めたカウンタ値をカウンタした場合に、PWRGD信号を新カードに出力して新カードを使用可能にする工程と、を備えていることを特徴とする。

【発明の効果】

【0027】

請求項1乃至5に記載のカード認識システムは、新カード接続時、電源切り換え部・第1パワースイッチによって供給電圧を切り換えると共に、更に、予め定めたカウンタ値をカウンタしてからPWRGD信号を出力することによって、迅速なバスへの接続と、新カードへの安定した給電と、を行うことができる。また、パッシブカードを取り外すことによってPCカード制御装置で用いることのできる従来のカードを使用することができる。

10

【0028】

請求項6に記載のカード認識方法は、新カード接続時、新カード用のバスに配線のスイッチ切換を行った後に、PWRGD信号を出力するためのカウンタを開始するため、迅速なバスへの接続と、新カードへの安定した給電と、を行うことができる。

【発明を実施するための最良の形態】

【0035】

(1)実施の形態1

図1は、実施形態1に係るPCカード制御装置11を備えるコンピュータシステム100の構成図である。上記従来技術の欄で説明した図12に示すPCカード制御装置50を備えるコンピュータシステム200およびパッシブカードアダプタ201の構成要素と同じものについては、同じ参照番号を付してある。

20

【0036】

コンピュータシステム100は、ホストとして機能する中央演算処理装置やメモリを実装したチップセット6が備えるPCIバスb3及びUSBバスb5の拡張ボード用のソケットに、PCカードコネクタ5を備えるPCカード制御装置11の拡張ボードを接続したものである。

【0037】

なお、PCカード制御装置11は、1チップのICに集積化しても良い。この場合、装置11自体の小型化の他に、チップセット6に上記拡張用ボードのソケットを用いずに別の小型のIC用ソケットを用いて実装することが可能になり、数の限られた拡張ボード用のソケットの有効利用を図ることができる。

30

【0038】

PCカード制御装置11は、カード検出部52、PCMCIAコントローラ54、I/O回路56、及び、アナログスイッチ(図中、ASWと記す)57で構成されている。ここで、アナログスイッチとは、メカニカルなリレーと同様の特性を持ち、小振幅で高い周波数の信号、例えば、USB2.0の規格に準拠して用いられる信号を正確に伝播しうるスイッチのことを意味する。カード検出部52は、コネクタ5に接続されたカードが新カード2であるのか否かを表すカード検出信号を、I/O回路56及びアナログスイッチ57に出力する。なお、本図では、カードの種類に応じて供給する電源電圧を切り換える回路(電源切り換え部60、パワースイッチ62,64)については示していない。当該電源の切り換え回路については、後に図4を参照しつつ説明する。

40

【0039】

PCMCIAに準拠したパッシブカードアダプタ1は、新カード2用のコネクタ3と、コンピュータ本体側に備えるPCカード用のコネクタ5への挿し込み口1aとを備え、新カード2の信号ピンの配列をPCカードの信号ピンの配列に変換する。

【0040】

カード検出用の信号(CD1#,CD2#,VS1#,VS2#:各信号の表記はPCMCIAに準拠する)を伝送する4本の制御ラインL1の一端は、カード検出部52に接

50

続され、他端は、P C M C I A コネクタ 5 の内の 4 つのピンを通じて、当該コネクタ 5 に挿入されたパッシブカードアダプタ 1 側の雌のコネクタ 1 a の内の対応する 4 つのピン接続穴にそれぞれ電氣的に接続されている。

【 0 0 4 1 】

データライン L 2 の一端は、コネクタ 5 を介して、パッシブカードアダプタ 1 又は P C カードが備える複数のピンに接続され、他端は、P C M C I A バス上のデータを扱う I / O 回路 5 6 を介して P C M C I A コントローラ 5 4 に接続される。また、データライン L 2 は、途中で分岐してアナログスイッチ 5 7 を介してチップセット 6 よりの U S B バスにも接続されている。

【 0 0 4 2 】

I / O 回路 5 6 は、L o w レベルのカード検出信号の入力に応じてイネーブルになる回路であり、より詳しくは、後に参照する図 4 に示すとおり、2 個の I / O 回路 5 6 a , 5 6 b で構成される。

【 0 0 4 3 】

図 2 は、I / O 回路 5 6 a の構成を示す図である。I / O 回路 5 6 a は、2 入力 A N D ゲート 5 6 a . 1、3 ステートバッファ 5 6 a . 2、インバータ 5 6 a . 3、トランジスタ 5 6 a . 4、及び、抵抗 5 6 a . 5 で構成される。A N D ゲート 5 6 a . 1 は、コネクタ 5 から接続パッド 5 6 a . p に印加されるデータを P C M C I A コントローラ 5 4 に出力するためのゲートであり、一方の信号入力端子には、上記接続パッド 5 6 a . p からの信号が入力され、残りの信号入力端子には、インバータ 5 6 a . 3 を介してカード検出信号が入力されている。3 ステートバッファ 5 6 a . 2 は、P C M C I A コントローラ 5 4 からのデータを接続パッド 5 6 a . p に出力するためのバッファ回路であり、インバータ 5 6 a . 3 により反転されたカード検出信号が H i g h レベルのときにオンに切り換わる。

【 0 0 4 4 】

また、アナログスイッチ 5 7 は、H i g h レベルのカード検出信号に応じてオンに切り換わるスイッチであり、後に参照する図 4 に示す通り 2 個のアナログスイッチ 5 7 a , 5 7 b で構成される。

【 0 0 4 5 】

図 3 は、アナログスイッチ 5 7 a の構成を示す図である。アナログスイッチ 5 7 a は、互いのソース及びドレインが接続された 1 対の N チャンネル型 M O S F E T 5 7 a . 1 及び P チャンネル型 M O S F E T 5 7 a . 2 と、F E T 5 7 a . 2 のゲートに検出信号の反転信号を入力するためのインバータ 5 7 a . 3 とで構成される。

【 0 0 4 6 】

再び図 1 を参照する。カード検出部 5 2 は、コネクタ 5 に接続されたカードの種類を特定し、接続されたカードが P C カードの場合、L o w レベルのカード検出信号を出力し、接続されたカードが新カード 2 の場合、H i g h レベルのカード検出信号（新カード検出信号）を出力する。

【 0 0 4 7 】

P C カードの接続時、I / O 回路 5 6 は、コネクタ 5 と P C M C I A コントローラ 5 4 の間のデータラインをイネーブルにし、アナログスイッチ 5 7 をオフとする。結果として、コネクタ 5 と P C M C I A コントローラ 5 4 を接続するデータラインが形成される。この場合、P C カードより読み出されたデータは、データライン L 2、I / O 回路 5 6、及び、P C カード・バス b 4 を介して P C M C I A コントローラ 5 4 に出力された後、当該 P C M C I A コントローラ 5 4 から P C I バス b 3 を介してチップセット 6 に出力される。P C I バス b 3 及び I / O 回路 5 6 は、双方向のものであり、チップセット 6 からのデータは、逆のルートで P C カードに出力される。

【 0 0 4 8 】

他方、新カードの接続時、I / O 回路 5 6 は、コネクタ 5 と P C M C I A コントローラ 5 4 の間のデータラインをディスイネーブルにし、アナログスイッチ 5 7 をオンとする。

10

20

30

40

50

結果として、コネクタ5とUSBバスb5を接続するデータラインが形成される。即ち、この場合、当該新カード2より読み出されたデータは、データラインL2、アナログスイッチ57、及び、USBバスb5を介して、直接チップセット6が備えるUSBホストコントローラ6aに出力される。USBバスb5及びアナログスイッチ57は、双方向のものであり、チップセット6からのデータは、逆のルートで新カード2に出力される。

【0049】

図4は、PCカード制御装置11及びパッシブカードアダプタ1の内部構成をより詳細に示す図である。本図には、図1には示していなかったカードの種類に応じて供給電源を切り換える回路を示してある。また、本図において、リード信号(IORD#)およびライト信号(IOWR#)を伝えるラインは、図1中のデータラインL2に相当する。リード信号(IORD#)の線の一端は、カードアダプタ9内のコネクタ5のUSB_DP(プラス)のピンに接続され、他端は、I/O回路56aの信号入力端に接続される。ライト信号(IOWR#)の線の一端は、カードアダプタ9内のコネクタ5のUSB_DM(マイナス)のピンに接続され、他端は、I/O回路56bの信号入力端に接続されている。

10

【0050】

カード検出部52は、PCカード識別部52a、比較器52b、及び、レジスタ52cで構成される。

【0051】

PCカード識別部52aは、PCMCIAの規格に準拠したカードNo.テーブルを内蔵しており、PCMCIAに準拠した手順に従い接続されたカードの種類(バス幅、駆動電圧等)を表すカードNo.を特定する。PCMCIAの規格に準拠したPCカード識別部52aは、ソフトウェア処理を利用する物、及び、ハードウェア回路だけで構成される物が既に種々提案されている(例えば、本願出願人による特願2002-269935を参照)。比較器52bは、PCカード識別部52aにより特定されたカードNo.と、レジスタ52cに格納している新カードのカードNo.との比較を行い、一致する場合には、Highレベルの新カード検出信号を出力する。

20

【0052】

PCカード及びカードアダプタ1内において、上記4つのピン接続穴は、カードの種類、即ち、PCカードであるのか新カード2であるのかの別、PCカードである場合には駆動電圧等の別に、任意の二つのピン接続穴が相互に接続され、そして、任意の1つのピン接続穴が接地されるなどして、それぞれ固有の接続がなされている。

30

【0053】

以下、PCMCIAの規格に準拠したPCカード識別部52aが実行する処理内容を、より詳しく説明する。PCカード識別部52aは、コネクタ5へのカード接続に伴うカード検出用の信号のCD1#及びCD2#の電位レベルの変化よりカードの接続を検出し、VS1#の電位を約1msの期間、Highレベルに切り換える。そして、上記VS1#の電位切り換えの後、約0.8msのタイミングでCD2#、CD1#、VS2#及び、VS1#の電位状態をラッチ(レジスタに保存)する。引き続き、PCカード識別部52aは、VS2#の電位を約1msの期間、Highレベルに切り換える。VS2#の電位切り換え後、約0.8msのタイミングでCD2#、CD1#、VS2#、及び、VS1#の電位状態をラッチ(レジスタに保存)する。PCカード識別部52aは、PCMCIAに準拠したカードNo.テーブルを参照しつつ、上記2つのタイミングでラッチした各4ビット、合計8ビットの信号の組み合わせに該当するカードNo.を特定し、特定したカードNo.の情報を、比較器52a及びホストに向けて出力する。

40

【0054】

カード検出部52から出力される信号がHighレベルの場合、I/O回路56a、56bがディスイネーブルとなり、アナログスイッチ57a、57bがオンに切り換わり、コネクタ5とUSBバスb5を接続する。他方、カード検出部52から出力される信号がLowレベルの場合、I/O回路56a、56bがイネーブル、アナログスイッチ57a、57bがオフとなり、コネクタ5とPCMCIAコントローラ54を接続する。

50

【 0 0 5 5 】

上述するように、実施の形態 1 に係る P C カード制御装置 1 1 は、図 1 2 に示した従来の P C カード制御装置 5 1 が備えていたマルチプレクサ 5 3 及び U S B ホストコントローラ 5 5 の代わりに、I / O 回路 5 6 a , 5 6 b 及びアナログスイッチ 5 7 a , 5 7 b を設けたものである。U S B ホストコントローラ 5 5 を除去することにより、回路規模の小型化及び低コスト化を図ることができる。また、しきい値の高いトランジスタで構成されるマルチプレクサを利用せずに、図 2 に示した構成のアナログスイッチ 5 7 a , 5 7 b を用いることで、U S B 2 . 0 に準拠するバスに流れる $\pm 0 . 4 \text{ V}$ といった振幅レベルの小さい信号にも十分に対処することができる。

【 0 0 5 6 】

電源切り換え部 6 0 は、2 ビットデータを保持するレジスタ 6 0 a , 6 0 b、O R ゲート 6 1 b、及び、A N D ゲート 6 1 a で構成される。レジスタ 6 0 a , 6 0 b は、チップセット 6 (ホスト) より送り返されてくるレジスタ選択信号に基づいて、共に H i g h レベルの V c c 3 . 3 E N # 信号及び V c c 5 E N # 信号、H i g h レベルの V c c 3 . 3 E N # 信号と L o w レベルの V c c 5 E N # 信号、又は、L o w レベルの V c c 3 . 3 E N # 信号と H i g h レベルの V c c 5 E N # 信号の何れかの組み合わせの電源コントロール信号を出力する。

【 0 0 5 7 】

2 入力 O R ゲート 6 1 b は、一方の信号入力端子にレジスタ 6 0 a の出力が入力され、他方の信号入力端子にカード検出部 5 2 の出力するカード検出信号が入力される。2 入力 A N D ゲート 6 1 a は、一方の信号入力端子にレジスタ 6 0 b の出力が入力され、他方の信号入力端子にカード検出部 5 2 の出力するカード検出信号の反転信号が入力される。

【 0 0 5 8 】

カード検出信号が H i g h レベルの場合、A N D ゲート 6 1 a は L o w レベルの V c c 3 . 3 E N # 信号を出力し、O R ゲート 6 1 b は H i g h レベルの V c c 5 E N # 信号を出力する。他方、カード検出信号が L o w レベルの場合、A N D ゲート 6 1 a からはレジスタ 6 0 b の出力が V c c 3 . 3 E N # 信号として出力され、O R ゲート 6 1 b からはレジスタ 6 0 a の出力が V c c 5 E N # 信号として出力される。

【 0 0 5 9 】

P C カード制御装置 1 1 の外部(つまりパソコン P C 側)に設けられたパワースイッチ 6 2 は、例えば、それぞれ 3 . 3 v , 5 v の電源が入力されている 2 個の L o w アクティブなスイッチで構成される。パワースイッチ 6 2 は、電源切り換え部 6 0 から、H i g h レベルの V c c 3 . 3 E N # 信号と L o w レベルの V c c 5 E N # 信号が入力される場合、V c c = 5 v を出力し、L o w レベルの V c c 3 . 3 E N # 信号と H i g h レベルの V c c 5 E N # 信号が入力される場合、V c c = 3 . 3 v を出力する。

【 0 0 6 0 】

上述するように、電源切り換え部 6 0 及びパワースイッチ 6 2 は、カード検出部 5 2 からの新カード検出信号の入力に応じて、コネクタ 5 への供給電圧を変換する電圧変換回路として機能する。

【 0 0 6 1 】

なお、パワースイッチ 6 2 を、P C カード制御装置 1 1 に内蔵する実施の形態も考えられる。

【 0 0 6 2 】

パッシブカードアダプタ 1 には、パワースイッチ 6 2 より供給された電圧 3 . 3 v を、新カード用に、更に、1 . 5 v に降下させるレギュレータ 6 3、1 . 5 v 及び 3 . 3 v の電圧を新カード 2 に供給するパワースイッチ(第 2 パワースイッチ) 6 4 と、当該パワースイッチ 6 4 に対してパワーオン時にリセット信号を出力するパワーオンリセット 6 5 とで構成される。

【 0 0 6 3 】

パワースイッチ 6 4 は、2 個のトランジスタスイッチ 6 4 a , 6 4 b と、1 個のカウン

10

20

30

40

50

タ64cとで構成される。トランジスタスイッチ64a, 64bは、コネクタ5へのカードの接続に伴うPE2#信号の立ち下がりに応じてオンに切り換わる。図5のタイムチャートに示すように、カウンタ64cは、PE2#がLowレベルに切り換わってから所定のカウンタ数だけカウントを行い、カウント終了に伴いHighレベルのPWGRD信号を出力する。

【0064】

コネクタ5より新カード2が取り外されると、PE2#の電位が、LowレベルからHighレベルに変化し、これにより、パワースイッチ64からの電源の供給が停止されると共に、PWGRDの信号出力が停止される。

【0065】

パッシブカードアダプタ1は、アダプタ内にレギュレータ63を備えたことにより、PCカード制御装置側での回路構成を少なくし、かつ、更に、別の駆動電圧を要求するカードが出現しても、パッシブカードアダプタ内の回路を変更するだけで容易に対処することができるという利点を持つ。

【0066】

(2) カード認識処理

図6は、上記構成のPCカード制御装置11のカード検出部52及び当該カード検出部52からの情報に基づいてチップセット6に搭載される中央演算処理装置の実行するカード制御処理全般の流れを説明するための図である。まず、コネクタ5にPCカード又はパッシブカードアダプタ1が接続されたことをカード検出用の信号(CD1#, CD2#)の電位変化により検出した場合(ステップS11)、カード検出部52において接続されたカードがPCカードであるのか、又は、パッシブカードアダプタ1であるのかの判断を行う(ステップS12)。ここで、接続されたカードがパッシブカードアダプタ1である場合(ステップS12でYES)、カード検出部52の出力するカード検出信号に基づいて、電源を切換えるための電源コントロール信号(Vcc3.3EN#信号及びVcc5EN#信号)の設定を行い(ステップS13)、パワースイッチ62を切り換えて、PCMCIAコネクタに電源Vcc=3.3vを供給する(ステップS14)。パッシブカードアダプタ1に新カード2が接続されるのを待機する(ステップS15でNO)。

【0067】

PE2#信号がHighレベルからLowレベルに切り換わることによって、パッシブカードアダプタ1のコネクタ3に新カード2が接続されたことが検出された場合(ステップS15でYES)、パッシブカードアダプタ1内で、Vcc=3.3v及びVcc=1.5vが用意され、当該新カード2への電源Vcc=3.3v及びVcc=1.5vの供給が開始される(ステップS16)。パワースイッチ64に内蔵するカウンタの終了に伴い、新カード2に対してPWGRD信号がセットされ(ステップS17)、新カード2が使用可能状態になる(ステップS18)。

【0068】

他方、接続されたカードがPCカードの場合、通常のPCMCIAに準拠したカード制御処理が実行される。この場合、カード検出部52は、内部で所定のフラグを設定し(ステップS19)、ホストとして機能するチップセット6に内蔵されている中央演算処理装置(フローチャート中では単にホストと記す)に対して割り込み処理を要求する(ステップS20)。ホストとして機能する中央演算処理装置は、カード検出部52から送られてくる情報に基づいて接続されたPCカードの種類(バス幅、駆動電圧)を認識する(ステップS21)。ホストとして機能する中央演算処理装置により電源コントロール信号(Vcc3.3EN#, Vcc5EN#)の設定が行われ(ステップS22)、パワースイッチ62の切り換えが行われ、PCMCIAコネクタに電源Vcc=3.3v及びVcc=1.5vが供給され(ステップS23)、PCカードが使用可能状態になる(ステップS24)。

【0069】

以上のように、従来のPCMCIAカード1に対しては、図中、1で示すステップS

10

20

30

40

50

21、S22において、パワースイッチ62は、ホストとして機能する中央演算処理装置からのコマンドによって電源制御されるが、新カード2に対応したパッシブカードアダプタ1に対しては、図中、2で示すステップS13～S14において、ホストを介さずに、カード検出部52より出力されるカード検出号によって、パワースイッチ62が直接的に制御される。また、新カード2へは、図中、3で示すステップS15～S17にて、パッシブカードアダプタ1内のパワースイッチ64により直接電源制御が行われる。

【0070】

従来のPCカード制御装置50であれば、コネクタ5にパッシブカードアダプタ1が挿入された場合、カード検出部50からの通知を受けてホストがパッシブカードアダプタ1に対する制御処理を行うと共に、パワースイッチ62をソフトウェア制御する必要があった。この場合、当然、新カードに対応するように制御プログラムを変更する必要がある。これに対して、本発明に係わるPCカード制御装置11を装着した場合、カード検出部52から出力されるカード検出信号によってパワースイッチ62が直接制御されるので、ホストの実行する制御プログラム自体が不要になると共に、処理の高速化が図られる。

【0071】

(3) 他の実施の形態

図7は、実施の形態2に係るPCカード制御装置12を備えるコンピュータシステム(図示せず)の上記PCカード制御装置12と、対応するパッシブカードアダプタ1'の構成を示す図である。PCカード制御装置12は、上記実施の形態1に係るパッシブカードアダプタ1が備えていたパワースイッチ64に相当する切換回路(第2パワースイッチ)66をPCカード制御装置11の内部に取り込んだものである。PCカード制御装置12と同じ構成物には、同じ参照番号を付してここでの重複した説明を省く。

【0072】

切換回路66は、2入力ANDゲート66a、インバータ66b、及び、カウンタ66cで構成される。ANDゲート66aの一方の信号入力端子には、PE2#信号が反転入力され、残りの信号入力端子にはカード検出信号が入力される。ANDゲート66aの出力端子は、インバータ66bを介して、カウンタ66cのイネーブル端子に接続される。また、ANDゲート66aの出力は、電源切り換え部60のANDゲート61aの一方の信号入力端子に入力されると共に、及び、ORゲート61bの信号入力端子に反転入力される。

【0073】

実施の形態2に係るPCカード制御装置12の上記切換回路66以外の構成は、電源切り換え部60の構成を含み、上述した実施の形態1に示す同じ参照番号の構成物と同じである。例えば、パッシブカードアダプタ1'は、アダプタ内にレギュレータ63を備えたことにより、PCカード制御装置側での回路構成を少なくし、かつ、更に、別の駆動電圧を要求するカードが出現しても、パッシブカードアダプタ内の回路を変更するだけで容易に対処することができるという利点を持つ。

【0074】

図8は、図6に示すフローチャートを図7の実施例に従って示したフローチャートである。図6に示したフローチャートと同じ処理には同じステップ番号を付して表し、ここでの重複した説明は省く。

【0075】

コネクタ5に接続されたカードがパッシブカードアダプタ1の場合(ステップS12でYES)、当該パッシブカードアダプタ1のコネクタ3に新カード2が挿し込まれるのを待機する(ステップS30でNO)。新カード2が挿し込まれた場合(ステップS30でYES)、カード検出部52の出力するカード検出信号に基づいて、電源を切換えるための電源コントロール信号(Vcc3.3EN#信号及びVcc5EN#信号)の設定が行われ(ステップS31)、これによりパワースイッチ62の切り換えが行われ、PCMCIAコネクタに電源Vcc=3.3v及びVcc=1.5vが供給される(ステップS32)。切換回路66に内蔵されているカウンタ66cが終了するのを待ってから、PWR

10

20

30

40

50

G D 信号を新カード 2 に出力し (ステップ S 3 3)、新カード 2 を使用可能状態にする (ステップ S 3 4)。

【0076】

図 9 は、実施の形態 3 に係る P C カード制御装置 1 3 を備えたコンピュータ 1 0 1 の構成を示す図である。当該実施形態は、実施の形態 1 の P C カード制御装置 1 1 が内蔵していたアナログスイッチ 5 7 をコンピュータ内に内蔵した点が異なる。その他の構成及び動作については実施の形態 1 に係る P C カード制御装置 1 1 及びパッシブカードアダプタ 1 と同じである。

【0077】

なお、図 7 を用いて説明した実施の形態 2 に係る P C カード制御装置 1 2 と、当該 P C カード制御装置 1 2 に対応するパッシブカードアダプタ 1 ' についても、同じ実施形態が考えられる。以下の実施形態についても同じである。

【0078】

図 1 0 は、実施の形態 4 に係る P C カード制御装置 1 4 を備えたコンピュータ 1 0 2 の構成を示す図である。当該実施形態は、実施の形態 1 の P C カード制御装置 1 1 が備えていたアナログスイッチ 5 7 の代わりに、同じ働きをする U S B ハブ 5 8 を用意したことを特徴とする。U S B ハブ 5 8 として、既製部品を使用できるので安価な P C カード制御装置 1 4 を実現できる。

【0079】

図 1 1 は、本発明の第 4 の実施形態を示した P C カード制御装置 1 5 を備えたコンピュータ 1 0 3 の構成を示す図である。当該コンピュータ 1 0 3 は、上記実施の形態 4 のコンピュータ 1 0 2 が P C カード制御装置 1 4 に内蔵していた U S B ハブ 5 8 を外側に設けたものである。P C カード制御装置 1 5 は、図 1 2 に示した従来の P C カード制御装置 5 0 からマルチプレクサ 5 3、U S B ホストコントローラ 5 5 を削除して、代わりに、I / O 回路 5 6 のみを追加すればよいので、回路変更は少なく、安価に製造することができる。

【0080】

なお、上述した各実施の形態の P C カード制御装置 1 1 , 1 2 , 1 3 , 1 4 , 1 5 は、新カード 2 が U S B バスを採用するが、代わりに P C I express バス等のその他の新規のバス方式を採用するものでもよい。

【0081】

また、実施の形態においては、P C M C I A に準拠した P C カードを制御する装置を取り上げたが、P C M C I A 以外の規格に準拠したカードを扱う制御装置に対しても、新カードを認識して所定の検出信号を出力するカード検出部 5 2 と同様に機能する検出部を備え、当該検出部の出力に基づいて使用するバスや電源回路の切換を行うスイッチ類を用意すれば、これらの制御装置に対しても、本発明の P C カード制御装置を適用することができる。

【図面の簡単な説明】

【0082】

【図 1】実施の形態 1 に係る P C カード制御装置を備えたコンピュータの構成を示す図である。

【図 2】I / O 回路の構成を示す図である。

【図 3】アナログスイッチの構成を示す図である。

【図 4】図 1 に示した P C カード制御装置の詳細な構成を示す図である。

【図 5】パッシブカードアダプタ内における信号のタイムチャートである。

【図 6】実施の形態 1 に係る P C カード制御装置が P C カード及び新カードを認識する際の動作順序を説明するためのフローチャートである。

【図 7】実施の形態 2 に係る P C カード制御装置の詳細な構成を示す図である。

【図 8】実施の形態 2 に係る P C カード制御装置が P C カード及び新カードを認識する際の動作順序を説明するためのフローチャートである。

【図 9】実施の形態 3 に係る P C カード制御装置の詳細な構成を示す図である。

10

20

30

40

50

【図10】実施の形態4に係るPCカード制御装置の詳細な構成を示す図である。

【図11】実施の形態5に係るPCカード制御装置の詳細な構成を示す図である。

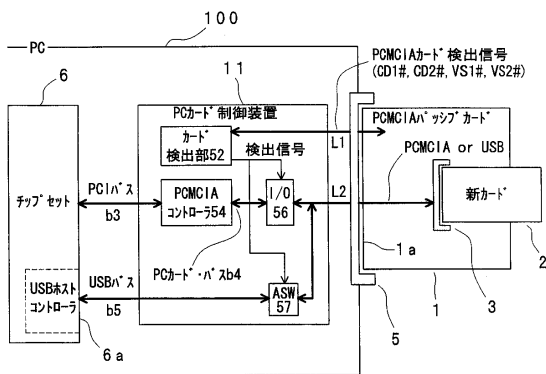
【図12】従来のPCカード制御装置を備えたコンピュータの構成を示す図である。

【符号の説明】

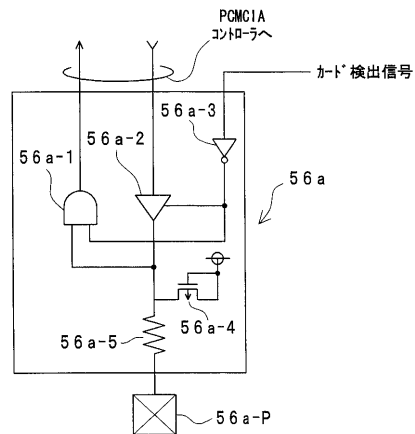
【0083】

1, 1' パッシブカードアダプタ、2 新カード、3, 5 コネクタ、11, 12, 13, 14, 15 PCカード制御装置、6 チップセット、6a USBホストコントローラ、52 カード検出部、54 PCMCIAコントローラ、56, 56a, 56b I/O回路、57, 57a, 57b アナログスイッチ、100, 101, 102, 103 コンピュータ。

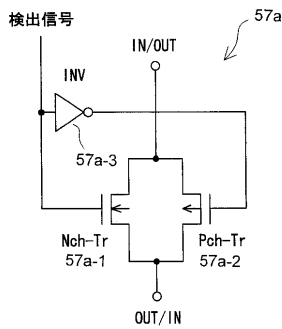
【図1】



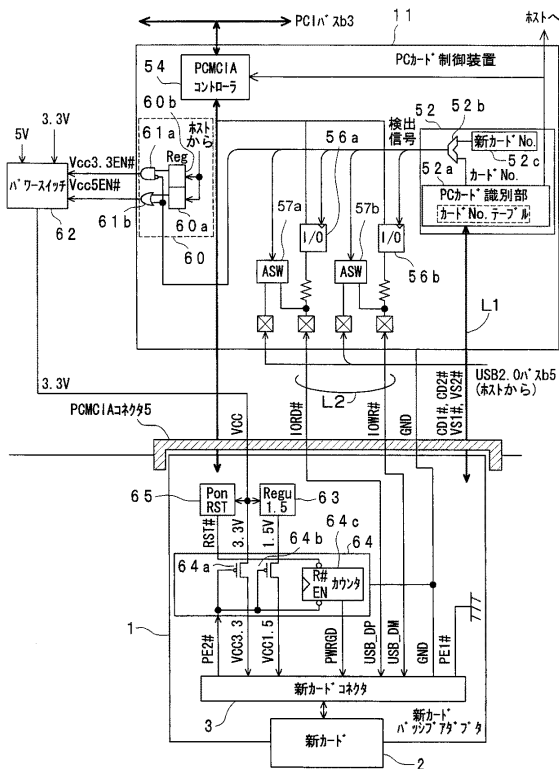
【図2】



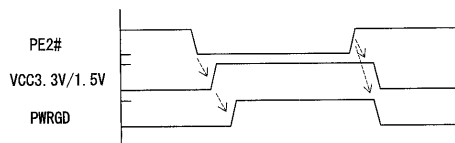
【図3】



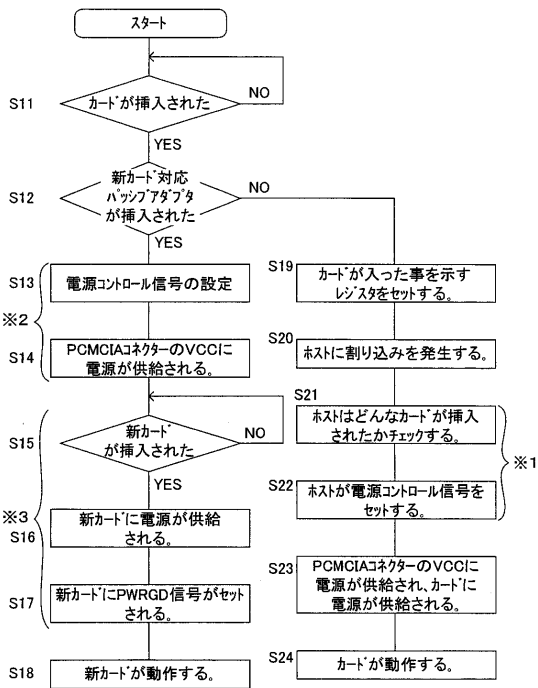
【図4】



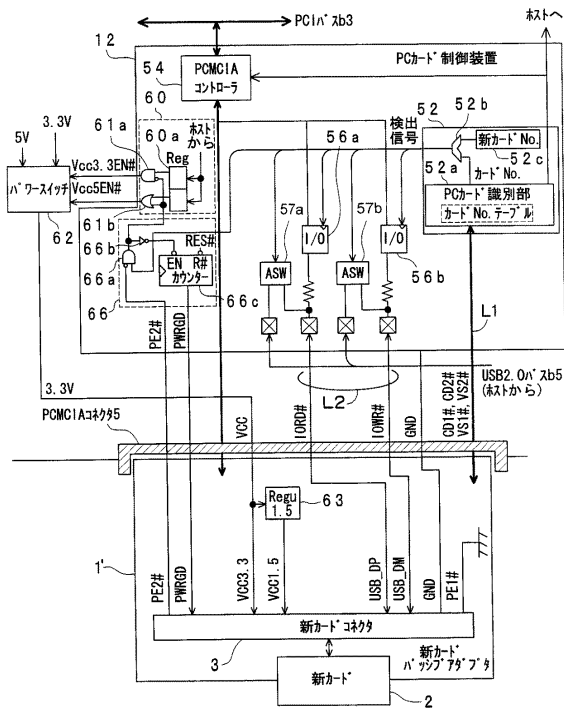
【図5】



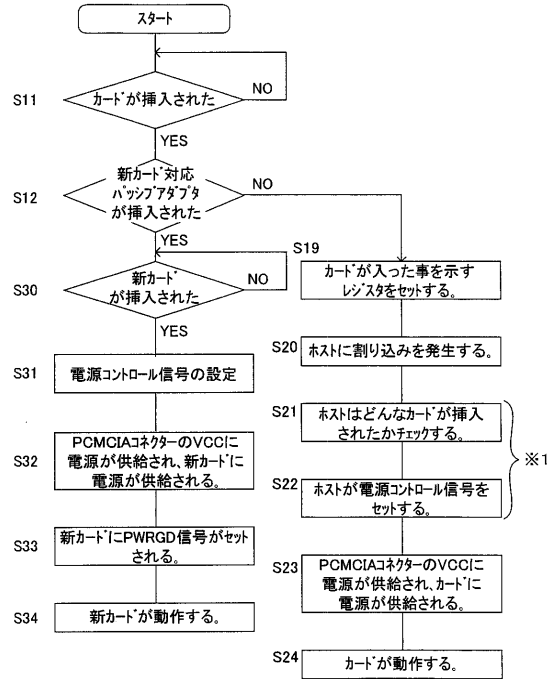
【図6】



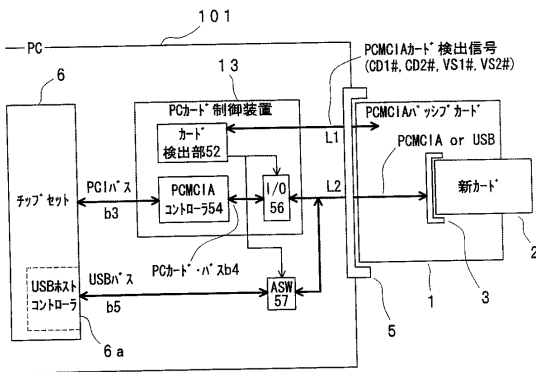
【図7】



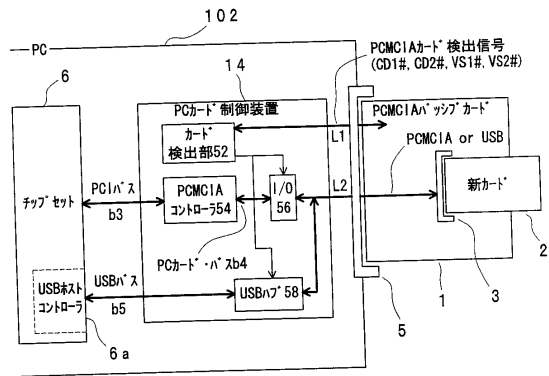
【図8】



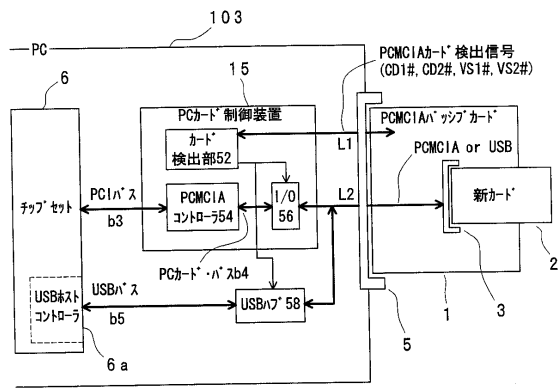
【図9】



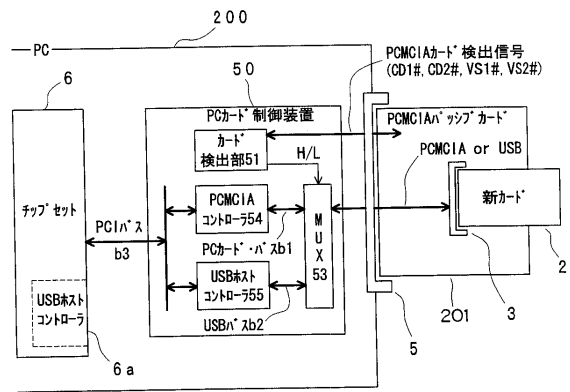
【図10】



【図11】



【図12】



フロントページの続き

(56)参考文献 特開2001-307025(JP,A)
特開平03-276382(JP,A)
特開平08-180149(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06K 17/00
G06F 3/00