

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10492

(P2010-10492A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.
H01L 21/60 (2006.01)

F I
H01L 21/60 301A

テーマコード(参考)
5F044

審査請求 有 請求項の数 13 O L (全 14 頁)

(21) 出願番号 特願2008-169513 (P2008-169513)
(22) 出願日 平成20年6月27日 (2008. 6. 27)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100094053
弁理士 佐藤 隆久
(72) 発明者 田中 祐二
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 5F044 AA02 AA20 EE02

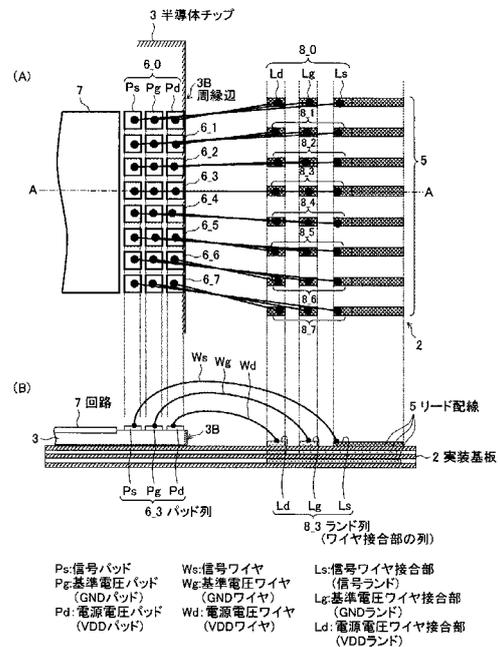
(54) 【発明の名称】 半導体装置および半導体集積回路

(57) 【要約】

【課題】 高いパッド配置密度とノイズ耐性を両立させる。

【解決手段】 回路7を有する半導体チップ3と、半導体チップ3が接合する実装基板2と、半導体チップ3の周縁辺3Bと直交する方向に直線状に並んで配置されている3つのパッドからなるパッド列6_iと、これに接合する3つのワイヤ(W_s, W_g, W_d)と、実装基板2に形成され複数のワイヤが接合している複数のワイヤ接合部(L_s, L_g, L_d)とを有する。パッド列6_i内で信号パッドP_sが周縁辺3Bから最も遠い側に配置され、複数のワイヤ接合部のうち信号ワイヤ接合部(L_s)が、他のワイヤ接合部(L_g, L_d)よりも周縁辺3Bから遠い位置に配置されている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

回路が形成されている半導体基板と、
前記半導体基板の裏面と接合する実装基板と、
信号、電源電圧、基準電圧に対応して前記回路と電氣的に接続し、前記半導体基板の一
主面内で最も近い周縁辺と直交する方向に直線状に並んで配置されている複数のパッドと

、
一方端が前記複数のパッドに接合している複数のワイヤと、
前記実装基板に形成され、前記複数のワイヤの他方端が接合している複数のワイヤ接合
部と、

を有し、

前記複数のパッドが直線状に並ぶパッド列内で前記信号の入出力のための信号パッドが
前記周縁辺から最も遠い側に配置され、

前記複数のワイヤ接合部のうち前記信号を入出力するための信号ワイヤ接合部が、他の
ワイヤ接合部よりも前記半導体基板から遠い、前記実装基板上の位置に配置されている
半導体装置。

【請求項 2】

前記パッド列内で前記周縁辺から近い順に、電源電圧パッド、基準電圧パッドおよび前
記信号パッドが配置され、

前記電源電圧パッド、前記基準電圧パッドおよび前記信号パッドのそれぞれにワイヤに
より電氣的に接続する、電源電圧ワイヤ接合部、基準電圧ワイヤ接合部および信号ワイヤ
接合部の前記実装基板上の位置が、この順で前記周縁辺から次第に遠い

請求項 1 に記載の半導体装置。

【請求項 3】

前記複数のパッドと前記複数のワイヤ接合部を 1 対 1 で接合する複数のワイヤが、ワイ
ヤごとにループ高さを変えて架橋されている

請求項 1 に記載の半導体装置。

【請求項 4】

前記複数のパッドと前記複数のワイヤ接合部を 1 対 1 で接合する複数のワイヤは、ワイ
ヤごとにループ高さを変えて架橋され、ループ高さが高い方から順に信号、基準電圧、電
源電圧を伝播する各ワイヤの配置となっている

請求項 2 に記載の半導体装置。

【請求項 5】

前記複数のワイヤは、前記パッド列のパッド中心を結ぶ直線の延長線に沿う向きで、ワ
イヤごとにループ高さを変えながら架橋されている

請求項 3 に記載の半導体装置。

【請求項 6】

前記複数のワイヤは、前記パッド列のパッド中心を結ぶ直線の延長線に沿う向きで、ワ
イヤごとにループ高さを変えながら架橋されている

請求項 4 に記載の半導体装置。

【請求項 7】

前記パッド列が前記周縁辺に沿って複数配置され、

前記電源電圧ワイヤ接合部と前記基準電圧ワイヤ接合部は、それぞれ、複数の前記パッ
ド列に対して共通な 1 本の帯状の導電層として前記実装基板上に配置されている

請求項 2 に記載の半導体装置。

【請求項 8】

前記パッド列が前記周縁辺に沿って複数配置され、

複数の前記パッド列内において、所定数の前記基準電圧パッドが 1 つの前記信号パッド
の 3 方を囲む位置に配置されている

請求項 2 に記載の半導体装置。

10

20

30

40

50

【請求項 9】

前記パッド列が前記周縁辺に沿って複数配置され、
複数の前記パッド列内において、所定数の前記基準電圧パッドが1つの前記信号パッドの3方を囲む位置に配置されている
請求項7に記載の半導体装置。

【請求項 10】

前記1本の帯状の導電層からなる前記基準電圧ワイヤ接合部と、当該基準電圧ワイヤ接合部から延びる2本の分岐部とによって、前記信号ワイヤ接合部の3方が囲まれている
請求項9に記載の半導体装置。

【請求項 11】

半導体基板と、
前記半導体基板に形成されている回路と、
信号、電源電圧、基準電圧に対応して前記回路と電氣的に接続し、前記半導体基板の主面内で最も近い周縁辺と直交する方向に直線状に並んで配置されている複数のパッドと、
を有し、
前記複数のパッドが直線状に並ぶパッド列内で前記信号の入出力のための信号パッドが前記周縁辺から最も遠い側に配置されている
半導体集積回路。

10

【請求項 12】

前記パッド列内で前記周縁辺から近い順に、電源電圧パッド、基準電圧パッドおよび前記信号パッドが配置されている
請求項11に記載の半導体集積回路。

20

【請求項 13】

前記パッド列が前記周縁辺に沿って複数配置され、
複数の前記パッド列内において、所定数の前記基準電圧パッドが1つの前記信号パッドの3方を囲む位置に配置されている
請求項11に記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、半導体基板と実装基板間に複数のワイヤを架橋して、信号、電源電圧および基準電圧の入出力のための接続を達成している半導体装置と、当該半導体装置に好適に用いることができるパッド配置の半導体集積回路（半導体チップ）とに関する。

【背景技術】**【0002】**

半導体集積回路（半導体チップ）は、信号を入出力し、または、電源供給のためにチップ主面の周縁部にワイヤを接合（ボンディング）するためのパッドを複数配置している。

【0003】

近年、パッドを配置するチップ主面内の領域が不足している。
原因は幾つかあるが、第1に、半導体プロセスの微細化にワイヤボンディングの技術が追従できていないことが挙げられる。ワイヤボンディングに必要なパッドサイズは組立技術、特にワイヤボンディング装置の仕様等により決定される。一般に、信頼性を確保しながらワイヤ径や接合部分を微細化することは難しい。一方、半導体チップに形成される回路はプロセス微細化により大幅に面積が削減される。したがって、プロセス技術の進歩で半導体デバイスの微細加工が可能となり、同じ機能を実現するチップサイズが小さくできる場合でも、ワイヤボンディングに関する組立技術の制約から、パッドサイズを極端に縮小することができない。その結果、同じ機能の半導体チップをダウンサイジングした場合、その周縁部に配置できるパッドの数が少なくなっている。

40

【0004】

50

第2に、半導体チップの高機能化、高性能化がパッド不足の要因となっている。

様々な機能を半導体チップに内蔵させることが求められ、結果的に半導体チップ外に引き出す信号数が増加している。例えば、外部メモリバスのビット長が増加することによって、メモリ関連の必要なパッド数も増加する傾向にある。

【0005】

第3に、半導体チップ間インターフェースの高速化が、パッド不足の要因となっている。

高速インターフェースでは、電源・グラウンドバウンスといった電源ノイズを抑制しなければならない。そのため、より多数の電源電圧パッド、グラウンドパッドが必要となる。さらに、高速な信号線にはシールドのためのグラウンドパッドが必要である。よって、

10

【0006】

このように様々な要因によって生じるパッド不足に対して、フリップチップ実装などの解決策もある。ただし、フリップチップ実装などの新たな実装方法を採用すると、実装時に必要となる材料費などのコストが増加する傾向にある。また、ワイヤボンディングを用いた実装のために現有する装置の延命を図って、製造コストを可能な限り抑制したいという要望もある。

【0007】

ワイヤボンディングのパッド不足を解消するために、あるいは、ノイズ抑制の目的で、パッド配置に関する様々な提案がされている（例えば、特許文献1、2参照）。

20

【0008】

特許文献1に記載の技術では、回路の出力段である出力（I/O）バッファを用いて、外部に入出力する信号ごとに電源電圧パッドとグラウンドパッドの少なくとも1つを設けている。特許文献1の記載では、これにより、出力バッファで生じる電源ノイズを低減できるとしている。また、信号パッド、電源電圧パッド、グラウンドパッドを、チップのスクライブラインに垂直な方向で一列に配置している。これにより、このようなノイズ対策を追加しても、チップ外周に平行な方向に並ぶパッド数が増加しない。このため、チップの外形を拡大することでチップサイズの増加や集積度の低下を抑えながら、電源ノイズを低減することができる。特許文献1には記載されている。

【0009】

30

特許文献2に記載の技術は、上記特許文献1と同様に、チップの周縁（スクライブライン）と垂直な方向にパッドが複数配置されるパッド配置を開示する。特に特許文献2では、これらの複数のパッドを異なる配線層で形成することを特徴とする。この特徴は、多数の出力（I/O）バッファが高密度に配置された場合でも、この多数のI/Oバッファの各々から1対1でパッドをチップの周縁部に引き出すことを可能とするものである。

一方、特許文献2には、ワイヤボンディングのチップ断面方向の構成図が示されている（図6）。この構成図によると、チップ側のワイヤボンディング箇所が、チップ表面から深い位置の配線層（1層目や2層目の配線層）となっている。また、実装基板側のワイヤボンディング箇所が、実装基板に段差を設けることで規定されている。このため、リード（ワイヤ）が高さを変えた3段構成のワイヤ配置が例示される。この構成では、ワイヤ同士が互いに接触することを回避できる。

40

【特許文献1】特開2000-252363号公報

【特許文献2】特開2005-252095号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献1に記載の技術では、信号線ごとに電源やグラウンドの端子（パッドからワイヤを介して実装基板に引き出されるリード部分）が設けられている。より詳細な実施例では、スクライブラインに対して垂直な列で信号、グラウンド、電源の各パッドが、この順で配置されている。また、実装基板側では、信号のワイヤ接合部を挟んで、スクライブラ

50

インと平行な方向の一方側に電源のワイヤ接合部が、他方側にグラウンドのワイヤ接合部が配置されている。

この構成は、信号線と対で電源線やグラウンド線が設けられているため、電源線やグラウンド線の配置密度が低いものと比べると、電源ノイズの低減には一定の効果があると考えられる。

【0011】

特許文献1には、チップ側で1列にパッドを配置するが、実装基板側では、チップのパッド列に対して直交する方向にワイヤ接合部が設けられている。このため、このような構成を多数近接させると、ワイヤ間の距離が接近する箇所が生じ、駆動周波数が高いと、このことにより電源ノイズが信号線に干渉することが発生しやすくなる。言い換えると、特許文献1に記載されているチップ側のパッド配置と、実装基板側のワイヤ接合部配置との組み合わせでは、ワイヤ間の容量結合を介してクロストークノイズが信号線に重畳する可能性が考慮されていない。

10

また、このようなパッドとワイヤ接合部の配置は、ワイヤ接触の原因ともなる。

【0012】

一方、特許文献2は、ワイヤ接触を防止するために、チップに設けられるパッドの基板表面からの位置(深さ)を変え、かつ、実装基板に段差を設けてワイヤ接合位置を変えることが開示されている。

ワイヤ接触だけを考慮した場合、このような構成でも効果があると考えられる。

【0013】

しかしながら、特許文献2は複数の信号線リードの高密度実装をワイヤの高さを変えて実現する技術に関するものである。したがって、特許文献2には、電源やグラウンドに関する記載がなく、信号に対するノイズ低減は全く考慮されていない。

20

【0014】

本発明は、高密度な配置としても信号を入出力する経路にクロストークノイズが重畳しにくいワイヤ接続構造を実現した半導体装置を提供するためのものである。

また、本発明は、かかる半導体装置に好適に使用できる半導体集積回路を提供するものである。

【課題を解決するための手段】

【0015】

本発明に関わる半導体装置は、回路が形成されている半導体基板と、前記半導体基板の裏面と接合する実装基板と、信号、電源電圧、基準電圧に対応して前記回路と電氣的に接続し、前記半導体基板の一主面内で最も近い周縁辺と直交する方向に直線状に並んで配置されている複数のパッドと、一方端が前記複数のパッドに接合している複数のワイヤと、前記実装基板に形成され、前記複数のワイヤの他方端が接合している複数のワイヤ接合部と、を有する。前記複数のパッドが直線状に並ぶパッド列内で前記信号の入出力のための信号パッドが前記周縁辺から最も遠い側に配置され、前記複数のワイヤ接合部のうち前記信号を入出力するための信号ワイヤ接合部が、他のワイヤ接合部よりも前記半導体基板から遠い、前記実装基板上の位置に配置されている。

30

本発明では好適に、前記複数のパッドと前記複数のワイヤ接合部を1対1で接合する複数のワイヤが、ワイヤごとにループ高さを変えて架橋されている。

40

さらに好適に、前記複数のワイヤは、前記パッド列のパッド中心を結ぶ直線の延長線に沿う向きで、ワイヤごとにループ高さを変えながら架橋されている。

【0016】

本発明の好適な一形態では、前記パッド列内で前記周縁辺から近い順に、電源電圧パッド、基準電圧パッドおよび前記信号パッドが配置され、前記電源電圧パッド、前記基準電圧パッドおよび前記信号パッドのそれぞれにワイヤにより電氣的に接続する、電源電圧ワイヤ接合部、基準電圧ワイヤ接合部および信号ワイヤ接合部の前記実装基板上の位置が、この順で前記周縁辺から次第に遠い。

さらに好適に、前記複数のパッドと前記複数のワイヤ接合部を1対1で接合する複数の

50

ワイヤは、ワイヤごとにループ高さを変えて架橋され、ループ高さが高い方から順に信号、基準電圧、電源電圧を伝播する各ワイヤの配置となっている。

さらに好適に、前記複数のワイヤは、前記パッド列のパッド中心を結ぶ直線の延長線に沿う向きで、ワイヤごとにループ高さを変えながら架橋されている。

【0017】

上記好適な一形態では、さらに好適に、前記パッド列が前記周縁辺に沿って複数配置され、前記電源電圧ワイヤ接合部と前記基準電圧ワイヤ接合部は、それぞれ、複数の前記パッド列に対して共通な1本の帯状の導電層として前記実装基板上に配置されている。

上記好適な一形態では、さらに好適に、前記パッド列が前記周縁辺に沿って複数配置され、複数の前記パッド列内において、所定数の前記基準電圧パッドが1つの前記信号パッドの3方を囲む位置に配置されている。

さらに好適に、前記1本の帯状の導電層からなる前記基準電圧ワイヤ接合部と、当該基準電圧ワイヤ接合部から延びる2本の分岐部とによって、前記信号ワイヤ接合部の3方が囲まれている。

【0018】

以上の構成によれば、半導体基板上の複数のパッドが、周縁辺と直交する方向に直線状配置となっている。一方で、実装基板上の複数のワイヤ接合部において、半導体基板（周縁辺）からの距離に違いがある。とくに、半導体基板上のパッド列内で信号パッドが周縁辺から最も遠く、これに対応する実装基板上の信号ワイヤ接合部は、他のワイヤ接合部より半導体基板（周縁辺）から最も遠い位置に配置されている。よって、信号パッドと信号ワイヤ接続部を結ぶ信号ワイヤは、パッド列のパッド中心を結ぶ直線の延長線に沿って架橋することができる。

他の電源電圧や基準電圧に関するパッドやワイヤ接合部の位置に制限はない。ただし、最も遠い箇所である信号パッドと信号ワイヤ接合部とが信号ワイヤで結ばれているため、その内側の領域で電源電圧や基準電圧のパッドとワイヤ接合部とのワイヤボンディングがなされる。

【0019】

好ましい形態では、電源電圧パッドが周縁辺に最も近い。この場合、基準電圧パッドと基準電圧ワイヤ接合部とを接続する基準電圧ワイヤが、必然的に、電源電圧の印加部分と信号の印加部分との間に位置する。よって、信号のリターンパスとなる基準電圧のワイヤが信号ワイヤの直下を並走することになり、電位干渉（クロストークノイズ）の発生を抑えることができる。

【0020】

本発明に関わる半導体集積回路は、半導体基板と、前記半導体基板に形成されている回路と、信号、電源電圧、基準電圧に対応して前記回路と電気的に接続し、前記半導体基板の一主面内で最も近い周縁辺と直交する方向に直線状に並んで配置されている複数のパッドと、を有し、前記複数のパッドが直線状に並ぶパッド列内で前記信号の入出力のための信号パッドが前記周縁辺から最も遠い側に配置されている。

本発明では好適に、前記パッド列内で前記周縁辺から近い順に、電源電圧パッド、基準電圧パッドおよび前記信号パッドが配置されている。

さらに好適に、前記パッド列が前記周縁辺に沿って複数配置され、

複数の前記パッド列内において、所定数の前記基準電圧パッドが1つの前記信号パッドの3方を囲む位置に配置されている。

【発明の効果】

【0021】

本発明によれば、高密度な配置としても信号を入出力する経路にクロストークノイズが重畳しにくいワイヤ接続構造を実現した半導体装置を提供することができる。

また、本発明によれば、かかる半導体装置に好適に使用できる半導体集積回路を提供することができる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態を、インターポーザ（仲介基板）を介して半導体チップをプリント基板に実装する場合を例として、図面を参照して説明する。

【0023】

《第1実施形態》

図1（A）に、第1実施形態に関わる半導体装置の平面図を示す。図1（B）に、図1（A）のA-A線に沿った断面図を示す。

図1に図解する半導体装置1は、「インターポーザ」と称される実装基板2と、実装基板2上に裏面が接合している「半導体集積回路」としての半導体チップ3と、を有する。

実装基板2は、半導体チップ3が接合する部分にダイパッドと称される広い面積の導電層を有する。半導体チップ3は、シリコン基板等の半導体基板の表面側に回路を、半導体リソグラフィ技術を駆使して高密度に集積化して形成している。一方、半導体基板の裏面は通常、裏面メタルが形成されている。裏面メタルは半導体基板の主領域、シリコンのボディ領域と電氣的に低抵抗で接続されている。半導体基板（半導体チップ3）は、この裏面がダイパッドと電氣的、機械的に強固に接合されている。この接合には、導電性ペーストなどが用いられる。

【0024】

なお、半導体チップ3の裏面接続は、この例に限定されず機械的な接合のみでもよい。

【0025】

半導体チップ3は、回路が形成された後のシリコンウェハを矩形、ここでは正方形にダイシングしたものである。半導体チップ3の周縁辺（平面図で見た外周の4辺）に沿って、パッド配置領域3Aが設けられている。

【0026】

実装基板2の裏面に、例えば外周部に各辺に沿って、2列の外部端子が配置されている。外部端子4は、例えばハンダなどのボール形状や、ペレット形状（箱形、円筒形）を有する。

外部端子4の配置は任意であり、実装基板2の裏面に一様に形成してもよい。実装基板2の大きさが比較的大きくしてよい場合、図1（A）に透視して示すように、外部端子4は、実装基板2の外周部に複数列で設けられることが多い。

【0027】

実装基板2には、各外部端子4に接続するスルーホールが厚さ方向に基板を貫いて設けられ、これにより各外部端子4が、半導体チップが接合された実装基板2の上面側の配線と電氣的に接続されている。あるいは、実装基板2が多層基板から形成される場合、基板内の配線と層間（異なる層の配線間）を接続するビアホールを経由して、各外部端子4は、半導体チップが接合された実装基板2の上面側の配線と電氣的に接続されている。

【0028】

実装基板2の上面側、詳しくは、半導体チップ3がダイボンドされた周囲の面には、対応する外部端子4と電氣的に接続されるリード配線5がパターンニングされている。図1に示すリード配線5は、実装基板2が多層基板構造の場合、その上面に形成されたパターンのみならず、内部の層のパターンを含めて透視したときのパターンを示している。

リード配線5の半導体チップ側の先端部は、ボンディングワイヤの接合部（着地部分）となるため「ランド」と称される。本発明では、このランドを「ワイヤ接合部」と称する。

【0029】

本実施形態は、ノイズ耐性および配置効率が共に高い半導体チップのワイヤ接続構造、即ち、ワイヤボンディングのためのパッドとランド（ワイヤ接合部）の配置と、ワイヤによる接続構造を提案する。

【0030】

より詳細には、半導体チップ3の周縁辺と直交する方向に複数のパッドを配置する。この周縁辺と直交配置される複数のパッドを「パッド列」と称する。パッド列（複数のパッ

10

20

30

40

50

ド)と、対応する複数のワイヤ接合部とを、ワイヤの高さを調整することで各ワイヤを接触させずに、例えば、ほぼ一直線のボンディングにより相互に結合する。そのためには、少なくとも、信号パッドと、それに対応する信号ワイヤ接合部とが、半導体チップ3の周縁辺を基準として、最も遠い位置に対向して配置されることを特徴とする。こうすることで、信号パッドと信号ワイヤ接合部との内側に、他の電源電圧や基準電圧のためのパッドやワイヤ接合部が直線状に配置する余地が生まれ、そのため、上記のようなほぼ一直線のボンディングを可能とする。

【0031】

図2(A)に、図1の半導体チップ3の一辺に沿った領域とその周囲を一部拡大して示す。また、図2(B)に、図2(A)のA-A線に沿った実装基板の断面図を示す。

図2に示すパッド配置領域3A(図1参照)は、3つのパッドの帯が、半導体チップ3の周縁辺3Bに沿って配置されている。これにより、半導体チップ3の周縁辺3Bと直交する3つのパッド、即ち、信号パッドPs、「基準電圧パッド」としてのGNDパッドPg、および、「電源電圧パッド」としてのVDDパッドPdから1つのパッド列6_i($i = 0 \sim 7$)が形成されている。このうち、信号パッドPsが周縁辺3Bから最も遠いことが、本実施形態でパッド配置に関する最低限の要件である。GNDパッドPgとVDDパッドPdは逆でもよいが、信号に対しリターンパスを強化する意味では図2のようなパッド配置が好ましい。

【0032】

これら複数のパッド列の各パッドは、半導体基板に形成されている回路7内の対応するIO部に対し、信号、電源電圧または基準電圧の入出力が可能ないように接続されている。なお、図2では回路7がパッド列に隣接しているが、回路7がパッド列直下に存在する場合も含む。

【0033】

このパッド列に対応して、実装基板2側のワイヤ接合部も周縁辺3Bと直交する方向の列をなして配置されている。具体的には、周縁辺3Bから順に、「電源電圧ワイヤ接合部」としてのVDDランドLd、「基準電圧ワイヤ接合部」としてのGNDランドLg、および、信号ランドLsにより1つのランド列8_i($i = 0 \sim 7$)が形成されている。ここで「ランド列」は「ワイヤ接合部の列」を意味する。

【0034】

なお、図2(B)に示す実装基板2は多層基板構造を有するが、単層基板に図1(A)に示すリード配線5のパターンを形成したものでよい。

本実施形態では、VDDランドLdとGNDランドLgのそれぞれが、周縁辺3Bと平行なライン状に配置されているが、個々のランドはパターンとして分離されている。

【0035】

図2(B)に示すように、信号ワイヤWsの一端が信号パッドPsに接合され、信号ワイヤWsの他端が信号ランドLsに接合され、両者の電氣的接続がとられている。また、GNDパッドPgとGNDランドLgは、「基準電圧ワイヤ」としてのGNDワイヤWgにより接続されている。同様に、VDDパッドPdとVDDランドLdは、「電源電圧ワイヤ」としてのVDDワイヤWdにより接続されている。

このパッドとランドの接続は、他のパッド列(ランド列)でも同様である。

【0036】

これらのパッド列とランド列のワイヤボンディング構造において、図2(B)に代表して示すように、ワイヤ高さが信号ワイヤWsで最も高く、VDDワイヤWdで最も低く、GNDワイヤWgがそのほぼ中間となっている。そして、断面から見たワイヤ間距離が、ほぼ一定になっている。

【0037】

A-A線に対応するパッド列6₃の部分では、上面視で3つのワイヤ、即ち信号ワイヤWsとGNDワイヤWgとVDDワイヤWdが直線状にきれいに重なっている。

ところが、図2(A)の例では、パッドの周縁辺と平行な方向のピッチに対して、ラン

10

20

30

40

50

ド（ワイヤ接合部）の当該方向のピッチが、やや大きくなっている。このため、パッド列 6_3 から遠ざかるに従って、大局的には直線で重なるものの、厳密に言うと次第に 3 つのワイヤが僅かに角度をもって交差するようになり直線からずれてくる。また、ワイヤのボンディング位置やテンションに製造バラツキがあるため、厳密な意味で 3 つのワイヤが直線状にきれいに重なることはむしろ稀である。

【0038】

本実施形態では、「複数のワイヤは、パッド列のパッド中心を結ぶ直線の延長線に沿う向きで、ワイヤごとにループ高さを変えながら架橋されている」ことが特徴の 1 つである。ここで言う「直線の延長線に沿う向きで」とは、必ずきれいな直線で重なることを意味しない。この言葉は、大まかに直線となるようにワイヤが形成されるという意味である。よって、本実施形態では、上記ピッチの違いによる僅かなワイヤ間に角度があることや製造バラツキにより複数のワイヤが直線状に重ならない場合があることは許容される。

10

このような製造バラツキは、断面でワイヤ間の距離が厳密には一定とならないことの要因としても許容される。

【0039】

本実施形態によれば、信号ワイヤ W_s の直下に GND ワイヤ W_g が配置されるため、信号配線のループインダクタが小さくなり、信号の透過特性（信号をスムーズに伝達する特性）が向上し、その結果、クロストークが抑制される。このことは、特に駆動周波数が高くなるほど大きな利点となる。

以上より、本実施形態では、クロストークノイズの防止または抑制と、パッド等の高密度配置の両立が可能となっている。

20

【0040】

《第 2 実施形態》

図 3 (A) に、図 1 の半導体チップ 3 の一辺に沿った領域とその周囲を一部拡大して示す。また、図 3 (B) に、図 3 (A) の A - A 線に沿った実装基板の断面図を示す。この図 3 は、第 2 実施形態に関わる。

図 3 に示す第 2 実施形態のワイヤ接続構造においては、第 1 実施形態と同様に、半導体チップ 3 の周縁辺 3B と直交する方向に複数のパッド（信号パッド P_s 、GND パッド P_g および VDD パッド P_d ）が配置されている。このとき信号パッド P_s は、半導体チップ 3 の最も内側（回路 7 側）に配置する。また、このことに対応して、「信号ワイヤ接合部」としての信号ランド L_s を半導体チップ 3（周縁辺 3B）から最も遠い位置に配置している。

30

以上の点は、第 1 実施形態と第 2 実施形態で共通する。

【0041】

第 1 実施形態を示す図 2 (A) では、VDD ランド L_d と GND ランド L_g のそれぞれが、ランド列 8_i のそれぞれで孤立して設けられていた。

これに対し、第 2 実施形態では、図 3 (A) に示すように、図 2 (A) に示す VDD ランド L_d を、周縁辺 3B と平行な帯状につなげたような VDD ライン 8d を設けている。また、図 2 (A) に示す GND ランド L_g を、周縁辺 3B と平行な帯状につなげたような GND ライン 8g を設けている。

40

これらのラインは、図 1 のような全体図で見ると、半導体チップ 3 を囲む 2 重のリング状のパターンを形成する。

【0042】

ただし、1 つのパッド列で見ると、そのパッド列のパッド中心を結ぶ直線の延長線上に、「ワイヤ接合部の列」すなわち、図 3 (A) の場合、VDD ライン 8d と、GND ライン 8g と、信号ランド L_s からなるランド列 8_i が配置されていることに変わりがない。

よって、第 1 実施形態と同様なワイヤをほぼ直線に重ねるボンディングが可能である。

第 1 実施形態と同様に半導体チップ 3 の外側程、高さを抑えたワイヤリングを行い、同一直線上でも接触しないようになっている。また、第 1 実施形態と同様、パッド数増加の

50

効果がある。信号ワイヤ W_s の直下に GND ワイヤ W_g が存在することで、信号配線のループインダクタンスが小さくなる。

第2実施形態では、これらの利点に加え、 VDD ライン 8_d や GND ライン 8_g の配線容量が大きいため、急激な電位変動を吸収する効果がある。よって、電源電圧や基準電圧（グラウンド電圧）で保持している箇所が、自身からのクロストークノイズの発生を抑えるような効果がある。

よって、第2実施形態では、クロストークノイズの発生を抑えつつ、隣接信号からのクロストークノイズの影響を受けにくくし、信号のノイズ特性が、第1実施形態よりさらにアップするといった効果がある。

【0043】

10

《第3実施形態》

図4(A)に、図1の半導体チップ3の一辺に沿った領域とその周囲を一部拡大して示す。また、図4(B)に、図4(A)のA-A線に沿った実装基板の断面図を示す。この図4は、図3を一部変更した第3実施形態に関わる。

図4に示す第3実施形態のワイヤ接続構造は、図3に示す第2実施形態から、以下の点で変更されている。

【0044】

通常、クロック信号のような非常に重要な信号はシールド配線を並走するなどして、他信号からのノイズを遮断している。しかしながら、従来のワイヤボンディング部分では周りを完全にグラウンドでシールドできなかった。

20

【0045】

重要な信号については、その周囲のパッド列に他の信号が割り当てられた信号パッド P_s を設けず、シールドのためのパッド列として利用する。

例えば、図4(A)に示すように、重要な信号が割り当てられた信号パッド P_s に対し、周縁辺 3_B と平行な方向の両側に隣接する2つのパッドを、 GND パッド P_g として使用する。信号パッド P_s と同じパッド列が有する GND パッド P_g の両側の2つパッドは、最初から GND パッド P_g である。そのため、重要な信号が割り当てられた信号パッド P_s に対し、その3方が GND 電位で囲まれたシールド構造が形成される。このシールド構造は、ワイヤの架橋途中でも同様に維持されているため、重要な信号に、ノイズが飛び込まなくなる。つまり、この信号に限ると、第1～第2実施形態に示すどの信号よりクロストークノイズを低減して、その S/N 比を大きくできる。

30

【0046】

さらに望ましくは、図4(A)の実装基板2側に示すように、重要な信号が伝達されるリード配線 5_s の両側にも GND 配線を形成する。

より詳細には、 GND ライン 8_g から分岐した2本の分岐線 $8_g b_1$ と $8_g b_2$ を、リード配線 5_s と平行に配線する。この分岐線の配線スペースのため、図2や図3でランド列 8_{-3} の両側に形成されていたランド列 8_{-2} と 8_{-4} は形成されない。しかし、この両側の部分に対応する半導体チップ3側のパッド部も、 GND パッド P_g の追加によって、本来なら信号パッドとなるパッドが犠牲になっているため、ランド列 8_{-2} と 8_{-4} は形成する必要がない。つまり、半導体チップ3側のパッドによるシールド構造の形成によって、実装基板2側で無駄となるスペースを有効利用して、分岐線 $8_g b_1$ と $8_g b_2$ を形成している。

40

【0047】

このように分岐線を形成すると、図4に示すワイヤ接続構造全体で完全なシールドがなされ、非常に強固なシールド効果が得られる。

【0048】

《第4実施形態》

図5(A)に、図1の半導体チップ3の一辺に沿った領域とその周囲を一部拡大して示す。また、図5(B)に、図5(A)のA-A線に沿った実装基板の断面図を示す。この図5は、図3を一部変更した第4実施形態に関わる。この変更は、図2や図4に対しても

50

同様に行うことが可能である。ここでは一例として、第2実施形態に対する変更を、第4実施形態として説明する。

【0049】

半導体チップ3外周側に配置されたGNDパッドPg、VDDパッドPdのそれぞれは、隣接したパッドもほぼ同電位である。よって、GNDパッドPg同士、VDDパッドPdをリング状に接続しても動作上問題となることはない。

本実施形態では、図5(A)に示すように、これら隣接した同電位の電源やグラウンドのパッド同士をお互いに接続し、帯もしくはリング状のパッド、即ちVDDライン6dとGNDライン6gを形成する。これにより半導体チップ3内部の電源ラインのインピーダンスを低減する効果が期待できる。

10

【0050】

図5の例では、インターポーザ側の電源・グラウンドもリングもしくは帯状のランド(GNDライン8gおよびVDDライン8d)となっているため、信号ワイヤの直下以外にも信号ワイヤWsやGNDワイヤWgを自由に追加することが可能となり、電源線やグラウンド線がノイズ変動しにくくなるという更なるノイズ対策の強化が可能となる。

なお、信号ワイヤWsやGNDワイヤWgの追加は、図3や図4でも可能である。

【0051】

<変形例>

上記第1～第4実施形態を任意に組み合わせることは自由である。

また、上記実施形態は、インターポーザが実装基板の例である場合を示すものである。しかし、半導体集積回路(半導体チップ33)を、プリント基板に直接実装してもよい。この場合、上述したワイヤ接合部の配置は、プリント基板に形成されている。この場合、プリント基板が「実装基板」の例となる。また、このワイヤ接合部の配置がなされた小型のプリント基板に半導体チップ33を実装してモジュール化し、さらに、このモジュールをマザー基板に実装する構成でもよい。この場合、このモジュール化のための小型のプリント基板が「実装基板」の例となる。

20

【0052】

以上の説明では、適宜、実施形態の効果を述べたが、以下に、従来のフリップチップ実装やパッドの千鳥配置に対する効果(利点)を述べる。

【0053】

パッド不足に対する1つの解決策として、フリップチップ実装がある。これは、2次元のレイ状にパッドを配置した半導体チップ3を裏返し、 bumps等を用いて実装基板(例えばインターポーザ)と接続する実装技術である。

30

【0054】

ワイヤを用いるパッドと実装基板間の接続方法では、パッドを半導体チップの周縁部に配置する必要がある。これに対し、フリップチップ実装の場合はその制約が無い分、自由にパッド数を増加させることが可能となる。また、フリップチップ実装は、ワイヤボンドを用いる実装に比べ、隣接信号間のクロストークノイズを低減できる方法でもあり、パッド密度を上げた場合の特性低下も小さい。

【0055】

以上のように、パッド数不足を解消するにはフリップチップ実装が一つの解であることは間違いない。しかしながら、フリップチップの場合、接続するインターポーザを半導体チップのパッドピッチと同レベルの配線ルールで描く必要があり、パッケージのコストアップは避けられない。特にロウエンド向けの製品の場合はこのコストアップは許容できるレベルではなく、ワイヤボンドによる実装が採用されることが多い。また、ハイエンド向けの製品であっても、複数の半導体チップを立積みするような構造の場合、そもそもフリップチップ実装は採用することができない。

40

以上のような理由で、ワイヤボンド実装を使用しつつもパッド不足問題を解決したいという要求は根強い。

【0056】

50

一方、ワイヤボンダ実装を採用しつつパッド数を増やす方法としては、パッドを千鳥配置する方法が採用可能である。しかしながら、この方法を採用してもパッド数を最大でも2倍にしか増やすことしかできない。さらに、パッドを千鳥に配置するため、どのパッドに信号、電源電圧、グラウンド電圧を割り当てるかを、半導体チップ設計者側、インターポーザ設計者側の双方から詰めなければならず、設計期間の増大を招いてしまう。また、特性的な問題としては、隣接ワイヤの間隔が狭くなってしまいうため、クロストークノイズが増大する。

【0057】

また、本発明の実施形態によれば、単位パッドを周縁辺3Bに対して直交する配置では得られないクロストークノイズの低減に有利なワイヤ接続構造を提供できる。

10

【0058】

以上より、ワイヤボンディングのためのパッド数を増やすことが可能となる。また、信号ワイヤの直下を、電源電圧または基準電圧（例えばグラウンド電圧）が印加されたワイヤが通ることで、信号と電源電圧間、信号と基準電圧（グラウンド）間のループインダクタンスが低減でき、信号品質が改善される。さらに隣接パッドをシールド配線とすることで、ワイヤ部分においても非常に強固なシールドの実装が容易に可能となる。さらに、実装基板側でも分岐線によりシールド構造とすれば、ほぼ完全なシールド効果が得られる。

【図面の簡単な説明】

【0059】

【図1】第1～第4実施形態に関わる半導体装置の平面図と断面から見た構造図である。

20

【図2】第1実施形態に関わるワイヤ接続部分の拡大された平面図と断面構造図である。

【図3】第2実施形態に関わるワイヤ接続部分の拡大された平面図と断面構造図である。

【図4】第3実施形態に関わるワイヤ接続部分の拡大された平面図と断面構造図である。

【図5】第4実施形態に関わるワイヤ接続部分の拡大された平面図と断面構造図である。

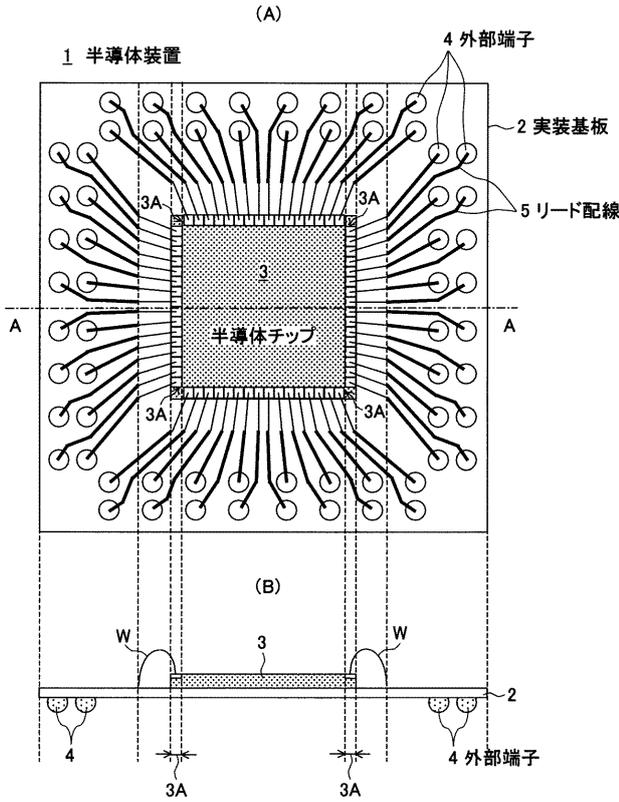
【符号の説明】

【0060】

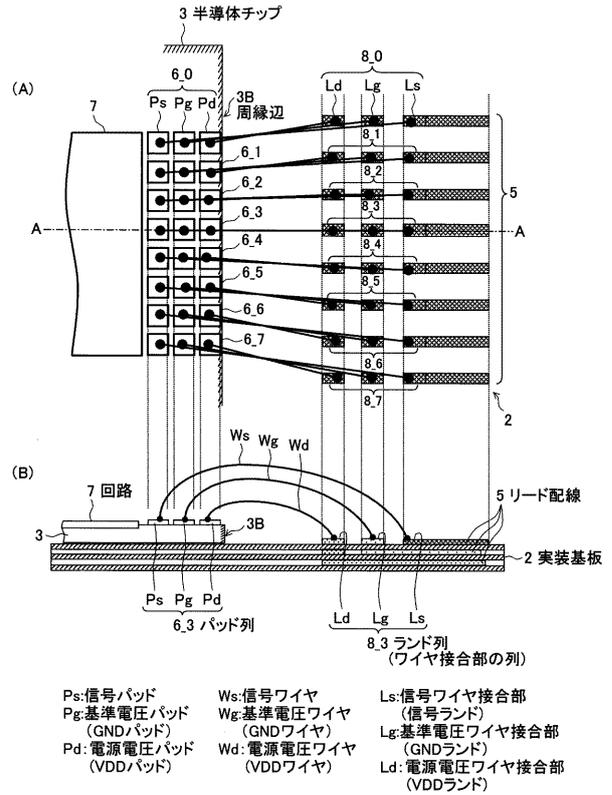
1...半導体装置、2...実装基板、3...半導体チップ、3A...パッド配置領域、3B...周縁辺、4...外部端子、5, 5s...リード配線、6_i...パッド列、6_g, 8_g...GNDライン、6_d, 8_d...VDDライン、7...回路、8_i...ランド列、8_{gb1}, 8_{gb2}...分岐線、P_s...信号パッド、P_g...GNDパッド、P_d...VDDパッド、W_s...信号ワイヤ、W_g...GNDワイヤ、W_d...VDDワイヤ、L_s...信号ランド、L_g...GNDランド、L_d...VDDランド

30

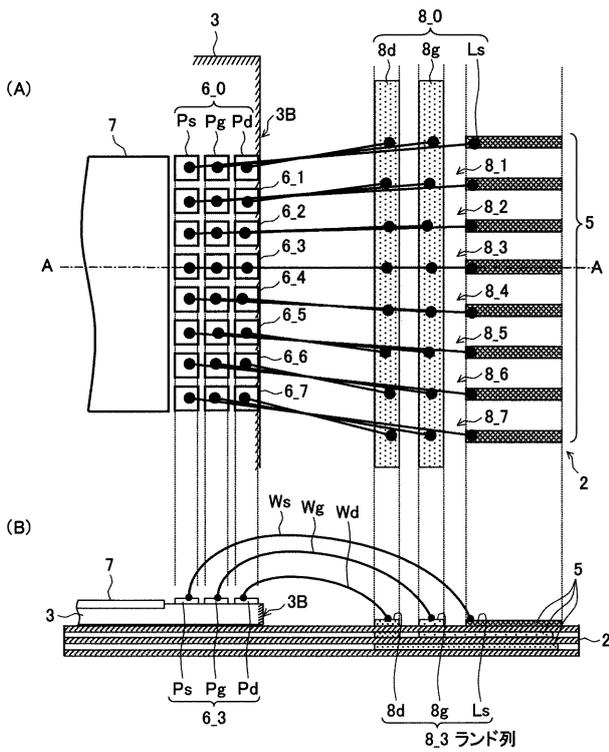
【図1】



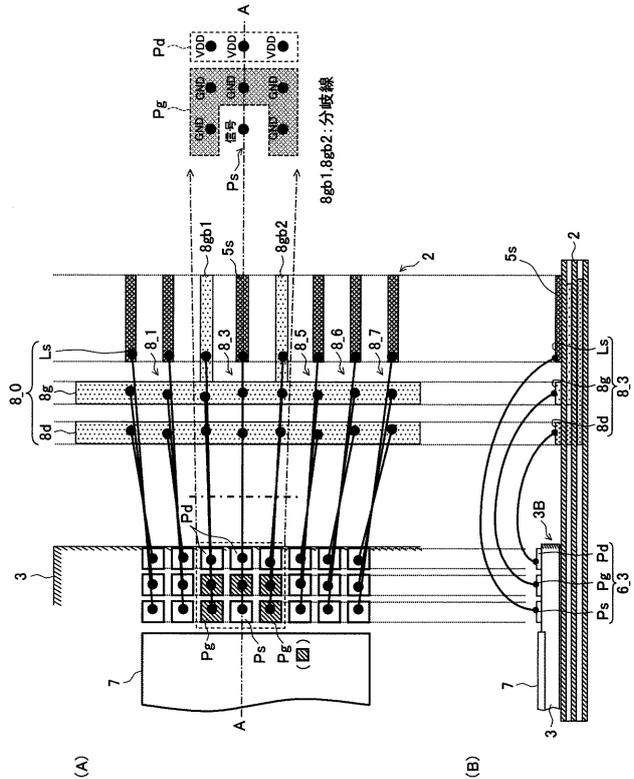
【図2】



【図3】



【図4】



【 図 5 】

