

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11C 16/10 (2006.01)  
G11C 7/10 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200580046901.3

[43] 公开日 2008年1月16日

[11] 公开号 CN 101107673A

[22] 申请日 2005.11.28  
 [21] 申请号 200580046901.3  
 [30] 优先权  
     [32] 2004.12.14 [33] US [31] 11/013,125  
 [86] 国际申请 PCT/US2005/043020 2005.11.28  
 [87] 国际公布 WO2006/065518 英 2006.6.22  
 [85] 进入国家阶段日期 2007.7.19  
 [71] 申请人 桑迪士克股份有限公司  
     地址 美国加利福尼亚州  
 [72] 发明人 瑟吉·阿纳托利耶维奇·戈罗别茨  
             李彦

[74] 专利代理机构 北京律盟知识产权代理有限公司  
 代理人 刘国伟

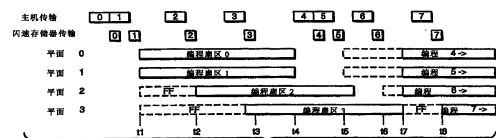
权利要求书 4 页 说明书 19 页 附图 12 页

## [54] 发明名称

使用早期数据对非易失性存储器进行管线式编程

## [57] 摘要

本发明提供存储器系统藉以中断编程过程并在包含额外数据后重新开始所述编程过程的技术。更具体来说，当存储器系统将数据一起编程到作为编程单位的一单元群组中时，编程可以少于所述群组可容纳的全部数据内容来开始。在一个实施例中，本发明允许对上数据页面与下数据页面进行重叠编程，其中一旦存储器开始编程所述下逻辑数据页面，如果接收到指配给同一物理页面的上页面的数据，则中断编程并以同时编程所述上页面与所述下页面二者而重新开始。在一互补实施例中，当一页面包含多个数据扇区时，对所述物理页面的编程可在已接收到、已停止并已重新起始形成对应逻辑页面的扇区中的一个或多个、但非全部扇区以包含所述页面的额外扇区时开始。



1、一种对非易失性存储器进行编程的方法，其中在编程操作过程中，将数据写入至多个形成在物理页面内的多状态存储单元内，所述方法包括：

接收指配给物理页面的第一数据内容，其中所述第一数据内容为所述物理页面的存储单元规定少于全部可存储的所述数据内容；

开始所述第一数据内容至所述物理页面的编程操作；

在所述接收所述第一数据内容之后且在完成所述第一数据内容的所述编程操作之前，为所述物理页面的所述存储单元接收额外数据内容；

在所述接收额外数据内容之后且在完成所述第一数据内容的所述编程操作之前，中断所述第一数据内容的编程操作；及

开始所述第一数据内容与所述额外数据内容至所述物理页面的同时编程操作。

2、如权利要求1所述的方法，其中所述第一数据内容是下数据页面且所述额外内容是上数据页面。

3、如权利要求1所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之前，判定所述额外数据内容被指配至与所述第一数据内容相同的物理页面。

4、如权利要求1所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，验证所述物理页面的存储单元的状态。

5、如权利要求4所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，使一个或多个编程参数复位。

6、如权利要求5所述的方法，其中所述编程操作使用包含一系列量值增大的脉冲的编程波形。

7、如权利要求6所述的方法，其中所述一个或多个编程参数包括所述编程波形的幅值。

8、如权利要求6所述的方法，其中所述一个或多个编程参数包括最大脉冲数量。

9、如权利要求6所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，验证所述物理页面的存储单元的状态，其中所述编程参数是根据所述存储单元的所述状态来设定。

10、如权利要求1所述的方法，其中所述第一数据内容至所述物理页面的所述编程操作包括对于所述物理页面中未规定的的数据内容写入空白数据。

11、如权利要求1所述的方法，其进一步包括：

在所述接收所述第一数据内容之后且在完成所述第一数据内容与所述额外数据内容至所述物理页面的同时编程操作之前，在所述存储器中所述物理页面以外的一部分中起始另一编程操作。

12、一种对非易失性存储器进行编程的方法，其中在编程操作过程中将数据写入至具有多个存储单元的物理页面内，所述方法包括：

接收指配给物理页面的第一数据内容，其中所述第一数据内容为少于形成所述物理页面的全部所述存储单元规定数据内容；

开始所述第一数据内容至所述物理页面的编程操作；

在所述接收第一数据内容之后且在完成所述第一数据内容的所述编程操作之前，为所述物理页面中所述第一数据内容未为其规定数据的一个或多个额外存储单元接收额外数据内容；

在所述接收额外数据内容之后且在完成所述第一数据内容的编程操作之前，中断所述第一数据内容的所述编程操作；及

随后开始所述第一数据内容与所述额外数据内容至所述物理页面的同时编程操作。

13、如权利要求 12 所述的方法，其中所述页面包括多个扇区，其中所述第一数据内容包括所述页面的一个或多个，但少于全部扇区，且所述额外数据内容包括所述页面的一个或多个扇区。

14、如权利要求 12 所述的方法，其中所述物理页面分布于所述非易失性存储器的多个平面中。

15、如权利要求 12 所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之前，判定所述额外数据内容被指配至与所述第一数据内容相同的物理页面。

16、如权利要求 12 所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，验证所述物理页面的存储单元的状态。

17、如权利要求 16 所述的方法，其进一步包括：

在验证所述物理页面的存储单元的状态之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，使一个或多个编程参数复位。

18、如权利要求 17 所述的方法，其中所述编程操作使用包含一系列量值增大的脉冲的编程波形。

19、如权利要求 18 所述的方法，其中所述一个或多个编程参数包括所述编程波形的幅值。

20、如权利要求 18 所述的方法，其中所述一个或多个编程参数包括最大脉冲数量。

21、如权利要求 12 所述的方法，其中所述第一数据内容至所述物理页面的所述

编程操作包括对于所述物理页面中未为其规定数据的所述存储单元写入空白数据。

22、如权利要求 12 所述的方法，其进一步包括：

在所述接收所述第一数据内容之后且在完成所述第一数据内容与所述额外数据内容至所述物理页面的同时编程操作之前，在所述存储器中所述物理页面以外的一部分中起始另一编程操作。

23、一种对非易失性存储器进行编程的方法，其中在编程操作过程中将数据写入至多个存储单元内，所述方法包括：

接收指配给所述多个存储单元的第一数据内容，其中所述第一数据内容为少于所述存储单元可包含的全部数据内容规定数据内容；

开始所述第一数据内容至所述多个存储单元的编程操作；

在所述接收第一数据内容之后且在完成所述第一数据内容的所述编程操作之前，接收所述多个存储单元可包含的额外数据内容；

在所述接收额外数据内容之后且在完成所述第一数据内容的编程操作之前，中断所述第一数据内容的所述编程操作；及

随后开始所述第一数据内容与所述额外数据内容至所述多个存储单元的同时编程操作。

24、如权利要求 23 所述的方法，其中所述多个存储单元是多状态存储单元且形成在存储多个逻辑页面的物理页面内，且其中所述第一数据内容为少于全部所述多个页面规定数据内容。

25、如权利要求 23 所述的方法，其中所述第一数据内容为少于全部所述存储单元规定数据内容且所述额外数据内容为所述存储单元中所述第一数据内容未为其规定数据的一个或多个额外存储单元规定数据内容。

26、如权利要求 26 所述的方法，其进一步包括：

在中断所述第一数据内容的编程操作之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，验证所述多个存储单元的状态。

27、如权利要求 26 所述的方法，其进一步包括：

在验证多个存储单元的状态之后且在开始所述第一数据内容与所述额外数据内容的同时编程操作之前，使一个或多个编程参数复位。

28、如权利要求 27 所述的方法，其中所述编程操作使用一包含一系列量值增大的脉冲的编程波形。

29、如权利要求 28 所述的方法，其中所述一个或多个编程参数包括所述编程波形的幅值。

30、如权利要求 28 所述的方法，其中所述一个或多个编程参数包括最大脉冲数量。

31、如权利要求 23 所述的方法，其中所述第一数据内容至所述多个存储单元的所述编程操作包括对于所述存储单元的未规定的的数据内容写入空白数据。

32、如权利要求 23 所述的方法，其进一步包括：

在所述接收所述第一数据内容之后且在完成所述第一数据内容与所述额外数据内容至所述多个存储单元的同时编程操作之前，在所述存储器的不包含所述多个存储单元的一部分中起始另一编程操作。

33、一种操作非易失性存储器，其中数据可从多个数据缓冲器同时编程至形成在物理页面内的多个存储单元内，所述方法包括：

执行编程操作，其中将数据从多个所述缓冲器写入至所述物理页面；

验证对应于所述多个缓冲器中一个或多个，但少于全部缓冲器的存储单元的数据内容被成功地写入；

对于对应于所述多个缓冲器中除对应于其内容经验证已被成功写入的存储单元的缓冲器以外的缓冲器的所述存储单元，继续所述编程操作；及

与所述继续所述编程操作同时，将新数据内容接收到对应于其内容经验证已被成功写入的存储单元的所述缓冲器内。

34、如权利要求 33 所述的方法，其中所述存储单元存储二进制数据。

35、如权利要求 33 所述的方法，其中所述存储单元存储多状态数据。

36、如权利要求 33 所述的方法，其中所述物理页面分布于所述非易失性存储器的多个平面中。

37、如权利要求 33 所述的方法，其中所述缓冲器中的每一者存储一个或多个数据扇区。

## 使用早期数据对非易失性存储器进行管线式编程

### 技术领域

本发明大体而言涉及一种非易失性存储器及其操作，更具体而言，涉及用于当在启动编程时最初不存在完整数据时提高多状态存储器的编程速度的技术。

### 背景技术

本发明的原理应用于各种类型的非易失性存储器—那些当前现有的非易失性存储器及那些设想使用正开发的新技术的非易失性存储器。然而，本发明的实施方案是参照—其中存储元件是浮动栅极的闪速电可擦可编程只读存储器（EEPROM）作为实例加以说明。

在当前的市售产品中，闪速 EEPROM 阵列中的每一浮动栅极存储元件通常通过以二进制模式工作来存储单位数据，其中将浮动栅极晶体管的两个阈值电平范围界定为存储电平。浮动栅极晶体管的阈值电平对应于存储于其浮动栅极上的电荷电平的范。在目前的趋势中，除缩小存储器阵列的尺寸外，还通过在每一浮动栅极晶体管中存储多于一位数据来进一步提高这些存储器阵列的数据存储密度。此是通过为每一浮动栅极晶体管界定多于两个阈值电平作为存储状态来实现的，目前在市售产品中是包含四个此种状态（每一浮动栅极存储元件 2 个数据位）。还设想了更多的存储状态，例如每一存储元件 16 种状态。每一浮动栅极存储器晶体管均具有一可在其中实际操作所述晶体管的特定阈电压总范围（窗口），且所述范围被划分成如果干种界定用于所述晶体管的状态加上各状态间的裕量，以使所述状态能够明显地相互区别。

随着每一存储单元中所存储状态数量的增加，对浮动栅极存储元件上所编程的电荷电平的任何偏移的容许度在降低。由于随着每一存储单元存储元件上所存储状态数量的增加，为每一存储状态所指定的电荷范围必定会变窄且更近地靠在一起，因而必须以提高的精确度来实施编程，且可容许的所存储电荷电平在任何编程后的偏移程度，无论是实际偏移还是视在偏移，均会降低。存储于一个单元中的电荷的实际偏移可在读取、编程及擦除其它与该单元具有一定程度电耦合的单元（例如那些位于同一列或行中的单元、及那些共享一条线或一个节点的单元）时受到干扰。

由于各存储元件之间存在场耦合，因而所存储电荷会出现视在偏移。目前，随着存储单元阵列大小正在减小且作为集成电路制造技术得到改良的结果，此种耦合的程度必然正在增大。在两组已在不同时刻进行编程的相邻单元之间，所述问题最为明显。对一组单元进行编程，以向其浮动栅极增加对应于一组数据的电荷电平。在使用第二

组数据对第二组单元进行编程后，由于第二组浮动栅极上的电荷与第一组相耦合的影响，自第一组单元的浮动栅极读取的电荷电平常常看起来不同于所编程的电荷电平。此阐述于第 5,867,429 号及第 5,930,167 号美国专利中，这些美国专利的全文以引用方式并入本文中。这些专利阐述了使这两组浮动栅极在实体上相互隔离，或者在读取第一组浮动栅极上的电荷时将第二组浮动栅极上电荷的影响考虑在内。此外，第 5,930,167 号专利阐述了仅以两种状态或以减小的裕量来选择性地编程一作为高速缓存的多状态存储器中各部分的方法，从而缩短为对数据实施初始编程所需的时间。然后，读取该数据并以多于两种状态或以增大的裕量将其重新编程入存储器内。

此种效应存在于各种类型的闪速 EEPROM 单元阵列中。其中一种设计的 NOR 阵列将其存储单元连接于相邻的位(列)线之间并将控制栅极连接至字(行)线。各单独的单元均包含一个浮动栅极晶体管并具有或不具有与其串联形成的选择晶体管，或包含由单个选择晶体管隔开的两个浮动栅极晶体管。

这些阵列及其在存储系统中的使用的实例在 SanDisK 公司的下列美国专利及待决申请案中给出，所述美国专利及待决申请案的全文以引用方式并入本文中：第 5,095,344 号、第 5,172,338 号、第 5,602,987 号、第 5,663,901 号、第 5,430,859 号、第 5,657,332 号、第 5,712,180 号、第 5,890,192 号及第 6,151,248 号专利，及于 2000 年 2 月 17 日提出申请的第 09/505,555 号、和在 2000 年 9 月 22 日提出申请的第 09/667,344 号待决申请案。

其中一种设计的 NAND 阵列具有许多存储单元(例如 8 个、16 个或甚至 32 个)，所述存储单元以串连的形式通过两端的选择晶体管连接于位线与参考电位之间。字线与不同串连中的单元的控制栅极相连接。这些阵列及其操作的相关实例在下列美国专利中给出，所述美国专利的全文以引用方式并入本文中：第 5,570,315 号、第 5,774,397 号、及第 6,046,935 号美国专利。简单地说，在两个步骤中将常常来自输入数据中不同逻辑页面的两个数据位编程为各单元的四种状态之一，首先根据一位数据将一个单元编程为一种状态，然后，如果所述数据使得有必要，则根据输入数据的第二位将所述单元重新编程为其各状态中的另一种状态。

如在这些专利中所述，一种用于对存储于这些多状态(或 MLC)存储器中的数据实施编码的常用技术是将一上数据页面与一下数据页面二者存储于同一组多电平单元中。该方案具有如下缺点：当事实上，下页面数据与上页面数据二者均将编程至同一物理页面内时，如果正在以下页面数据来编程 MLC 闪速存储器的物理页面，则用户(控制器)须等到所述编程结束时才能开始编程所述上页面数据。在这些设计中，还通常将数据写入一所包含数据量对应于多个数据传输单位的页面中。此会造成如下缺点：如果正局部地编程一闪速存储器，如当以比如仅单个扇区的数据来编程一多扇区或多平面页面时，用户(控制器)须等到编程结束时才能开始同一页面的另一局部编程。如果减小或者消除这些缺点，可提高非易失性存储器系统的性能。

## 发明内容

简要且大体而言，本发明提供使存储器系统中断编程过程并在包含额外数据后重新开始所述编程过程的技术。更具体而言，当存储器系统将数据编程入共同作为编程单位的单元群组内时，可用少于所述群组所能容纳的全部数据内容的数据内容来开始编程。如果在编程正在进行的同时有指配给所述群组的额外数据到达，则所述编程过程中断并确定存储单元的当前状态。然后，将所述额外数据并入正在编程的数据内并重新开始编程，直至完成为止或者直至有甚至更多的指配给所述群组的额外数据到达所述存储器为止。此使性能能够得到提高，因为对额外数据的编程可在额外数据到达时开始，而非要等到正在进行中的局部内容编程结束。

在本发明的一子方面中，本发明容许重叠地编程上数据页面与下数据页面。在一使用多遍式编程的多状态系统中，指配给存储器的物理页面的下逻辑数据页面开始编程。一旦指配给同一物理页面上逻辑数据页面传输至所述存储器，对所述下页面的编程即会中断，并确定所述下页面编程的状态。然后，存储器变换至多状态编程模式来同时写入所述上页面数据及下页面数据。此使在可得到下页面数据时，下页面数据能够立即开始编程，而无需等待一相关联的上页面。此还使在可得到上页面数据时，上页面数据能够立即开始编程，而无需等待第一遍编程结束在下页面中的写入。

在本发明的另一子方面中，一旦已指配给既定物理页面的数据得到传输，即可开始对一物理页面编程，即使所述数据对应于不足构成所述页面的全部平面。例如，当一页面包含多个数据扇区时，可在当已接收到构成对应逻辑页面的各扇区中的一个或多个扇区、但少于所有扇区时，开始编程所述物理页面。在所述局部页面编程开始后，假如有指配给正编程的页面的额外数据（例如额外扇区）传输至存储器，则所述局部页面编程中断，并确定所述局部页面的状态。然后，存储器将所述额外数据增加至所述写入中并重新开始编程。此使在可得到首先传输的数据时，所述首先传输的数据能够立即开始编程，而无需等待任何为完成所述页面所需的额外数据。此还使所述额外数据在得到传输后能够立即开始编程，而无需等到对页面中首先传输的部分的局部页面编程结束写入为止，从而实现管线化局部页面编程过程。此外，可使物理页面分布于存储器的多个平面中。

这些方面的一特定实施例使用阶梯形编程波形。当接收到额外数据时，可能需要重设阶梯的电平及其它相关参数，此视那时的编程进度而定。

本发明的其它方面、特征、优点及应用包括于下文对实例性实施例的说明中，所述说明应结合附图来阅读。

## 附图说明

图 1 是一非易失性存储器系统的方块图，其中阐述将构建的本发明的各方面；图 2 显示一现有电路及当存储单元阵列是 NAND 型时图 1 所示存储器阵列的组



织；

图 3 显示一形成于半导体衬底上的 NAND 型存储器阵列沿一系列的剖面图；

图 4 是图 3 所示存储器阵列沿其剖面 4-4 剖视的剖视图；

图 5 是图 3 所示存储器阵列沿其剖面 5-5 剖视的剖视图；

图 6 提供显示图 2-5 所示 NAND 存储单元阵列的实例性工作电压的表 1；

图 7 显示图 2-5 所示 NAND 存储单元阵列的另一特征；

图 8A 显示图 2-5 所示 NAND 存储单元阵列在以四状态形式工作时的一实例性现有电压分布；

图 8B 及 8C 是电压阈值电平分布，其显示一种用于编程图 2-5 所示存储单元阵列的多状态技术；

图 9 显示一可用于图 2-5 所示存储单元阵列中的实例性编程电压信号；

图 10A 及 10B 表示在现有技术中进行的对上 MLC 页面及下 MLC 页面的编程；

图 11A-11C 表示一种用于重叠上 MLC 页面编程与下 MLC 页面编程的方法的第一实施例；

图 12 表示可在现有技术中执行的局部页面编程；

图 13 显示一种管线化局部页面编程方法的第一实施例；及

图 14A 及 14B 显示一种管线化局部页面编程方法的第二实施例。

## 具体实施方式

### 实例性非易失性存储器系统

参照图 1-7，说明一其中实施本发明各个方面的特定非易失性存储器系统，从而提供明确的实例。图 1 是一闪速存储器系统的方块图。包括多个布置成矩阵形式的存储单元 M 的存储单元阵列 1 由列控制电路 2、行控制电路 3、c-源极控制电路 4 及 c-p-阱控制电路 5 来控制。列控制电路 2 连接至存储单元阵列 1 的位线 (BL)，以便读取存储于存储单元 (M) 中的数据、在编程操作期间确定存储单元 (M) 的状态、及控制位线 (BL) 的电位电平以促进编程或禁止编程。行控制电路 3 连接至字线 (WL)，以选择其中一条字线 (WL)、施加读取电压、施加与由列控制电路 2 所控制的位线电位电平相组合的编程电压、及施加与上面形成有存储单元 (M) 的 p-型区域 (在图 3 中标记为“c-p-阱”) 的电压相耦合的擦除电压。c-源极控制电路 4 控制一连接至存储单元 (M) 的共用源极线 (在图 2 中标记为“c-源极”)。c-p-阱控制电路 5 则控制 c-p-阱电压。

存储于存储单元 (M) 中的数据通过列控制电路 2 读出并经由 I/O 线及数据输入/输出缓冲器 6 输出至外部 I/O 线。要存储于存储单元中的编程数据经由外部 I/O 线输入至数据输入/输出缓冲器 6，并传输至列控制电路 2。外部 I/O 线连接至控制器 20。

用于控制闪速存储器装置的命令数据输入至一命令接口，所述命令接口连接至与

控制器 20 相连的外部控制线。命令数据会将所请求的是何种操作通知闪速存储器。输入命令被传输至状态机 8，状态机 8 控制列控制电路 2、行控制电路 3、c-源极控制电路 4、c-p-阱控制电路 5 及数据输入/输出缓冲器 6。状态机 8 可输出闪速存储器的状态数据，例如 READY/BUSY（准备就绪/忙）或 PASS/FAIL（成功/失败）。

控制器 20 连接或可连接一主机系统，例如个人计算机、数字照相机或个人数字助理。是由所述主机发出命令（例如向存储器阵列 1 存储或自存储器阵列 1 读取数据的命令），并分别提供或接收该数据。控制器将这些命令转换成可由命令电路 7 解译及执行的命令信号。控制器通常还包含用于将用户数据写入至存储器阵列或自存储器阵列读取用户数据的缓冲存储器。典型的存储器系统包含一个包含控制器 20 的集成电路芯片 21、及一个或多个分别包含一存储器阵列及相关联控制电路、输入/输出电路及状态机电路的集成电路芯片 22。当然，目前的趋势是将系统的存储器阵列及控制电路一同集成于一个或多个集成电路芯片上。所述存储器系统可嵌入作为主机系统的一部分，或者可包含于一可以可拆方式插入主机系统中一配合插座内的存储卡中。此一卡可包含整个存储器系统，或者可将带有相关联外围电路的控制器及存储器阵列设置于单独的卡中。

参照图 2 来说明存储单元阵列 1 的一实例性结构。阐述一 NAND 型闪速 EEPROM 作为一实例。在一特定实例中，将所述存储单元（M）划分成 1,024 个区块。存储于每一区块中的数据是同时受到擦除。因而，区块是可同时擦除的存储单元数量的最小单位。在每一区块中，在本实例中，均有 8,512 个列，其划分成偶数列及奇数列。位线还划分成偶数位线（BLe）及奇数位线（BLo）。在每一栅电极处连接至字线（WL0 至 WL3）的四个存储单元串联连接形成 NAND 单元单元或 NAND 串。NAND 单元单元的一个端子经由第一选择晶体管连接至对应的位线（BL）、另一端子则经由第二选择晶体管连接至 c-源极，所述第一选择晶体管的栅电极耦接至第一选择栅极线（SGD），所述第二选择晶体管的栅电极则耦接至第二选择栅极线（SGS）。尽管为简明起见，在图中显示在每一单元单元中包含四个浮动栅极晶体管，然而还可使用更大数量的晶体管，例如 8 个、16 个甚至 32 个。

在本实例中，在用户数据读取及编程操作过程中，同时选择 4,256 个单元（M）。所选单元（M）具有相同的字线（WL），例如 WL2，并具有相同种类的位线（BL），例如偶数位线 BLe0 至 BLe4255。因此，可同时读取或编程 532 个字节的数据，所述数据单位称作页面。由于在本实例中每一 NAND 串包含 4 个单元且每个感测放大器具有两条位线，因而一个区块可存储至少八个页面。当每一存储单元（M）存储两位数据时（即多电平存储单元），一个区块存储 16 个页面。在本实施例中，每一存储单元的存储元件（在本实例中为每一存储单元的浮动栅极）存储两位用户数据。

图 3 显示一在图 2 中所示意性显示的类型 NAND 单元单元沿位线（BL）方向的剖视图。在 p 型半导体衬底 9 的表面上，形成有 p 型区域 c-p-阱 11，所述 c-p-阱由 n 型区域 10 围绕以使所述 c-p-阱与所述 p 型衬底电绝缘。n 型区域 10 经由第一接触孔

(CB) 及 n 型扩散层 12 连接至由第一金属 M0 制成的 c-p-阱线。p 型区域 c-p-阱 11 还经由第一接触孔 (CB) 及 p 型扩散层 13 连接至所述 c-p-阱线。所述 c-p-阱线连接至 c-p-阱控制电路 5 (图 1)。

每一存储单元均具有：浮动栅极 (FG)，其存储对应于所述单元中所存储数据的电荷量；形成栅电极的字线 (WL)；及由 n 型扩散层 12 制成的汲电极和源电极。浮动栅极 (FG) 通过穿隧氧化物薄膜 (14) 形成于所述 c-p-阱的表面上。字线 (WL) 通过绝缘薄膜 (15) 堆叠于所述浮动栅极 (FG) 上。源电极经由第二选择晶体管 (S) 及第一接触孔 (CB) 连接至由第一金属 (M0) 制成的共用源极线 (c-源极)。所述共用源极线连接至 c-源极控制电路 (4)。汲电极经由所述第一选择晶体管 (S)、所述第一接触孔 (CB)、由第一金属 (M0) 制成的中间布线、及第二接触孔 (V1) 连接至位线 (BL)。所述位线则连接至列控制电路 (2)。

图 4 及 5 分别显示一存储单元 (图 3 中的剖面 4-4) 及一选择晶体管 (图 3 中的剖面 5-5) 沿字线 (WL2) 方向的剖视图。每一列均通过一形成于衬底中并填充有隔离材料的沟槽与相邻列相隔离，此称作浅沟槽隔离 (STI)。各浮动栅极 (FG) 通过 STI、绝缘薄膜 15 及字线 (WL) 而相互隔离。各浮动栅极 (FG) 之间的间距可处于 0.1  $\mu\text{m}$  数量级，且各浮动栅极之间的电容耦合可能会很显著。由于选择晶体管的栅电极 (SG) 是与浮动栅极 (FG) 和字线 (WL) 在相同的形成工艺步骤中形成，因而其显示出一堆栈的栅极结构。这两个选择栅极线 (SG) 在字线的端部处电短接于一起。

图 6 中的表 I 归纳了在一特定实例中所施加的用于操作存储单元阵列 1 的电压，其中每一存储单元浮动栅极存储两个位，具有如下状态之一："11"，"10"，"01"，"00"。所述表显示其中选择字线 "WL2" 及位线 "BL<sub>e</sub>" 进行读取及编程的情形。通过将所选区块的 c-p-阱升高至 20 V 的擦除电压并将各字线 (WL) 接地，可擦除所选区块的数据。由于未选区块的所有字线 (WL)、位线 (BL)、选择线 (SG) 及 c-源极均被置于浮动状态，因而这些字线 (WL)、位线 (BL)、选择线 (SG) 及 c-源极因与 c-p-阱的电容耦合而也升高至接近 20 V。因此，强电场仅施加至所选存储单元 (M) 的穿隧氧化物薄膜 14 (图 4 及 5)，且当穿隧电流流过穿隧氧化物薄膜 14 时，所选存储单元的数据被擦除。在本实例中，被擦除的单元是四种可能的编程状态中的一种，即 "11"。

为在编程操作过程中在浮动栅极 (FG) 中存储电子，将所选字线 WL2 连接至编程脉冲  $V_{\text{pgm}}$  并将所选位线 BL<sub>e</sub> 接地。另一方面，为禁止对其中将不进行编程的存储单元 (M) 编程，除所有未选位线 BL<sub>0</sub> 外，还将对应的位线 BL<sub>e</sub> 连接至正电压 V<sub>dd</sub> (例如 3 V)。未选字线 WL<sub>0</sub>、WL<sub>1</sub> 及 WL<sub>3</sub> 连接至 10 V，第一选择栅极 (SGD) 连接至 V<sub>dd</sub>，且第二选择栅极 (SGS) 接地。因此，正被编程的存储单元 (M) 的沟道电位被设定为 0 V。被禁止的单元的沟道电位则升高至约 6 V 左右，此是与字线 (WL) 之间的电容耦合上拉沟道电位的结果。如上文所解释，在编程过程中，强电场仅施加至存储单元 (M) 的穿隧氧化物薄膜 14，且穿隧电流以与擦除时相反的方向流过穿隧氧化物薄膜 14，然后逻辑状态自 "11" 变至其它状态 "10"，"01"，或 "00" 之一。还可选用

各种其它编码方案来代表所述状态，因而在后续论述中将使用标记 E（擦除）、A（最低阈值编程状态）、B（高于 A 的阈值）、及 C（最高阈值编程状态）。

在读取及验证操作中，选择栅极（SGD 及 SGS）及未选字线（WL0，WL1 及 WL3）升高至 4.5 V 的读取通过电压，以确保位线与共用源极线之间的电流可通过所述选择栅极（SGD 及 SGS）及未选字线（WL0，WL1 及 WL3）。所选字线（WL2）连接至一电压—其电平是针对每一读取及验证操作加以规定，以便判定所关心存储单元的阈电压是否已达到此电平。例如，在一 READ 10 操作（状态 A）中，将所选字线 WL2 接地，以检测出阈电压是否高于 0 V。在该读取情形中，可以说读取电平为 0 V。在 VERIFY01 操作（状态 C）中，所选字线 WL2 连接至 2.4V，因而验证阈电压是否已达到 2.4V。在该验证情形中，可以说验证电平为 2.4V。

所选位线（BLe）预充电至例如 0.7 V 的高电平。如果阈电压高于读取或验证电平，则所关心位线（BLe）的电位电平会因存储单元（M）不导通而保持高电平。另一方面，如果阈电压低于读取或验证电平，则所关心位线（BLe）的电位电平会因存储单元(M)导通而降至例如低于 0.5 V 的低电平。关于读取及验证操作的进一步详情将在下文中加以解释。

图 7 显示图 1 所示列控制电路 2 的一部分。每一对位线（BLe 及 BLo）均耦接至一数据存储部分 16，数据存储部分 16 包含两个数据存储（DS1 及 DS2）寄存器，每一数据存储寄存器均能够存储一位数据。数据存储部分 16 在读取或验证操作过程中感测所选位线的电位电平、然后以二元方式存储数据，并在编程操作中控制位线电压。通过选择"EVENBL"信号及"ODDBL"信号中的一者，数据存储部分 16 选择性地连接至所选位线（BL）。数据存储部分 16 还耦接至 I/O 线，以输出数据及存储程序数据。I/O 线连接至数据输入/输出缓冲器 6，如上文参照图 1 所述。

#### 具有每存储元件多于两种状态的存储器系统的操作

图 8A 显示当在每一存储单元（M）中每一浮动栅极存储元件存储两个数据位（即四种数据状态）时存储单元阵列 1 的阈电压分布。曲线 33 表示阵列 1 中处于已擦除状态（E 数据状态）的单元的阈值电平  $V_T$ （为负阈电压电平）的分布。图中显示存储有 A 及 B 用户数据的存储单元的阈电压分布 34 及 35 分别位于 0 V 与 1 V 之间及 1 V 与 2 V 之间。曲线 36 显示已被编程至 C 数据状态的单元的分布，C 数据状态是最高阈电压电平，其设定为高于 2 V 且小于 4.5 V 的读取通过电压。

在本实例中，存储于单个存储单元（M）中的两个位中的每一位均来自不同的逻辑页面。换句话说，存储于每一存储单元中的两个位中每一位均载送不同于另一位逻辑页面地址。当输入偶数页面地址（=0, 2, 4, ..., N/2）时（其中 N 是存储器的逻辑页面容量），存取图 8A 中所示的下页面位。而当输入奇数页面地址（=1, 3, 5, ..., [N/2] + 1）时，存取上页面位。借助在图 8A 中所示的实例性编码，可将状态 E 表示为"11"状态，将状态 A 表示为"10"状态，将状态 B 表示为"00"状态，并将状态 C 表示为"01"状态，其中第一二进制数字表示存储于上页中的值，第二二进制数字表示存储于

下页中的值。

为提高可靠性，使各个分布收紧（阈值分布缩窄）更佳，乃因分布收紧会使读取裕量（其间的距离）变宽。根据本发明，分布宽度保持收紧，而编程速度并未显著降低。

根据“用于多电平 NAND EEPROM 的快速且精确的编程方法（Fast and Accurate Programming Method for Multi-level NAND EEPROMs）”（1995 年 VLSI 技术研讨会文摘，第 129-130 页）一文，原则上，为将分布限制至 0.2 V 的宽度，要求在各步骤间使通常的重复性编程脉冲递增 0.2 V，所述文章以引用方式并入本文中。图 9 显示一种现有编程脉冲技术。图中显示编程电压  $V_{pgm}$  波形。编程电压  $V_{pgm}$  被划分成许多个脉冲，且逐一脉冲地递增 0.2 V。在所述特定实例中， $V_{pgm}$  的起始电平是 12 V。

在各脉冲之间的周期内，实施验证（读取）操作。换句话说，在每一编程脉冲之间读取每一得到并行编程的单元的所编程电平，以判定其是否等于或大于其正在被编程至的验证电平。如果判定出一既定存储单元的阈电压已超过验证电平，则通过将所述既定单元的串联单元单元所连接至的位线的电压自 0 V 升高至  $V_{dd}$  来停止或禁止对所述位的编程。继续对同一页面中受到并行编程的各单元中的其它单元进行编程，直至其依次达到其验证电平为止。当在所述单元的最末编程脉冲过程中阈电压自低于所述验证电平移至高于所述验证电平时，阈电压的偏移量等于 0.2 V 的  $V_{pgm}$  步长。因此，阈电压被控制在 0.2 V 的宽度以内。

图 8B 及 8C 显示一种在上述类型的阵列中编程一 4 状态 NAND 存储单元的特定现有技术。在第一遍编程中，根据来自下逻辑页面的位，设定所述单元的阈值电平。如果该位是“1”，则不实施任何操作，因为其处于该状态中是由于先前已被擦除。然而，如果该位为“0”，则将所述单元的电平升高至使用  $V_{VA}$  作为验证电压的 A 编程状态 34，以禁止进一步编程。由此结束第一遍编程。

在第二遍编程中，根据存储于所述单元中的来自上逻辑页面的位，设定所述单元的阈值电平。如果为“1”，则不进行编程，因为所述单元处于状态 33 或状态 34 之一中——此视下页面位的编程而定，二者均载送上页面位「1」。然而，如果上页面位为“0”，则对所述单元实施第二次编程。如果第一遍编程的结果使所述单元保持处于被擦除状态或 E 状态 33，则将所述单元自该状态编程至最高阈值状态 36（状态 C），如图 8C 中的上部箭头所示，并使用  $V_{VC}$  作为验证状态来禁止进一步编程。如果作为第一遍编程的结果，所述单元已编程至状态 34（状态 A），则在第二遍中将所述单元自该状态进一步编程至使用  $V_{VB}$  作为验证状态的状态 35（状态 B），如图 8C 中的下部箭头所示。第二遍的结果是将所述单元编程至指定存储来自上页面的“0”的状态，而不改变在第一遍编程过程中所写入的逻辑值。在该第二编程循环过程中，单元的阈值分布可保持处于状态 E 或 A，或者偏移至状态 B 或 C。由于在同一编程循环过程中有两种不同的目标阈值状态在不同单元中同时出现，因而在每一编程脉冲之后必须检查两个不同的验证电平  $V_{VB}$  及  $V_{VC}$ 。在某些系统中，为使整个编程循环加速，在随后的电压脉冲过

程中可仅检查  $V_{VC}$ 。

当然，如果存储器以多于四种状态工作，则在存储单元的所规定电压阈值窗口内将存在与状态数量相等的分布数量。进一步，尽管已为每一分布指定特定的位图案，然而也可指定不同的位图案，在此种情形中，各个状态（在中间进行编程）可不同于在图 8B 及 8C 中所示。在前面在“现有技术”中所提及的专利中针对 NAND 系统论述了几种这些变化。进一步，在第 6,522,580 号美国专利中阐述了用于在以多种状态工作的 NAND 型或其它类型存储器阵列中减小相邻单元耦合的后果的技术，所述美国专利的全文以引用方式并入本文中。

大体位于各分布 33-36 中相邻分布之间中间位置处的电压  $V_{RA}$ ， $V_{RB}$  及  $V_{RC}$  用于自存储单元阵列读取数据。这些电压为阈电压，所读取的每一单元的阈电压状态即与所述阈电压相比较。此是通过将自存储单元测量的电流或电压分别与参考电流或电压进行比较来实现。在这些读取电压与所述所编程阈电压分布之间存在裕量，从而如上文所述，容许所述分布因干扰及类似因素而存在一定的扩展，只要所述分布不重叠任一读取电压  $V_{RA}$ ， $V_{RB}$  及  $V_{RC}$  即可。然而，随着存储状态分布的数量的增加，此种裕量减小，因而较佳以更高的精度实施编程以防止此种扩展。

前面的说明是假定在一个物理页面中存在两个逻辑页面且在一既定编程循环中仅对下逻辑页面或上逻辑页面而非同时对二者实施编程。在名称为“用于编程及禁止多电平非易失性存储单元的方法及系统 (Method and System for Programming and Inhibiting Multi-Level Non-Volatile Memory Cells)”的第 2003/0112663 号美国专利申请公开案中说明了在一个编程操作过程中对页面中的所有物理状态实施编程，所述美国专利申请公开案以引用方式并入本文中。在如图 8 所示的每一存储单元四种状态的情形中，所有将编程至任一编程状态 A，B 或 C 的存储单元均如上文所述首先编程至状态 A。在验证出所有要编程至这些状态中任一状态的单元均已达到状态 A 后，由于对应于上部状态 B 及 C 的数据早已存在于图 7 所示数据锁存器 DS1 及 DS2 中，因而编程循环可继续进行而不中断或重新加载新数据，且那些应编程至状态 B 及 C 的单元可继续编程至状态 B。在所有单元达到该电平后，仅那些需要编程至 C 的单元可继续进行至该状态。如在该专利申请案中所述，据观察，某些位（“快位”）的编程快于其它位（“慢位”），且在实际中，当出现自状态 B 编程至状态 A 及类似地自状态 B 编程至状态 C 的跃迁时，期望字线电压出现一定的降低。一在编程电压中包含此种降低的典型电压波形显示于图 11 中。

尽管已使用图 8B-8C 阐述了特定编程方案，然而还存在其它可供使用的可能方案。例如，第 6,046,935 号美国专利说明了一种编程方法，其中在第一编程循环过程中将所选单元自状态 E 编程至状态 B。在第二编程循环过程中，将单元自状态 E 编程至状态 A 及自状态 B 编程至状态 C。第 6,657,891 号美国专利通过教示如下内容对此种方法进行了详述：可容许状态 B 的初始分布在第一编程循环结束时延伸至下阈值甚至重叠最终状态 A，而仅在第二编程循环过程中如图 8C 所示收紧至其分布。此外，所

采用的用于表示状态 E、A、B 及 C 的二进制编码可选择成不同于图 8A-C 所示。第 6,046,935 号及第 6,657,891 号专利二者均以引用方式并入本文中。

#### 对同一页面中各数据部分的重叠编程

如上文所述，一编程单位或者“物理页面”是由可同时编程的单元构成。倘若为多状态存储器，每一物理页面均可存储多于一个逻辑页面，所述实例性实施例是在每一物理页面中存储一上逻辑页面及一下逻辑页面。在现有技术两遍式编程过程中，在指配给既定物理页面的下页面数据开始一编程操作后，为成功地进行编程操作，所述过程必须执行到完成为止。尽管在存储器寄存器中可能存在指配给同一物理页面上页面数据，然而现有技术不容许中断第一遍编程并此后在包含所述物理页面的所有数据内容情况下重新开始。因而，尽管在存储器中可能存在要编程至一既定物理页面内的所有数据，然而编程过程不能变迁至一完整的编程顺序，且上页面数据必须等待至下页面完成第一遍编程过程为止。

在现有技术中，我们还知道，可在多个半自主性存储器阵列中同时实施编程，所述多个半自主性存储器阵列称作平面（或象限），其分布于一个或多个存储器芯片中，如在第 5,890,192 号及第 6,426,893 号美国专利中所更详细说明，所述美国专利以引用方式并入本文中。所述存储器既可是二进制状态存储器还可是多状态存储器。在此种情形中，物理页面将由数个平面组成，且编程操作会将扇区（或其它数据量）同时编程至这些平面中的每一平面内。如果所述阵列中某些阵列并非全部阵列的数据已传输至存储器，则为将整个页面编程，存储器必须等到所述页面中其余部分的数据。另一选择为，存储器可在一局部页面编程操作中编程其所具有的数据，其中缺失部分或者不编程或者被看待为仿佛所述数据均处于被擦除状态。倘若在所述局部页面编程过程中有属于所述页面的额外数据到达，现有技术并不容许中断所述编程操作并在并入所述额外数据后重新开始。

这两种情形在如下方面相似：以少于所述物理页面可包含的全部数据量开始编程操作。所述情形可概念化成：将物理页面沿水平方向（细分成平面）或者沿垂直方向（细分成上页面及下页面）细分。当为少于全部细分部分提供数据时，可根据可用数据开始局部编程，但当所述物理页面形成编程单元时，若无中断及重新开始编程的准备措施，则无法并入额外数据，除非使用额外的后续编程操作。本发明的主要方面即提供此种能力。

在上页面/下页面布置中，此会使对上多状态存储器页面与下多状态存储器页面的编程相重叠。在多平面情形中，此会实现管线化局部页面编程。在这两个子方面的实例性实施例中，编程过程是使用阶梯形编程波形，例如如图 9 所示的波形。当对应于物理页面的额外数据正以少于所述物理页面可用内容经历编程操作时（例如下页面编程或局部页面编程），会中断所述编程操作，验证所述单元的数据内容，及使所述编程操作复位并在并入额外数据后重新开始。

#### 对上 MLC 页面与下 MLC 页面的重叠编程

如在“现有技术”中所述，当事实上下页面数据及上页面数据二者最终均将编程至 MLC 闪速存储器中的同一物理页面内时，当正以下页面数据来编程 MLC 闪速存储器的所述物理页面时，用户（控制器）须等待至所述编程结束时才能开始编程上页面数据。对于所述实例性 4 状态单元实施例，此显示于图 10A 中。

在图 10A 中，第一列（主机传输）显示数据自主机传输至控制器 20，第二列（闪速传输）显示该数据随后自控制器传输至数据存储部分 16 内。要作为下页面来编程的数据的每一扇区（或其它传输单位）首先传输至控制器，然后传输至存储器。在整个下页面均已得到传输后，立即开始下页面编程，其中图 12A 中的第三行显示哪一数据正被编程。由于对下页面进行的第一遍编程仅自状态 E 编程至状态 A，因而图中显示仅此种变迁有效（1E->A 行）。所述 E->A 编程开始于 t1 时刻并结束于 t3 时刻。

在已将下页面数据自控制器传输至存储器之后，将上页面数据传输至控制器并然后传输至闪速存储器。所述传输是在下页面的编程过程中进行并在 t2 时刻结束。尽管在 t2 时刻，上页面数据处于芯片上，然而由于现有技术不容许下页面编程在完成之前终止并随后重新开始，因而在 t3 时刻下页面编程完成之前，无法编程上页面数据。然后，自 t3 时刻开始，编程上页面数据，如图 10A 所示，其中 A->B 及 E->C 变迁有效。在 t4 时刻，整个过程结束。

根据本发明的第一方面，一旦在存储器中存在上页面数据，即在 t2 时刻处中断下页面编程。然后，所述过程重新开始，同时编程所述下页面数据与上页面数据二者。此会消除 t2 时刻与 t3 时刻之间仅专门用于下页面数据的编程时间，并基本上将编程时间减小了所述量。

图 10B 显示图 10A 所示过程的其它细节。第一行（Cache Busy（高速缓存忙））对应于一传输数据启用信号。当其在为低状态后变为高状态时，表示具有一能够容纳下一数据的数据寄存器，而非表示所述编程实际上完成。第二行（True Busy（真正忙））对应于在芯片内实际进行的操作。Cache Busy（高速缓存忙）信号为高状态以加载下数据页面，然后变至低状态，然后再次变至高状态以加载上页面。然后，其保持为低状态，直至加载下一数据为止。在加载下页面后，启动编程并对下页面实施编程。由于数据正仅编程至最低的未被擦除状态，因而仅需验证 A 状态。在验证出所有单元均被编程至 A 状态验证（或者达到最大数量的脉冲）后，立即开始对上页面的编程。首先，由于正经历 E->C 变迁的状态到达其目标值所花费的时间将更长，因而仅对 B 状态实施验证。最终，将需要对 B 状态及 C 状态二者均进行检查，如 pvfyB/C 所示。在分配给 B 状态的脉冲数量结束后，具有 B 目标状态的单元被锁定，且仅验证 C 状态，直至所有以 C 作为其目标状态的单元均得到验证或者达到最大脉冲数量为止。

在本发明的第一方面中，通过容许使在多状态存储器中对上页面与下页面的编程相重叠，基本上消除了 t2 与 t3 之间的时间（此时上页面数据已传输至存储器但未在编程）。此使得在任何情况下均能够以存储器的最高编程频宽将存储器编程。因而，控制器不需要等待至下页面编程完成后才准备以新数据对上页面编程。根据所述方法，一



种尽快开始编程的策略可明显提高多状态存储器在各种应用中的性能，特别是在主机以小的丛集实施写入或者不接续地实施写入的应用中的性能。

根据现有技术方案，仅可通过以一 Cache 型命令使用一程序来解决图 10A 所示的限制，其中在闪速存储器的数据缓存器中高速缓存下页面数据直至上页面数据得到传输为止，然后将所述两个页面同时编程。对于长的、接续的主机写入操作而言，此种解决方案会保持最大的编程频宽，但如果主机以小的丛集实施写入或者不接续地实施写入，此种解决方案就不具有优点或者具有缺点。如果主机不以长的接续程序块形式来写入数据扇区且对下一数据部分将邻接前一数据部分的预期错误，则会产生额外的延迟。

在本发明的该方面中，所述方法首先在可得到上页面数据之前开始对下页面编程。当可得到上页面数据时，可在下页面编程完成之前停止所述编程操作。如果新数据应写入至另一物理页面中，则控制器仅需等到正在进行的下页面编程操作结束；然而，如果新数据是对应于与当前正被编程的下页面数据相同的物理页面上页面数据，则验证正被编程的存储单元的状态，且然后可并行地以下页面数据与上页面数据二者来编程所述存储器的物理页面。因此，控制器可尽可能快地开始下页面编程，而不会在其需要等待上页面数据的情形中存在可能的性能损失。所述方法示意性地显示于图 11A-11C 中。

如在图 10A 中一般，图 11A 所示过程首先将下页面数据自主机传输至控制器然后自主机传输至存储器，此时 ( $t_1$ ) 对下页面数据的编程开始。在传输下页面数据后，将上页面数据传输至存储器中，此在  $t_2$  时刻结束。到此刻为止，所述过程与参照图 12 所述的过程基本相同。

一旦接收到第二组数据，便需要检查其是用于对应于存储器中与正被编程的下页面相同的物理单元的上页面。更一般而言，检查其对应于在与当前正被编程的相同组存储单元中所存储的另一组数据状态；例如，如果在一物理页面上存储有三个页面，则可为对应于正进行编程的下页面的中间页面。当确定出所述新的上页面数据适于添加至当前正在编程的下页面时，启动向“完整序列编程”的改变。完整序列编程意味着同时编程两个二进制位。尽管此会提高编程速度，然而在每一编程脉冲之后可能需要实施一个或多个额外验证步骤来确定何时应终止对每一位的编程。在启动自下页面编程向完整序列编程的改变时需要检查数种状态。首先，必须判定下页面编程是否实际上完成或接近完成。如果是，则将不变化至完整序列编程；下页面编程将以正常方式完成，且将使用标准的编程算法来继续进行上页面编程。第二，将仅在完成当前编程验证循环时改变至完整序列编程。对于使用阶梯形编程电压波形（例如图 9 中所示波形）的实施例，可能需要在  $t_2$  时刻重设编程电压的新起始电平。此种情况可划分成三种情形：在第一种情形中，如果在接收到上页面数据之后发现下页面数据编程已结束，则使用上页面数据的标准第二遍编程波形来编程上页面数据。在第二种情形中，如果上页面数据出现得足够早且下页面波形尚未进行至足以超过完整序列波形的起始

点，则所述波形可继续单调地升高并变迁至完整序列波形，尽管可能需要重设最大脉冲数量计数器及其它参数。在第三种情形中，下页面尚未结束编程但编程电压波形超过起始的完整序列值，则将需要设定回所述波形来开始完整序列例程，如图 11B 所示。此是为确保如下所必需的：当前被锁定而不再进行下页面编程的任何快速编程位在第一完整序列编程电压脉冲之后均不会超过所需的下一临界状态。

图 11B 显示一用于图 11A 所示过程的编程波形的实例。图 11A 拾取在下页面数据的编程过程中某个点处的波形，其中所述物理页面中的单元经历标准的第一遍脉冲/验证循环。事件时刻  $t_2$  经推断在脉冲 103 或下一验证读取左右的某一时刻出现。倘若脉冲 103 碰巧对应于对下页面的第一遍编程的最大脉冲数量，则所述过程将随后继续对上页面进行标准的第二遍编程。当脉冲 103 小于下页面的最大脉冲数量时，所述过程变换至在一多状态编程模式中实施完整序列编程。任何其最终目标状态为 A 状态且已正确验证的单元均将锁定，而所有其它单元均将受到另外的编程。为防止超过其目标状态，所述实例性实施例以低于下页面最大值的值开始所述完整序列波形。在图 11B 中，此显示为脉冲 105，脉冲 105 小于前一脉冲 103。在变换至完整序列编程后，可改变若干波形参数。除起始的  $V_{pgm}$  值外，此还包括最大  $V_{pgm}$  值、最大脉冲数量、及步长，其中所述实例将完整序列步长取为相同的步长或下页面步长。这些参数可固定不变或者较佳地可设定。

如果事件  $t_2$  在脉冲 101 之前出现，则将在脉冲幅值达到完整序列起始值 105 之前进行自下页面至完整序列的变换。在此种情形中，所述阶梯可继续升高恒定的台阶电平直至其达到该电平，其中 101 与 105 之间的脉冲被除去且这两个脉冲基本上合并且形成单个阶梯，例如图 9 中所示的阶梯。与自下页面变换至完整序列相关联的各种参数也将被复位。

图 11C 是与图 10B 等效的图 11A 实施例。如在图 10B 中一样，第一行 (Cache Busy (高速缓存忙)) 对应于一传输数据启用信号，其指示加载下页面并随后加载上页面，其中上页面及下页面对应于同一物理页面。Cache Busy (高速缓存忙) 信号为高状态，以加载下页面数据，然后变至低状态，然后再次变至高状态以加载上页面数据。然后，其保持为低状态直至加载后续数据 (此处为下一字线的下页面数据) 为止。在加载下页面后，启用编程并对下页面实施编程，其中第二行 (True Busy (真正忙)) 对应于编程被启用。

在仅编程下页面时，仅需要验证 A 状态，如  $pvfyA$  所示。一旦加载上页面数据，即也验证 B 状态，如  $pvfyA/B$  所示。在分配给 A 状态的脉冲数量之后，可停止对任何以 A 状态作为其目标状态的尚未验证的单元进行编程，且此可通过错误修正方法来处理。在对 A 状态的验证停止后的某一时刻，在对 B 状态的验证的外还增加对 C 状态的验证，如  $pvfyB/C$  所示。在已使用为 B 状态所分配数量的脉冲后，仅继续对 C 状态进行验证，如  $pvfyC$  所示。线 41 指示当所有单元均在状态 B 中得到验证且只剩下状态 C 的编程时，下一页面的新数据可在状态 C 的编程继续进行的同时接收及出现。此是用

于进一步改良编程时间的本发明的另一实施例。假定采用前面在图 8A 中所提及的状态编码，将状态 B 表示为“00”并将状态 C 表示为“01”，且我们知道，如果编程继续进行，则该单元的上页面数据是 0。因此，我们可暂时释放上页面缓冲寄存器并将下页面的下页面数据加载至该缓冲器内（当对新页面的编程开始时，所述数据将传输至下页面）。即使在随后的状态 C 编程过程中出现编程失败且需要重写所述数据，控制器也不需要将页面 n 的新数据传输至存储器；我们仍具有下页面数据，且可仅通过使用  $V_{RB}$  阈值（参见图 10C）读取所述单元的状态来恢复上页面数据。在此种情况下，将向控制器报告一错误，将舍弃所接收到的下页面 n+1 的数据，并将按照控制器的指示将所恢复的页面 n 的数据写入至一新位置。使用一替代编码方案（例如在前面所提及的第 6,046,935 号及第 6,657,891 号美国专利中所述的编码方案）将容许释放下页面缓冲器，但基本原理仍相同。

### 管线式局部页面编程

如在“现有技术”中所述，当正局部地编程一闪速存储器或其它存储器时，例如，当仅以单个扇区的数据来编程一多扇区或多平面页面时，用户（控制器）须等到编程结束时才能开始同一页面的另一局部编程。该过程显示于图 12 中。

图 12 中的前两行类似于图 10A 中的那些行，只是传输单位是一页面的若干部分而非完整的上页面数据及下页面数据。编程单位或（编程）页面是取为由多个这些传输单位组成，在本实例中，将传输单位取为一可同时得到编程的扇区。这些组合成一页面的扇区中的每一扇区均被视为属于所述存储器中的一单独的半自主性阵列、或平面。所述平面可全部位于同一存储器芯片上或者分布于多个芯片中。在第 10/750,157 号及第 10/750,155 号美国专利申请案中更全面地说明了用于将数个阵列的若干部分链接于一起以形成复合逻辑结构的方法，这两个美国专利申请案均于 2003 年 12 月 30 日提出申请且二者均以引用方式并入本文中。图 12 所示实例假定所述存储器系统容许实施局部页面编程、可同时将多达四个扇区编程至四个平面内、且在此处将对应扇区标记为 0-3。在本发明的此一方面中，存储单元可是二进制单元或者多电平单元。倘若为多电平数据，可将数据编码为属于单个逻辑页面的多状态数据或者以一多页面格式编码，例如上文所述的上页面/下页面结构。在后一种情形中，可将在本部分中所述的本发明的管线式局部页面编程方面与在前面部分中所述的上页面与下页面的重叠编程相结合。

图 12 中底部的四行显示何时及以哪一数据将哪些平面编程。在所述实例中，主机依次传输扇区 0 及 1，且存储器在开始编程之前等待积累这二者。如果未紧接着指示有更多的数据到达，或者系统另外决定不等待更多的数据，则在 t1 时刻，扇区 0 及 1 形成的局部页面开始编程至平面 0 及 1 内。所述编程继续进行至所有单元均得到验证或者达到最大脉冲数量为止。

在正对扇区 0 及 1 形成的局部页面编程的同时，对应于所述页面的数据的其余部分到达，且扇区 2 及扇区 3 数据分布在 t2 及 t3 时刻传输至存储器。由于现有技术不容

许在所述编程完成之前中断并随后重新开始编程，因而存储器必须等待至扇区 0 及 1 在  $t_4$  时刻结束编程后，才可在一第二局部编程操作中将扇区 2 及 3 数据编程至平面 2 及 3 内。在对扇区 2 及 3 编程的同时，传输扇区 4-7，并可自  $t_5$  时刻扇区 2 及 3 的局部页面编程结束时开始将扇区 4-7 作为一个页面来一同编程。应注意，该顺序仅是何时传输各不同扇区的定时的一实例；更一般而言，每当存在一间隙而使少于构成一完整页面的所有扇区的扇区一个紧接一个地出现、且随后在仍编程所述局部页面的同时其它属于所述页面的扇区到达时，所述考虑因素均将适用。

尽管扇区 2 的数据是在  $t_2$  时刻出现且扇区 3 的数据是在  $t_3$  时刻出现，然而根据现有技术，扇区 0 及 1 形成的局部页面不能中途中断并随后重新开始以包含所述页面中的所述其它部分，而是必须在  $t_4$  时刻结束后进行第二局部页面编程。本发明的一方面是一种容许对闪速存储器中的存储器页面实施管线式局部编程以便在任何情况下均可以存储器的最高编程频宽来编程存储器的方法。一种特定的策略是根据所述方法尽可能快地开始编程，在其中主机以小的丛集实施写入或者不接续地实施写入的应用中，此可明显提高系统性能。

为解决现有技术中的所述问题，存在不同的方法，其中主要的想法是汇集尽可能多的数据进行页面编程。在此种情形中，在控制器缓冲器或存储器数据缓存器中高速缓存不同扇区的数据，直至汇集所述页面的所有数据进行完整页面编程为止，因而对于图 12 所示传输，将直到所有扇区 0-3 均已传输、或者主机写入一不接续扇区且所述数据应通过一局部页面编程来写入时才将开始编程。对于长的、接续的主机写入操作而言，这些解决方案会保持最大的编程频宽，但如果主机以小的丛集实施写入或者不接续地实施写入，所述解决方案就不具有优点或者具有缺点。如果主机不以长的接续程序块形式来写入数据扇区且对下一数据部分将邻接前一数据部分的预期错误，则会产生一额外的延迟。此外，如果控制器在控制器缓冲器中汇集所有数据，则所述方法要求更大的缓冲器空间。

首先以一第一数据部分开始第一局部页面编程，留下某些扇区处于空白。所述第一局部页面编程是在接收到下一主机命令且在不知晓下一命令是否是一接续扇区写入命令时开始。如果下一命令涉及所述页面中空白扇区的数据，则一接收到所述新的数据部分，即可停止所述第一局部页面编程操作。如果所述新数据对应于另一页面，则控制器仅需要等待正在进行的编程操作结束。然后，验证各存储单元的状态，并随后并行地以原始数据与新数据二者来编程所述页面。存储器可显示正被编程的页面中每一扇区/平面的状态，以使控制器可释放缓冲器一其含有已被编程的那些扇区的数据。控制器可独立于在其它平面中正在进行的活动而开始在一平面中编程下一扇区，且所述多平面存储器可在那些提前于其它平面而完成编程的平面中开始编程。

根据这些不同的子方面，控制器可尽可能快地首先开始局部页面编程操作，而不会在其此后想要将更多数据编程至同一页面的情形中出现可能的性能损失。此还使控制器能够在第二部分数据编程结束之前释放包含有第一部分的数据的缓冲器。进一步，

如果存储器架构容许，则控制器可在非现用平面中开始另一编程操作。

一管线式局部页面编程操作的第一实施例显示于图 13 所示图式中。类似于上文参照图 11A 所述的过程，所述第一实施例假定对于页面中那些已中断的部分，所述编程循环可在相同点处重新开始。例如，当使用具有恒定脉冲幅值的脉冲化编程波形时或者当施加恒定偏压来进行编程时，即可能是此种情形。其还可应用于阶梯形编程波形，例如图 9 所示的阶梯形编程波形，其中每一平面均可具有其自身的阶梯。（一其中所有平面均共享同一波形的阶梯形编程波形的情形将在下文中参照图 14A 及 14B 加以说明。）

在图 13 中的 t1 时刻之前，控制器接收扇区 0 及 1 的数据。控制器报告所述命令成功地得到执行（Write Cache（写入高速缓存）被启用）且其准备接收另一命令。扇区 0 及 1 传输至所述 4 平面式闪速存储器。然后，局部页面编程开始，其中平面 0 及 1 将对应地被编程以扇区 0 及 1 数据，且平面 2 及 3 将被编程以空白数据（FF）或者将根本不被编程。本发明适用于一其中应对 FF 编程的 4 扇区式单平面存储器。甚至在一单平面装置中，编程电路还可提供关于哪一单元群组（例如扇区）得到编程的信息，以便可释放包含那些单元的数据的缓冲器。

在 t2 时刻，通过新的命令接收扇区 2 的数据（如在其它实例中一样，此可是任一扇区，其将随后被作为同一页面的一部分而写入至扇区 0 及 1）。控制器报告已成功地执行命令，且将扇区 2 传输至闪速存储器。停止物理页面编程并验证所述物理页面的状态，以便可在此后为每一单元选择正确的编程模式（例如，粗略编程或精细编程）。然后，重新开始局部页面编程，其中平面 0，1 及 2 将被对应地编程以扇区 0，1 及 2 数据，且平面 3 将被编程以空白数据（FF）或者将根本不被编程。粗略/精细编程模式的一实施方案揭示于第 6,643,188 号美国专利中，所述美国专利以引用方式并入本文中。

在 t3 时刻，通过新的命令接收扇区 3 的数据。由于无数据缓冲器可供利用，因而控制器不会报告已成功地执行命令。将扇区 3 传输至闪速存储器。然后，再次停止所述物理页面编程并验证所述物理页面的状态，以便可在此后为每一单元选择正确的编程模式。然后，可开始完整页面编程，其中平面 0，1，2 及 3 将被对应地编程以扇区 0，1，2 及 3 数据。

在本实施例中，在 t4 时刻，将扇区数据 0 及 1 向平面 0 及 1 内的编程结束，控制器释放包含有扇区 0 及 1 的数据的缓冲器，且控制器报告已成功地执行所述最末命令。在 t4 时刻之后且 t5 时刻之前，扇区 4 及 5 的数据由控制器接收到并传输至所述 4 平面式闪速存储器。如果所述存储器容许进行独立的平面编程，则可开始对平面 0 及 1 的编程，其中平面 0 及 1 将对应地被编程以扇区 4 及 5 的数据，且平面 2 及 3 仍将被编程以空白数据（FF）或者将根本不被编程。而如果各存储器平面不能独立地编程，则可停止物理页面编程，验证所述物理页面的状态以便可在此后为每一单元选择正确的编程模式，并以扇区 2，3，4 及 5 的数据开始对所有平面进行编程。

在  $t_6$  时刻之前，平面 2 的编程结束，控制器释放包含有扇区 2 的数据的缓冲器，且控制器报告已成功地执行所述最末命令。控制器随后接收扇区 6 的数据。由于无数据缓冲器可供利用，因而控制器不会报告已成功地执行命令。将扇区 6 传输至闪速存储器。如果存储器容许进行独立的平面编程，则以扇区 6 数据开始平面 2 的编程，且平面 0, 1 及 3 将分别以扇区 4, 5 及 3 的数据重新开始编程。如果各存储器平面不能独立地编程，则应停止物理页面编程，验证所述物理页面的状态以便可在此后为每一单元选择正确的编程模式，并以扇区 3, 4, 5 及 6 的数据开始对所有平面进行编程。

在  $t_7$  时刻，平面 3 的编程结束，且控制器可释放具有扇区 3 的数据的缓冲器。如果对扇区 4, 5 及 6 的编程尚未开始，则可开始局部页面编程，其中平面 0, 1, 及 2 将以扇区 4, 5, 及 6 的数据对应地被编程，且平面 3 将以空白数据 (FF) 被编程或者将根本不被编程。在  $t_8$  时刻，通过一新的命令接收扇区 7 的数据。由于无数据缓冲器可供利用，因而控制器不会报告已成功地执行命令。将扇区 7 传输至闪速存储器。停止物理页面编程并验证其状态，以便可在此后为每一单元选择正确的编程模式。然后，开始完整编程，其中平面 0, 1, 2 及 3 将以扇区 4, 5, 6 及 7 的数据被对应地编程。

图 14A 及 4B 说明管线式局部页面编程的第二实施例。所述实施例不同于图 13 所示实施例之处在于，其涵盖如下情形：当以所增加的所述页面的一额外部分的数据重新开始编程时，需要使所述编程过程复位。在其中物理页面中的所有平面均共享同一编程电压 ( $V_{pgm}$ ) 且编程波形是如图 9 所示阶梯形波形的架构中，会出现此种情形。在此种布置中，在已在任一平面中开始字线编程循环后，可将其不完全终止，但如果在所述物理页面的另一平面中增加额外数据，则将需要针对所述新数据使  $V_{pgm}$  复位。因此，由于由同一电荷泵为整个字线供电，因而其在所述物理页面的其余部分中还将被复位。在此种布置中，如在图 13 中所示，扇区 1 (比如) 的编程将不必在扇区 2 之前结束。在图 14A 及 14B 所示实施例中，当编程中断时，会使  $V_{pgm}$  复位并通过读取被不完整编程的单元的状态来使数据寄存器复位。在许多这些细节中，图 14A 及 14B 所示实施例与图 13 所示实施例相关的方式和图 11A-11C 所示实施例与图 10 所示实施例相关的方式大致相同。

在  $t_2$  时刻之前，图 14A 所示过程与在图 13 中相同。一旦扇区 2 的数据得到传输，即结束所述脉冲/验证过程的当前循环，验证各单元的状态，并使编程波形复位。所述复位使  $V_{pgm}$  波形以与其在  $t_1$  时刻开始时相同的电平在  $t_2$  时刻开始。与所述过程相关联的任何适当参数 (例如最大脉冲数量) 也均得到复位。因此，假如扇区 3 的数据未足够早地到达，则此时对扇区 0 及 1 的编程将在某个早于  $t_7$  的时刻与对扇区 2 的编程一同结束。

然而，在本实例中，扇区 3 的数据到达并在  $t_3$  时刻得到传输。中断对平面 0-2 所形成局部页面的编程，如在  $t_2$  时刻一样再次使所述编程过程复位，并对整个页面重新开始编程。由于所述复位，整个页面在  $t_7$  时刻结束。此使得在可得到数据时能够立即以一管线式局部页面过程来开始每一扇区的编程。扇区 2 及 3 二者并非等待至  $t_4$  时刻

来开始编程，而是其可分别在  $t_2$  及  $t_3$  时刻开始。

在扇区 0-3 正在编程的同时，扇区 4 及 5 截至  $t_5$  时刻得到传输，扇区 6 截至  $t_6$  时刻得到传输。在  $t_7$  时刻第一页面结束后，立即遵循与第一页面相同的过程以各自的扇区数据 4-6 开始对平面 0-2 进行局部页面编程。此假定在扇区 0-3 结束编程之前有缓冲器空间可供利用。否则，在所述第一页面的编程结束后，立即在事件时刻  $t_4$  之后传输扇区 4-6。在其位于存储器中后，立即开始将扇区 4-6 所形成的局部页面编程至平面 0-2 内。当扇区 7 的数据到达时，中断对平面 0-2 的局部页面编程，使所述过程复位，并在事件时刻  $t_8$  重新开始完整页面编程。

图 14B 是图 14A 所示过程中自  $t_1$  时刻至  $t_5$  时刻左右的某个时刻的实例性波形。 $V_{pgm}$  波形如图 9 所示波形一样开始，并用于将扇区 0 及 1 所形成的局部（逻辑）页面编程至平面 0 及 1 所形成的局部（物理）页面内。在与脉冲 201 相关联的脉冲/验证循环中的某个时刻，额外的扇区 2 数据出现。中断所述编程，确定各单元的状态，并针对扇区 0-2 进行编程复位及重新开始编程。类似地，当所述页面的其余数据在与脉冲 205 相关联的脉冲/验证循环中的某个时刻出现时，中断所述局部页面编程并在 207 处在此时一标准的完整页面编程过程中以整个页面及诸如此类重新开始所述局部页面编程。

在所有上述实施例中，对于管线式局部页面编程和对上 MLC 页面与下 MLC 页面的重叠编程二者而言（换句话说，对于同一页面中各数据部分的重叠编程的“水平”实施方案与“竖直”实施方案二者而言），应注意，所用“当前编程操作”或者更简要地说“同时进行的编程”未必意味着一页面内所有数据的所有编程脉冲均绝对同时。此还适用于当一页面跨越多个平面（“元页面”）的情形。例如，在其中一元页面跨越多个芯片的情形中，第一芯片中编程操作的编程脉冲可首先开始，随后是那些用于第二芯片中相同编程操作的编程脉冲。为方便起见，在某些多芯片式平行构造中使用这些宽元页面。所述宽元页面可为之提供优点的领域有：地址转译；在一元页面的各编程部分不同时、但如果汇集有足够的数据来进行多个编程则可在较短时间内相继开始各编程脉冲时，使开销最小化（在一极端情形中，可在存储器芯片内部将数据逐位地编程）；及/或使功率消耗最小化。

#### 介电存储元件的其它应用

上文已参照利用导电浮动栅极作为电荷存储元件的存储单元类型对上述闪速 EEPROM 存储单元的实例进行了说明。然而，本发明的各方面还可与在 2004 年 5 月 7 日提出申请的第 10/841,379 号美国专利申请案中所述的各种存储器技术结合使用，所述美国专利申请案以引用方式并入本文中。例如，本发明还可构建于一在各个存储单元中使用电荷陷获介电质作为存储元件来代替浮动栅极的系统中。所述介电存储元件夹于一导电控制栅极与所述单元的沟道区内的衬底之间。尽管所述介电质可分隔成与浮动栅极具有相同尺寸及位置的各个元件，然而通常不必如此进行，因为电荷是由此一介电质局部地陷获。所述电荷陷获介电质可遍布除由选择晶体管或类似物所占据

区域以外的整个阵列。

在下列技术文献及专利中对介电存储元件存储单元进行了大体说明，所述文献及专利的全文以引用方式并入本文中：Chan 等人所著的“一种真正的单晶体管氧化物-氮化物-氧化物 EEPROM 装置 (A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device)”，*IEEE Electron Device Letters*，第 EDL-8 卷，第 3 号，1987 年 3 月，第 93-95 页；Nozaki 等人所著的“一种用于半导体碟应用的具有 MONOS 存储单元的 1-Mb EEPROM (A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application)”，*IEEE Journal of Solid State Circuits*，第 26 卷，第 4 号，1991 年 4 月，第 497-501 页；Eitan 等人所著的“NROM：一种新颖的局部化陷获、2 位非易失性存储单元 (NROM:A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell)”，*IEEE Electron Device Letters*，第 21 卷，第 11 号，2000 年 11 月，第 543-545 页中，及第 5,851,881 号美国专利。

有两种特定的电荷陷获介电材料及构造适于实际应用。其中一种是三层式介电质，其具有首先生长于衬底上的二氧化硅、一层沉积于其上的氮化硅及另一层生长及/或沉积于所述氮化硅层上的氧化硅 (“ONO”)。第二种替代材料是单层富硅的二氧化硅夹于栅极与半导体衬底表面之间。该后一种材料阐述于下列两篇文章中，所述文章的全文以引用方式并入本文中：DiMaria 等人所著的“使用富 Si 的 SiO<sub>2</sub> 注入体及一浮动多晶硅存储层的电可修改只读存储器 (Electrically-alterable read-only-memory using Si-rich SiO<sub>2</sub> injectors and a floating polycrystalline silicon storage layer)”，*Appl Phys.* 52(7)，1981 年 7 月，第 4825-4842 页；Hori 等人所著的“一种用于非易失性存储器应用的具植入 Si 的栅极 SiO<sub>2</sub> 绝缘体的 MOSFET (A MOSFET with Si-implanted Gate-SiO<sub>2</sub> Insulator for Nonvolatile Memory Applications)”，*IEDM 92*，1992 年 4 月，第 469-472 页。介电存储元件还进一步论述于在 2002 年 10 月 25 日提出申请的第 US 10/280,352 号美国专利申请案中，所述美国专利申请案以引用方式并入本文中。

尽管是就本发明的特定实例及变化形式说明本发明，然而应了解，本发明将在随附权利要求书的整个范畴内受到保护。



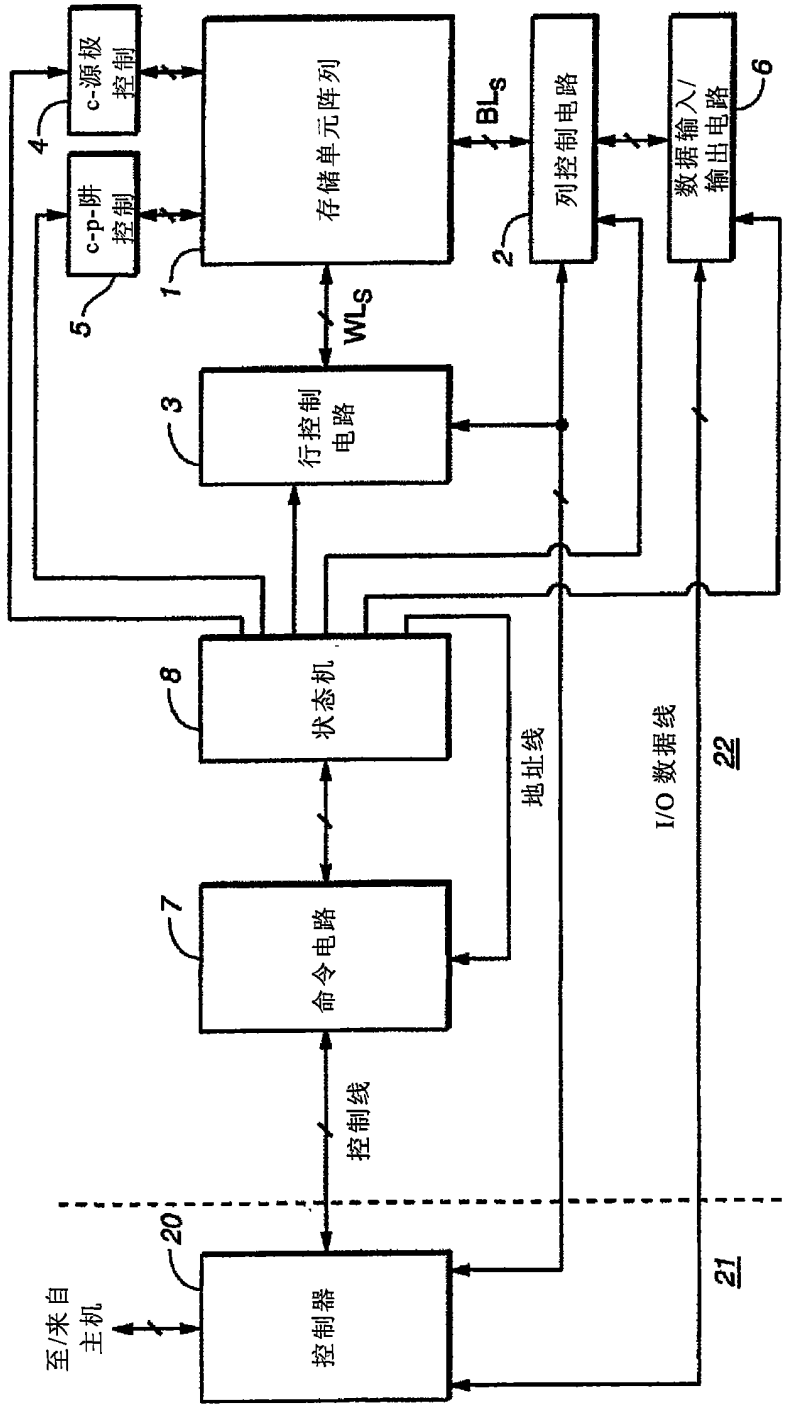


图1  
(现有技术)

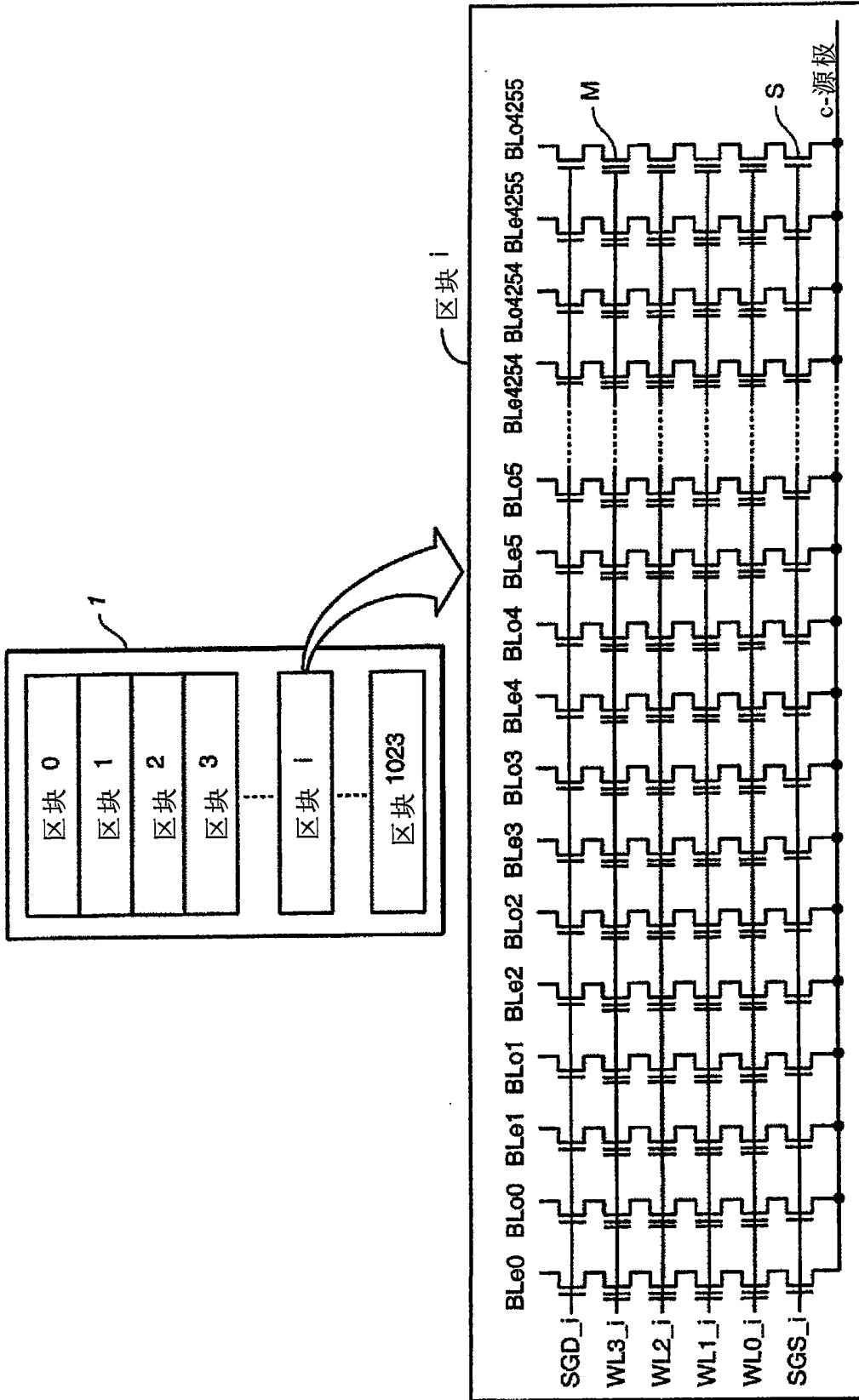


图 2  
(现有技术)

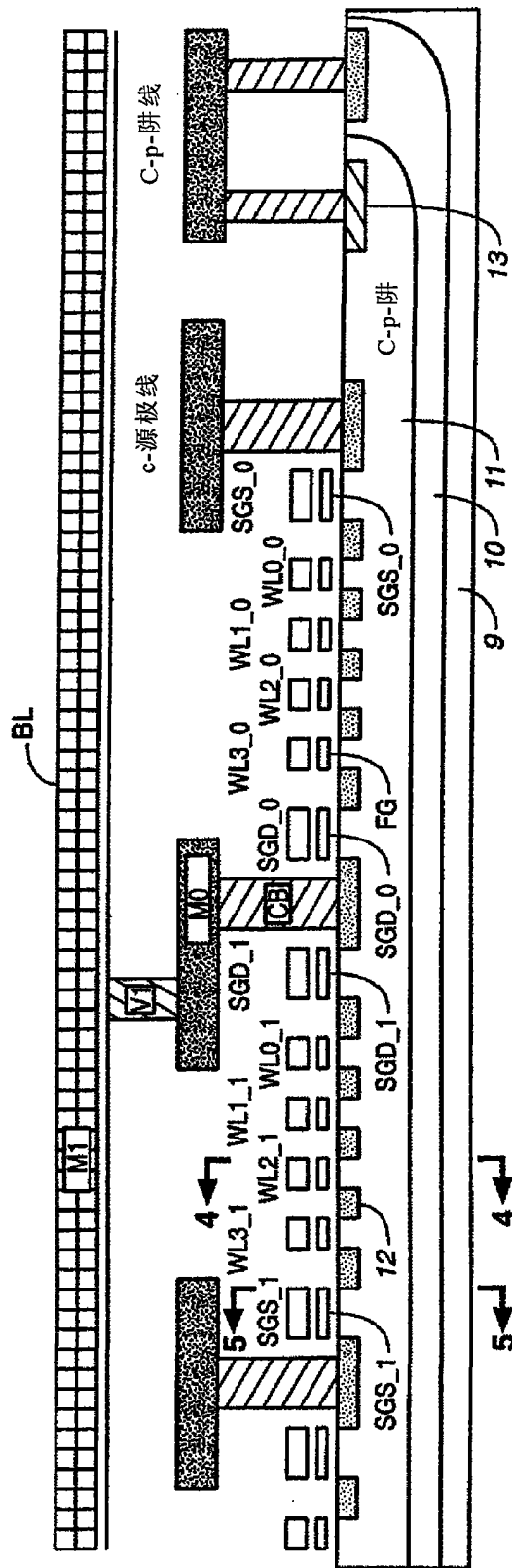


图 3  
(现有技术)

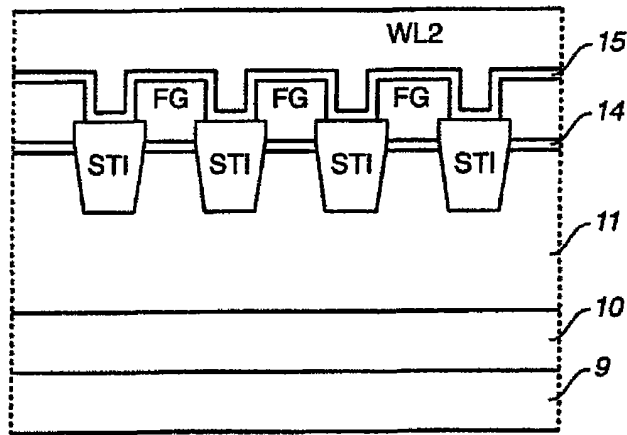


图 4  
(现有技术)

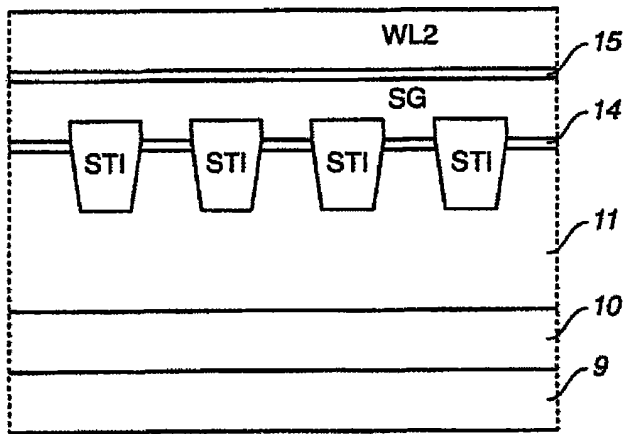


图 5  
(现有技术)

	擦除	编程促进	编程禁止	读取 10	在第一遍中读取 10	在第二遍中读取 10	读取 00	在第二遍中读取 00	读取 01	在第一遍中读取 10	在第二遍中读取 10	在第一遍中读取 00	在第二遍中读取 00	验证 01
BLe	浮动	0V	Vdd	H或L	H或L	H或L	H或L	H或L	H或L	H或L	H或L	H或L	H或L	H或L
BLo	浮动	Vdd	Vdd	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
SGD	浮动	Vdd	Vdd	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL3	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	0V	0V	0V	1V	1V	2V	0.2V	0.4V	1.2V	1.4V	2.4V
WL1	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL0	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
SGS	浮动	0V	0V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
c-源极	浮动	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
c-p-阱	20V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V

图6  
(现有技术)

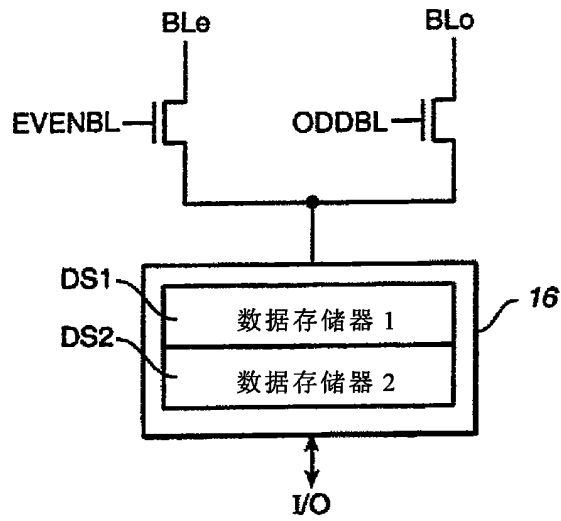


图 7  
(现有技术)

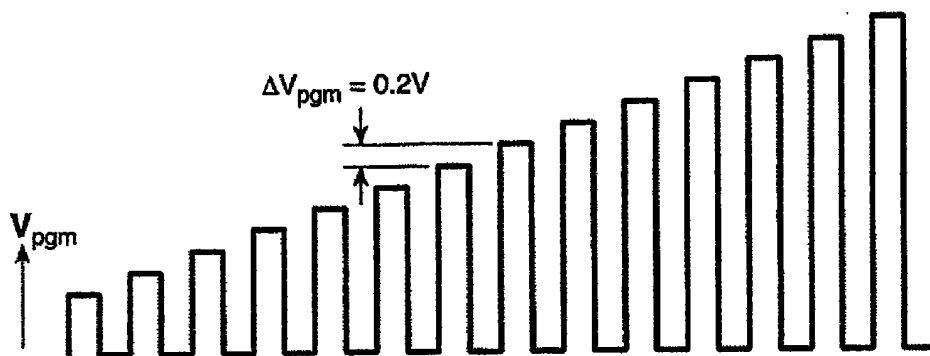


图 9  
(现有技术)

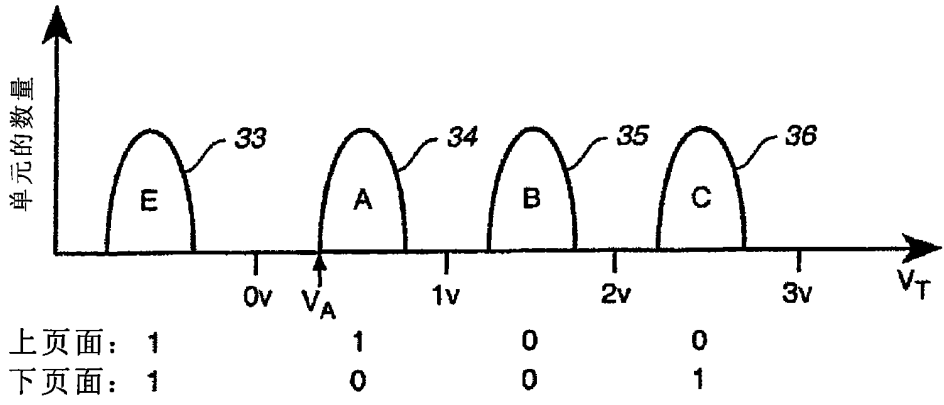


图 8A (现有技术)

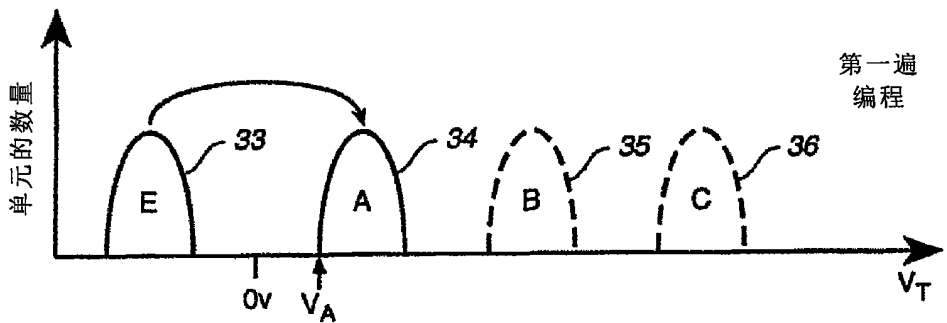


图 8B (现有技术)

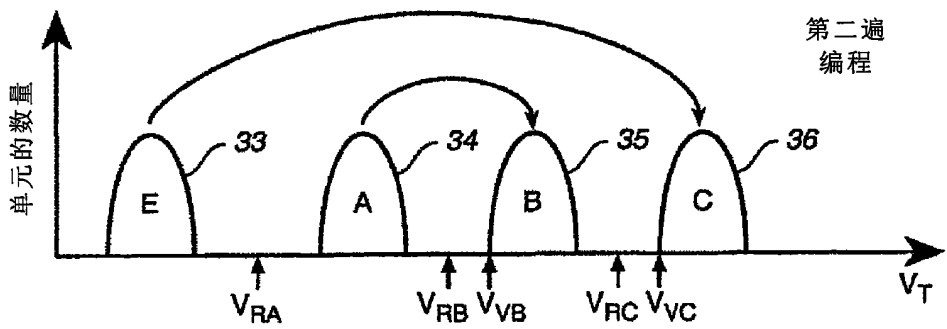


图 8C (现有技术)

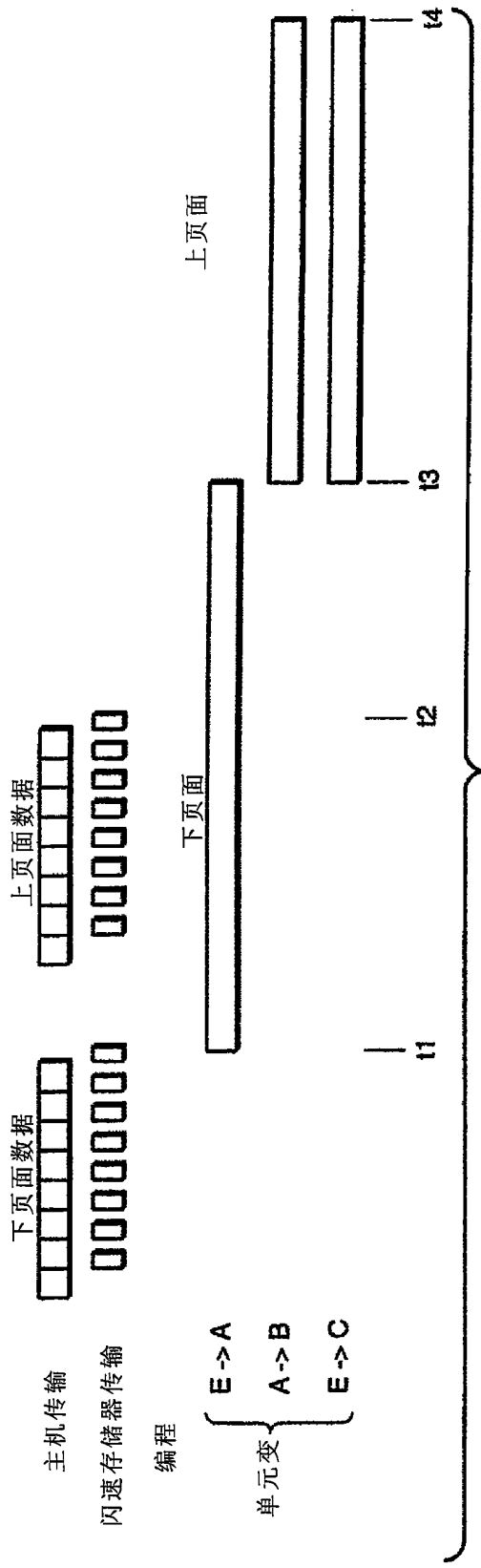


图 10A (现有技术)

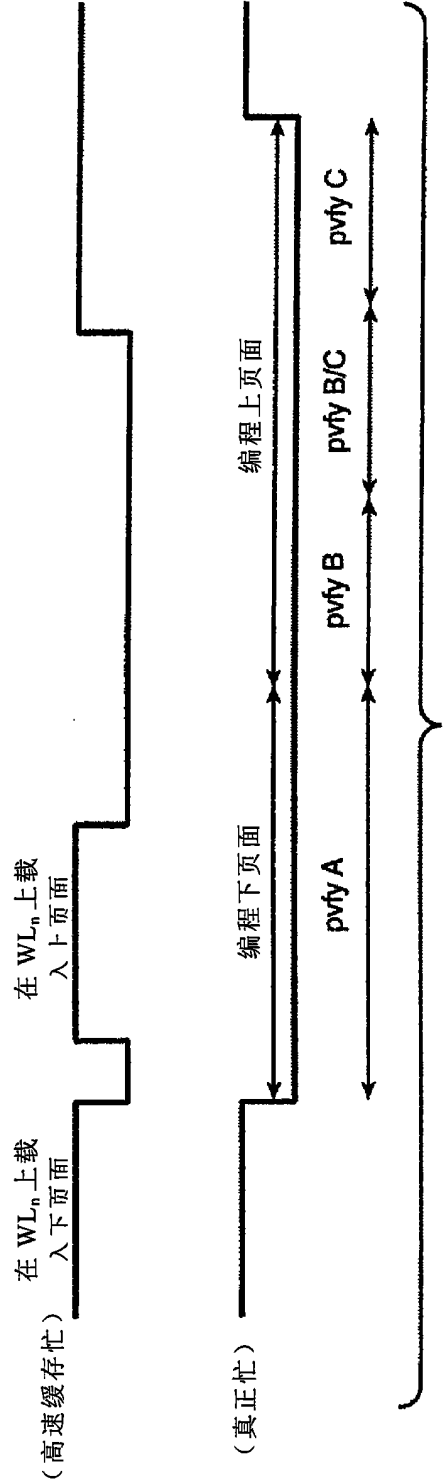


图 10B (现有技术)



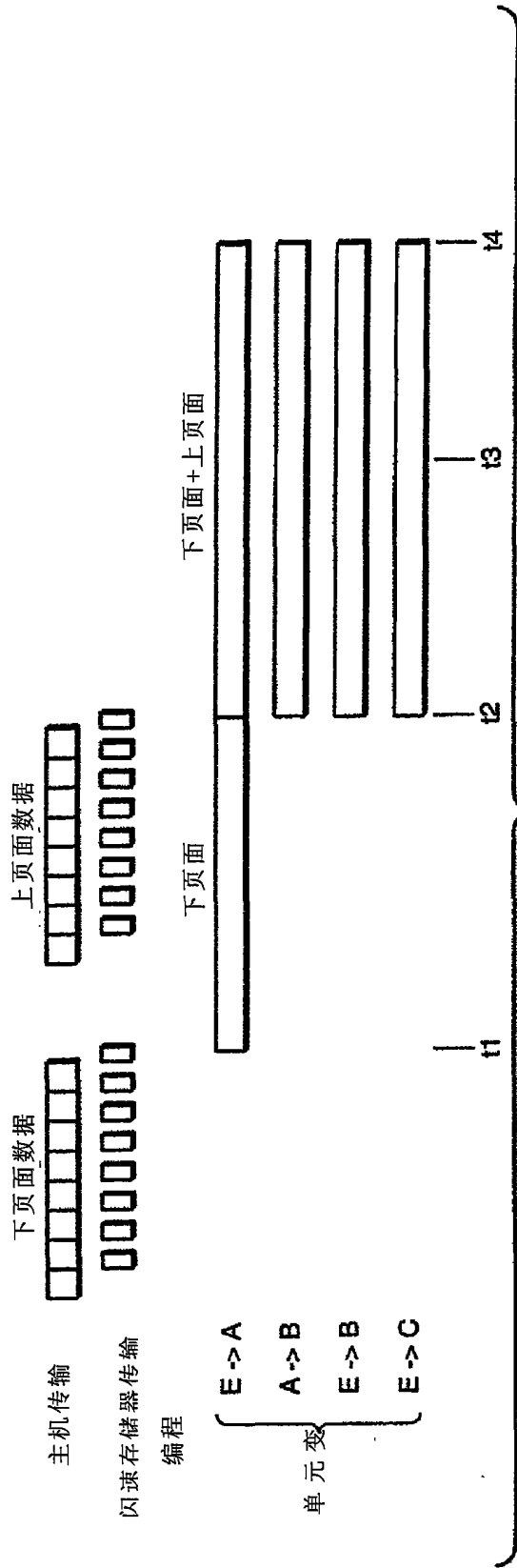


图 11A

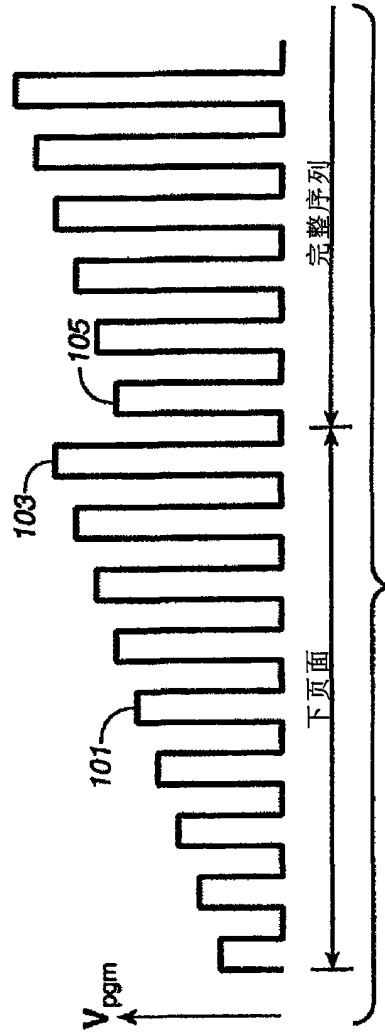


图 11B

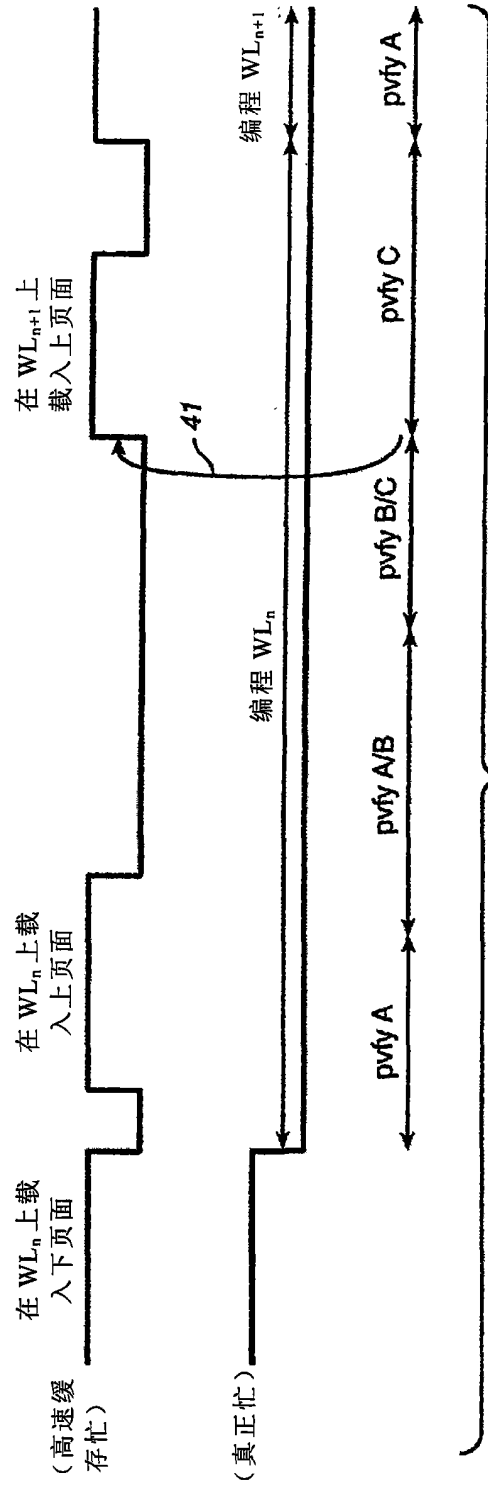


图 11C

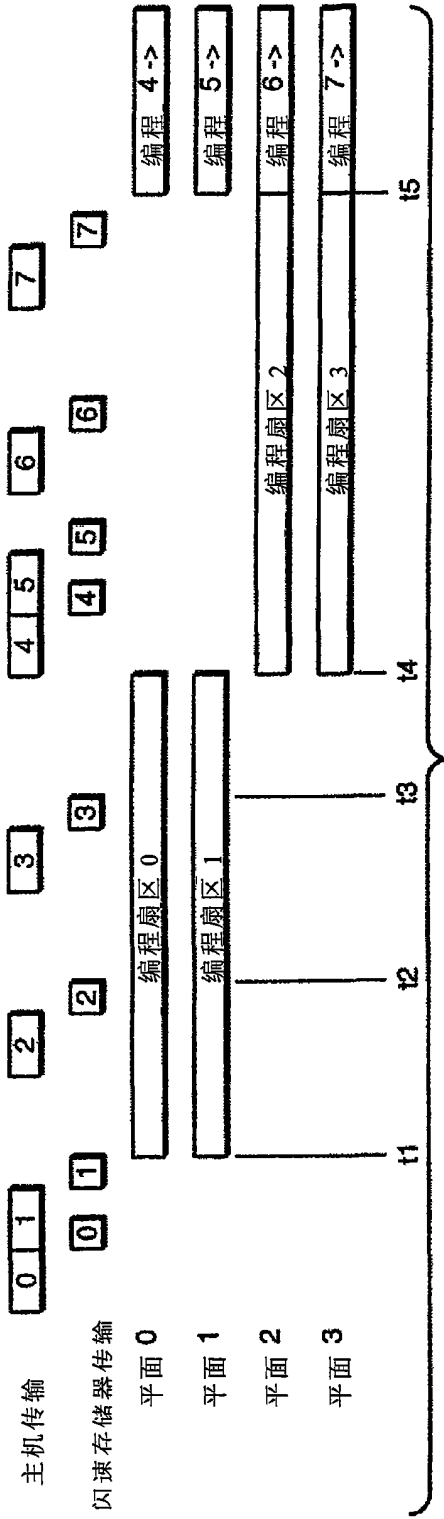


图 12 (现有技术)

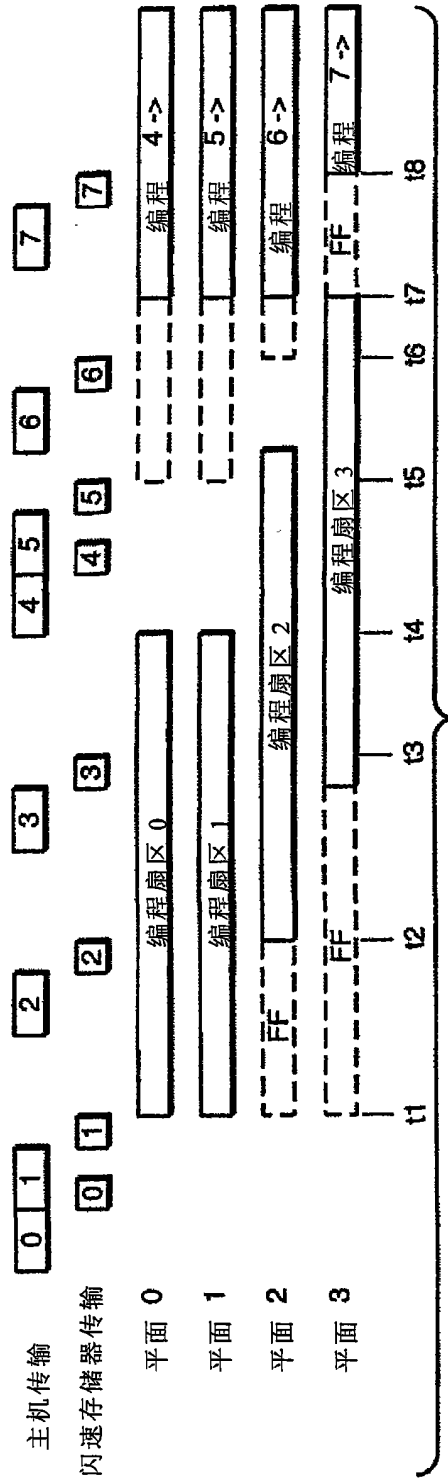


图 13

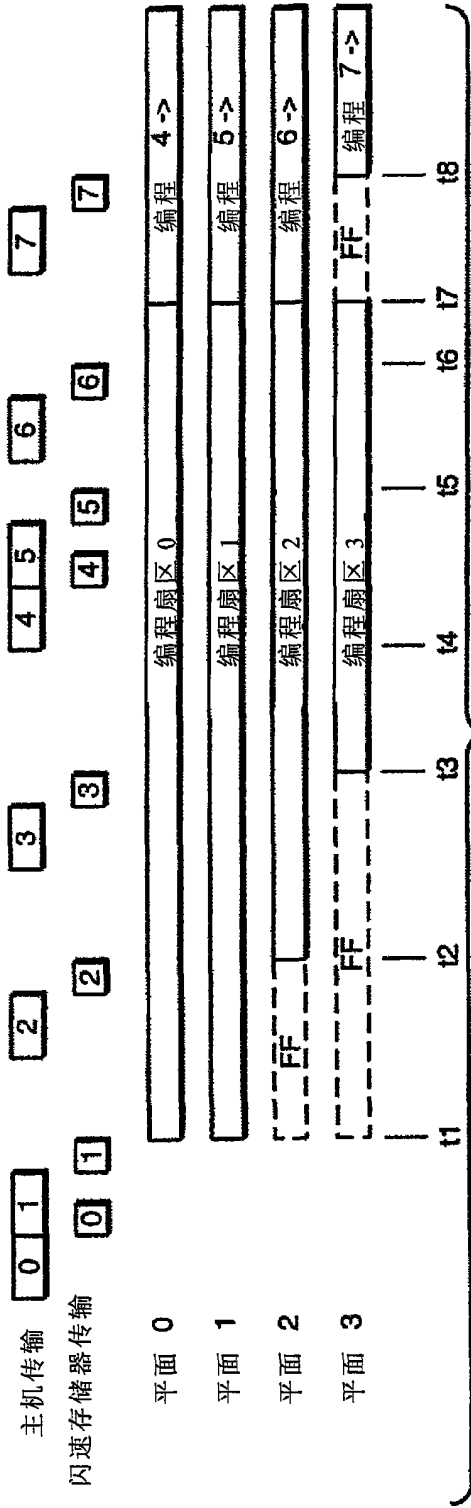


图 14A

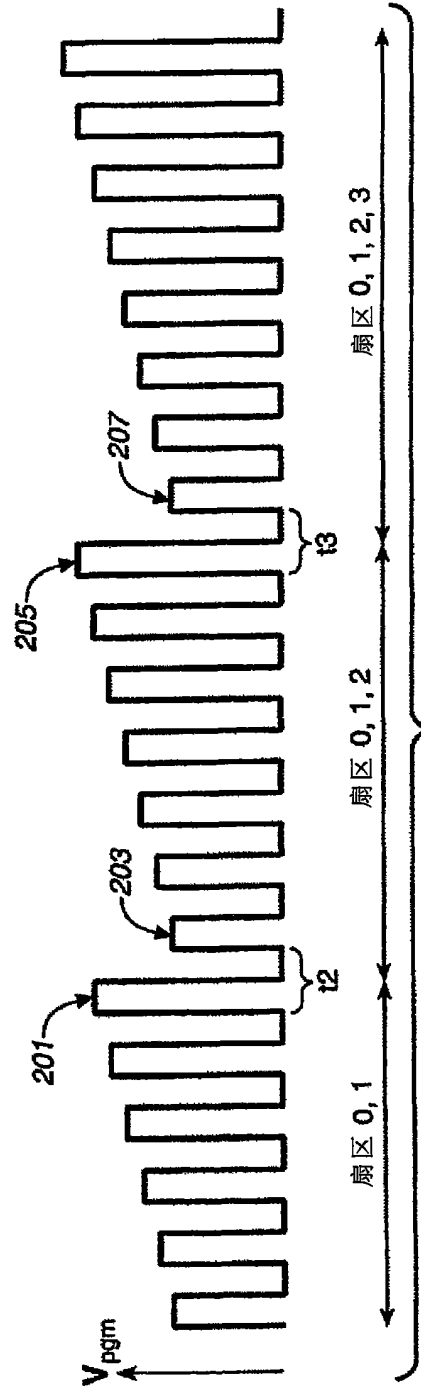


图 14B