

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5289684号
(P5289684)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.	F I
G09G 3/32 (2006.01)	G09G 3/32 A
G09G 3/20 (2006.01)	G09G 3/20 641B
HO1L 33/00 (2010.01)	G09G 3/20 612R
	G09G 3/20 623F
	G09G 3/20 612G

請求項の数 9 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2006-82128 (P2006-82128)	(73) 特許権者	000116024
(22) 出願日	平成18年3月24日 (2006.3.24)		ローム株式会社
(65) 公開番号	特開2007-256715 (P2007-256715A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成19年10月4日 (2007.10.4)	(74) 代理人	100085501
審査請求日	平成21年2月6日 (2009.2.6)		弁理士 佐野 静夫
		(74) 代理人	100134555
			弁理士 林田 英樹
		(72) 発明者	八木 徹
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		審査官	佐野 潤一

最終頁に続く

(54) 【発明の名称】 発光制御装置、表示装置、駆動制御装置、制御装置

(57) 【特許請求の範囲】

【請求項 1】

2 値のインーブル信号に応じて発光素子に対する駆動電流の供給可否を制御する発光制御装置であって、

前記インーブル信号は、前記発光素子を点灯状態とする際に第 1 論理とされ、その後、前記駆動電流の電流値を設定する際にパルス駆動され、前記発光素子を消灯状態とする際に所定の期間にわたって第 2 論理に維持されるものであり、

前記発光制御装置は、

前記駆動電流を生成する可変電流源と、

前記インーブル信号が前記第 1 論理とされたときに前記発光素子に対する前記駆動電流の供給を許可する一方、前記インーブル信号が前記所定の期間にわたって前記第 2 論理に維持されたときに前記発光素子に対する前記駆動電流の供給を禁止する手段と、

前記インーブル信号が前記第 2 論理から前記第 1 論理に切り替えられる毎に前記可変電流源で生成される前記駆動電流の電流値を切り替える手段と、

前記インーブル信号が前記所定の期間にわたって前記第 2 論理に維持されたときに前記可変電流源で生成される前記駆動電流の電流値をゼロ値にリセットする手段と、

を有して成ることを特徴とする発光制御装置。

【請求項 2】

電源電圧が所定の電圧値まで上昇した時点で前記インーブル信号が前記第 2 論理であれば前記駆動電流の電流値をゼロ値にリセットする手段を有して成ることを特徴とする請求

項 1 に記載の発光制御装置。

【請求項 3】

2 値のイネーブル信号に応じて発光素子に対する駆動電流の供給可否を制御する発光制御装置であって、

前記イネーブル信号は、前記発光素子を点灯状態とする際に第 1 論理とされ、その後、前記駆動電流の電流値を設定する際にパルス駆動され、前記発光素子を消灯状態とする際に所定の期間にわたって第 2 論理に維持されるものであり、

前記発光制御装置は、

前記イネーブル信号が入力される外部端子と；

前記イネーブル信号が前記第 2 論理から前記第 1 論理に変遷する際のエッジをトリガとしてパルス数のカウントを行い、これをデジタルデータとして出力するカウンタと；

前記デジタルデータをアナログデータに変換して出力するデジタル/アナログ変換器と；

前記アナログデータに基づいた電流値の前記駆動電流を生成し、これを前記発光素子に供給する可変電流源と；

前記イネーブル信号が前記所定の期間にわたって前記第 2 論理に維持されたときには期間検出信号を検出時論理とし、前記イネーブル信号が前記所定の期間にわたって前記第 2 論理に維持されていないときには前記期間検出信号を未検出時論理とする期間検出部と；

電源電圧が所定の電圧値を上回ったときには電圧検出信号を検出時論理とし、前記電源電圧が前記所定の電圧値を上回っていないときには前記電圧検出信号を未検出時論理とする電圧検出部と；

前記イネーブル信号が前記第 1 論理であるときにはオン/オフ信号をオン論理とし、前記イネーブル信号が前記第 2 論理であるときには前記期間検出信号または前記電圧検出信号が各々の検出時論理となった時点で前記オン/オフ信号をオフ論理とするオン/オフ制御部と；

前記電圧検出信号が前記検出時論理であって前記オン/オフ信号が前記オン論理であるときに前記発光素子に対する前記駆動電流の供給経路を導通する一方、前記電圧検出信号が前記未検出時論理であるか或いは前記オン/オフ信号が前記オフ論理であるときに前記発光素子に対する前記駆動電流の供給経路を遮断するスイッチと；

を有して成り、

前記カウンタは、前記オン/オフ信号が前記オフ論理とされたときにパルス数をゼロ値にリセットするものであり、

前記期間検出部は、前記オン/オフ信号が前記オフ論理とされたときに期間検出信号を前記未検出時の論理レベルにリセットするものであり、

前記電圧検出部は、前記オン/オフ信号が前記オン論理とされているときに前記電源電圧を監視する、

ことを特徴とする発光制御装置。

【請求項 4】

光源となる発光素子と、該発光素子に駆動電流を供給する発光制御装置と、を有して成る表示装置であって、前記発光制御装置として、請求項 1 ~ 請求項 3 のいずれかに記載の発光制御装置を有して成ることを特徴とする表示装置。

【請求項 5】

2 値のイネーブル信号に応じて負荷に対する駆動電流の供給可否を制御する駆動制御装置であって、

前記イネーブル信号は、前記負荷を駆動状態とする際に第 1 論理とされ、その後、前記駆動電流の電流値を設定する際にパルス駆動され、前記負荷を非駆動状態とする際に所定の期間にわたって第 2 論理に維持されるものであり、

前記駆動制御装置は、

前記駆動電流を生成する可変電流源と、

前記イネーブル信号が前記第 1 論理とされたときに前記負荷に対する前記駆動電流の供

10

20

30

40

50

給を許可する一方、前記イネーブル信号が前記所定の期間にわたって前記第2論理に維持されたときに前記負荷に対する前記駆動電流の供給を禁止する駆動電流オン/オフ手段と

、
前記イネーブル信号の所定エッジが入力される毎に前記可変電流源で生成される前記駆動電流の電流値を変更させる駆動電流制御手段と、

前記イネーブル信号が前記所定の期間にわたって前記第2論理に維持されたときに、前記可変電流源で生成される前記駆動電流の電流値をゼロ値にリセットするように前記駆動電流制御手段を初期化して前記駆動電流が流れないようにする初期化手段と、

を有して成ることを特徴とする駆動制御装置。

【請求項6】

電源電圧を監視する電源電圧監視回路を更に有し、

電源投入後で前記電源電圧が所定電圧値まで上昇したとき、前記イネーブル信号が前記第2論理であれば前記駆動電流制御手段を制御して前記駆動電流が流れないようにし、前記イネーブル信号が前記第1論理であれば前記駆動電流制御手段により設定されている電流値を維持することを特徴とする請求項5に記載の駆動制御装置。

【請求項7】

前記駆動電流制御手段は、前記イネーブル信号の所定エッジが入力された回数をカウントするカウンタ回路を含み、所定エッジが入力される毎に前記駆動電流の値を増加させるとともに、所定エッジの入力が所定回数になれば前記駆動電流が流れないようにし、その後更に所定エッジが入力されると、再び所定エッジが入力される毎に前記電流値を増加させるように前記可変電流源を制御することを特徴とする請求項5に記載の駆動制御装置。

【請求項8】

前記初期化手段は、前記第2論理の期間を測定するための期間検出回路と、該期間検出回路にクロック信号を供給するための発振回路と、前記期間検出回路の出力によりリセットされるフリップフロップ回路と、を更に有し、前記イネーブル信号が前記第2論理に維持されている期間が前記所定の期間になると前記期間検出回路の出力により前記駆動電流制御手段及び前記発振回路の動作を停止させることを特徴とする請求項5に記載の駆動制御装置。

【請求項9】

前記負荷は発光ダイオードであることを特徴とする請求項5に記載の駆動制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LED [Light Emitting Diode] ドライバICなどの発光制御装置、及び、これを用いた表示装置に関するものであり、また、負荷に所定の駆動電流を供給する駆動制御装置、及び、制御信号に応じて出力状態が変化する制御装置に関するものである。

【背景技術】

【0002】

LEDなどの発光素子に駆動電流を供給する従来の発光制御装置は、一般に、制御インタフェースとして二線以上のインタフェースを用い、レジスタ書込み等のコマンド送信によって、そのオン/オフ制御や発光量制御（駆動電流値制御）を行う構成とされていた。

【0003】

なお、本願発明に関連する従来技術としては、例えば、特許文献1（一線式シリアルデータ伝送方法およびその方法を用いた伝送インタフェース回路）を挙げることができる。

【0004】

【特許文献1】特開2002-335234号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

確かに、上記従来の発光制御装置であれば、装置外部からの各種制御信号に応じて、そ

10

20

30

40

50

のオン/オフ制御や発光量制御（駆動電流値制御）を行うことが可能である。

【0006】

しかしながら、上記従来の発光制御装置では、そのオン/オフ制御に必要な制御信号と発光量制御（駆動電流値制御）に必要な制御信号が別個の制御インタフェースを介して入力されていたため、制御が複雑である上、外部端子数の増加に伴う発光制御装置（延いてはこれを用いた表示装置）の大型化やコストアップが招かれていた。

【0007】

なお、特許文献1に記載された一線式シリアルデータ伝送方法のように、一線インタフェースを用いたシステム制御技術も種々開示・提案されてはいるが、いずれの従来技術も後述する本願発明とはその本質的構成を異にするものであった。

10

【0008】

本発明は、上記の問題点を鑑み、一線インタフェースを用いて、そのオン/オフ制御、並びに、駆動電流値制御を行うことが可能な発光制御装置及びこれを用いた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成すべく、本発明に係る発光制御装置は、発光素子に駆動電流を供給する発光制御装置であって、イネーブル信号のパルス数に基づいて前記駆動電流の電流値を制御する手段と、前記イネーブル信号が所定の期間にわたって所定の論理に維持されたときに電流値の制御をリセットする手段と、を有して成る構成（第1の構成）とされている。

20

【0010】

なお、上記第1の構成から成る発光制御装置は、電源電圧が所定の電圧値に達したときに前記イネーブル信号が前記所定の論理であれば電流値の制御をリセットする手段を有して成る構成（第2の構成）にするとよい。

【0011】

より具体的に述べると、本発明に係る発光制御装置は、発光素子に駆動電流を供給する発光制御装置であって、2値のイネーブル信号が入力される外部端子と；前記イネーブル信号が第2論理から第1論理に変遷する際のエッジをトリガとしてパルス数のカウントを行い、これをデジタルデータとして出力するカウンタと、前記デジタルデータをアナログデータに変換して出力するデジタル/アナログ変換器と；前記アナログデータに基づいた電流値の駆動電流を生成し、これを前記発光素子に供給する可変電流源と；前記イネーブル信号が所定の期間にわたって維持されているか否かを検出する期間検出部と；電源電圧が所定の電圧値に達しているか否かを検出する電圧検出部と；データ端に第2論理の論理信号が入力され、セット端に前記イネーブル信号の反転信号が入力され、リセット端に前記期間検出部から出力信号が入力され、クロック端に前記電圧検出部の出力信号が入力されるDフリップフロップから成るオン/オフ制御部と；前記オン/オフ制御部の出力信号と前記電圧検出部の出力信号との論理積演算を行う論理積演算器と；前記論理積演算器の出力信号に基づいて、前記発光素子に対する駆動電流の供給可否を制御するスイッチと；を有して成り、前記カウンタ及び前記期間検出部のリセット端、並びに、前記電圧検出部のイネーブル端には、それぞれ、前記オン/オフ制御部の出力信号が入力されている構成（第3の構成）とされている。

30

40

【0012】

また、本発明に係る表示装置は、光源となる発光素子と、該発光素子に駆動電流を供給する発光制御装置と、を有して成る表示装置であって、前記発光制御装置として、上記第1～第3何れかの構成から成る発光制御装置を備えた構成（第4の構成）とされている。

【0013】

また、本発明に係る駆動制御装置は、負荷に所定の駆動電流を供給する駆動制御装置であって、外部からの信号を入力するための入力端子と、前記信号の所定エッジが入力される毎に前記駆動電流の値を変更させる駆動電流制御手段と、前記信号が所定期間にわたって所定論理に維持されたときに、前記駆動電流制御手段を初期化して駆動電流が流れない

50

ようにする（或いは元に戻す）初期化手段と、を有して成る構成（第5の構成）とされている。

【0014】

また、上記第5の構成から成る駆動制御装置は、電源電圧を監視する電源電圧監視回路を更に有し、電源投入後で電源電圧が所定電圧値に達したとき、前記入力端子が第1論理（ハイレベル）であれば前記駆動電流制御手段を制御して前記駆動電流が流れないようにし（すなわち初期化し）、第1論理とは異なる第2論理（ローレベル）であれば前記駆動電流制御手段により設定されている電流値を維持する構成（第6の構成）にするとよい。

【0015】

また、上記第5の構成から成る駆動制御装置において、前記駆動電流制御手段は、信号の所定エッジが入力された回数をカウントするカウンタ回路と、該カウンタ回路の計数出力に応じた電流を流すためのデジタル/アナログ変換器と、該デジタル/アナログ変換器の出力に応じた電流を流す定電流源回路とを有し、所定エッジが入力される毎に前記駆動電流の値を増加させるとともに、所定エッジの入力が所定回数になれば前記駆動電流が流れないようにし（すなわち初期化し）、その後更に所定エッジが入力されると、再び所定エッジが入力される毎に前記電流値を増加させる構成（第7の構成）にするとよい。

【0016】

また、上記第5の構成から成る駆動制御装置において、前記初期化手段は、前記所定論理の期間を測定するための期間検出回路と、該期間検出回路に（前記信号よりも高速の）クロック信号を供給するための発振回路と、前記期間検出回路の出力によりリセットされるフリップフロップ回路とを更に有し、所定期間になると前記期間検出回路の出力により前記駆動電流制御手段及び前記発振回路の動作を停止させる構成（第8の構成）にするとよい。

【0017】

また、上記第5の構成から成る駆動制御装置において、前記負荷はバックライト用の発光ダイオードであり、前記駆動電流の変更によりバックライトの明るさを調整可能な構成（第9の構成）にするとよい。

【0018】

また、本発明に係る制御装置は、外部からの制御信号を入力する1つの入力端子を具備し、該入力端子に入力される制御信号に応じて出力状態が変化する（一線入力による制御が可能）制御装置であって、前記制御信号の所定エッジが入力される毎に出力状態を変更する出力設定手段と、前記制御信号が所定期間にわたって所定論理に維持されたときに前記出力設定手段により指定されていた出力状態を初期化する初期化手段と、を有して成る構成（第10の構成）とされている。

【発明の効果】

【0019】

上記したように、本発明に係る発光制御装置であれば、一線インタフェースを用いて、そのオン/オフ制御、並びに、駆動電流値制御を行うことができるので、外部端子を削減し、発光制御装置（延いてはこれを用いた表示装置）の小型化やコストダウンに貢献することが可能となる。

【発明を実施するための最良の形態】

【0020】

図1は、本発明に係る表示装置（特に発光制御装置の周辺部分）の一実施形態を示すブロック図である。

【0021】

本図に示すように、本実施形態の表示装置は、図示していない液晶パネルを背面から照射する発光ダイオード（以下、LEDと呼ぶ）と、LEDに駆動電流を供給する発光制御装置と、を有して成る表示装置であって、上記の発光制御装置は、カウンタ1と、ローレベル期間検出部2と、オン/オフ制御部3と、低電圧ロックアウト動作を行うための電圧検出部4（以下、UVLO [Under Voltage Lock Out] 部4と呼ぶ）と、論理積演算器5

10

20

30

40

50

と、デジタル/アナログ変換器 6 (以下、D A C [Digital/Analog Converter] 6 と呼ぶ) と、可変電流源 7 と、スイッチ 8 と、発振器 9 と、インバータ 10 ~ 11 と、外部端子 12 と、を有して成る半導体集積回路装置 (いわゆる L E D ドライバ I C) である。

【 0 0 2 2 】

カウンタ 1 は、外部端子 12 に入力されるイネーブル信号 a がハイレベル (イネーブル状態) に変遷する際の立上りエッジをトリガとしてパルス数のカウントを行い、これをデジタルデータ e として出力する手段である。なお、カウンタ 1 のリセット端には、オン/オフ制御部 3 の出力信号 c が入力されており、その論理がローレベルとされたときにはパルス数の初期化 (ゼロ値へのリセット) を行う構成とされている。

【 0 0 2 3 】

ローレベル期間検出部 2 は、イネーブル信号 a が所定の期間 (本実施形態では、512 [μs]) にわたってローレベル (ディセーブル状態) に維持されていればその出力信号 f の論理をハイレベルとし、維持されていなければその出力信号 f の論理をローレベルとする手段である。なお、ローレベル期間検出部 2 のリセット端には、カウンタ 1 と同様、オン/オフ制御部 3 の出力信号 c が入力されており、その論理がローレベルとされたときには、検出状態の初期化 (ローレベルへのリセット) を行う構成とされている。

【 0 0 2 4 】

オン/オフ制御部 3 は、データ端 (D) にローレベルの論理信号が入力され、セット端 (S) に反転イネーブル信号 b が入力され、リセット端 (R) にローレベル期間検出部 2 の反転出力信号 g が入力され、クロック端に U V L O 部 4 の出力信号 d が入力される D フリップフロップから成り、U V L O 部 4 の出力信号 d がハイレベルに変遷する際の立上りエッジをトリガとして、その出力端 (Q) からデータ出力 (すなわち、ローレベル出力) を行う手段である。なお、オン/オフ制御部 3 は、セット端 (S) に入力される反転イネーブル信号 b の論理がローレベルとされているときには、U V L O 部 4 の出力信号 d に依ることなく、その出力信号 c をハイレベルにセットする構成とされている。また、オン/オフ制御部 3 は、リセット端 (R) に入力されるローレベル期間検出部 2 の反転出力信号 g の論理がローレベルとされたときには、U V L O 部 4 の出力信号 d に依ることなく、出力信号 c の初期化 (ローレベルへのリセット) を行う構成とされている。

【 0 0 2 5 】

U V L O 部 4 は、発光制御装置の電源電圧が所定の電圧値に達していればその出力信号 d の論理をハイレベルとし、達していなければその出力信号 d の論理をローレベルとする手段である。なお、U V L O 部 4 のイネーブル端には、オン/オフ制御部 3 の出力信号 c が入力されており、その論理がハイレベルとされているときに電源電圧を監視する構成とされている。

【 0 0 2 6 】

論理積演算器 5 は、オン/オフ制御部 3 の出力信号 c と U V L O 部 4 の出力信号 d との論理積演算を行う手段である。すなわち、論理積演算器 5 の出力論理は、出力信号 c、d がいずれもハイレベルである場合にのみハイレベルとなり、それ以外の場合にはローレベルとなる。

【 0 0 2 7 】

D A C 6 は、カウンタ 1 から入力されるデジタルデータ e をアナログデータに変換して出力する手段である。

【 0 0 2 8 】

可変電流源 7 は、D A C 6 から入力されるアナログデータに基づいた電流値の駆動電流を生成し、これを L E D に供給する手段である。

【 0 0 2 9 】

スイッチ 8 は、論理積演算器 5 の出力信号に基づいて、L E D に対する駆動電流の供給可否を制御する手段である。本実施形態について具体的に述べると、スイッチ 8 は、L E D と可変電流源 7 とを結ぶ電流経路に直列接続されており、論理積演算器 5 の出力論理がハイレベルである場合にはオン状態となり、ローレベルである場合にはオフ状態となる。

10

20

30

40

50

【 0 0 3 0 】

発振器 9 は、所定周波数（本実施形態では 1 [M H z] ）のクロック信号を生成する手段である。なお、発振器 9 で生成されたクロック信号は、ローレベル期間検出部 2 に入力され、イネーブル信号 a が所定の期間にわたってローレベルに維持されているか否かの検出動作に用いられる。また、発振器 9 のイネーブル端には、論理積演算器 5 の出力信号が入力されており、その論理がハイレベルとされているときに発振動作を行う構成とされている。

【 0 0 3 1 】

インバータ 1 0 は、イネーブル信号 a の論理を反転させて反転イネーブル信号 b を生成し、これをオン/オフ制御部 3 のセット端（ S ）に出力する手段である。

【 0 0 3 2 】

インバータ 1 1 は、ローレベル期間検出部 2 の出力信号 f を論理反転させて反転出力信号 g を生成し、これをオン/オフ制御部 3 のリセット端（ R ）に出力する手段である。

【 0 0 3 3 】

外部端子 1 2 は、装置外部から 2 値（ハイレベル/ローレベル）のイネーブル信号 a が入力される一線インタフェイス用の端子である。

【 0 0 3 4 】

上記構成から成る発光制御装置の動作について、図 2 を参照しながら詳細に説明する。

【 0 0 3 5 】

図 2 は、一線インタフェイスによる発光制御動作を説明するためのタイミングチャートである。なお、本図中に示す符号 a ~ g は、それぞれ、図 1 で示した装置各部の信号（或いはデータ） a ~ g を示している。

【 0 0 3 6 】

まず、イネーブル信号 a のパルス数に基づく駆動電流の電流値制御について説明する。

【 0 0 3 7 】

本図に示すように、本実施形態の発光制御装置に入力されるイネーブル信号 a は、パルス駆動されるものであり、カウンタ 1 は、イネーブル信号 a がハイレベル遷移される度にそのカウント値 e を 1 つずつ増加させていく。一方、 D A C 6 は、デジタルデータとして入力されるカウント値 e をアナログデータに変換し、可変電流源 7 は、これに基づく駆動電流の電流値制御を行う。

【 0 0 3 8 】

例えば、カウント値 e が 4 ビット（ 0 ~ 1 5 ）のデジタルデータであるときに、イネーブル信号 a が 8 回だけパルス駆動されてハイレベルに維持された場合には、 L E D の駆動電流値が 8 段階目に設定される。また、 L E D の駆動電流値が最大値（ 1 5 段階目）に設定されている状態で、さらにイネーブル信号 a が 1 回だけパルス駆動された場合には、カウント値 e がゼロ値に戻り、 L E D の駆動電流値は最小値（ゼロ値）に設定される。

【 0 0 3 9 】

次に、イネーブル信号 a のローレベル維持に基づくリセット制御について説明する。

【 0 0 4 0 】

本図の $t_m \sim t_n$ に示すように、本実施形態の発光制御装置では、イネーブル信号 a が 5 1 2 [μs] にわたってローレベル（ディセーブル状態）に維持されると、ローレベル期間検出部 2 の出力信号 f がハイレベルとされ、その反転出力信号 g がローレベルとされる。その結果、オン/オフ制御部 3 の出力信号 c は、ローレベルにリセットされるので、 U V L O 部 4 の動作が停止され、また、カウンタ 1 のパルス数並びにローレベル期間検出部 2 の検出状態が相次いで初期化（ゼロ値並びにローレベルにリセット）される。すなわち、本実施形態の発光制御装置では、イネーブル信号 a が 5 1 2 [μs] にわたってローレベルに維持されたときに初めて、ディセーブル状態への遷移が認識される。

【 0 0 4 1 】

上記したように、本実施形態の発光制御装置は、イネーブル信号 a のパルス数に基づいて L E D に供給すべき駆動電流の電流値を制御する手段（主として、カウンタ 1、 D A C

10

20

30

40

50

6、及び、可変電流源7)と、イネーブル信号aが所定の期間にわたってローレベルに維持されたときに装置をリセットする手段(主として、ローレベル期間検出部2、オン/オフ制御部3)と、を有して成る構成とされている。

【0042】

このように、イネーブル信号aのパルス数に応じたDAC6のコード設定によってLEDへの駆動電流値制御を行い、また、イネーブル信号aのローレベル期間の長さに応じて装置のオン/オフ制御を行う構成であれば、装置外部からの制御信号がイネーブル信号aの一線のみで足りるため、外部端子を削減して、発光制御装置(延いてはこれを用いた表示装置)の小型化やコストダウンに貢献することが可能となる。

【0043】

続いて、電源投入時の初期リセット制御について説明する。

【0044】

装置への電源投入時には、図2中のt1からのハッチング部分で示すように、オン/オフ制御部3の出力信号c、カウンタ1のデジタルデータe、ローレベル期間検出部2の出力信号f及びその反転出力信号gが論理不定のまま、装置各部が起動し始める。

【0045】

このような論理不定状態においては、本図に示すように、イネーブル信号aがローレベル(ディセーブル状態)であるにも関わらず、オン/オフ制御部3の出力信号cが意図せずにハイレベルとなるおそれがあり、また、カウンタ1のデジタルデータeもゼロ値ではないおそれがある。すなわち、このような論理不定状態においては、電源電圧が所定の電圧値まで上昇し、UVLO部4の出力信号dがハイレベルに立ち上がった時点で、LEDに意図しない駆動電流が供給され、LEDが誤点灯するおそれがある。

【0046】

通常、上記の論理不定状態は、イネーブル信号aを装置のリセット信号として用いることにより解消できるが、本実施形態の発光制御装置では、先述した通り、イネーブル信号aがパルス駆動されるため、これを直接リセット信号として用いることはできない。

【0047】

そこで、本実施形態の発光制御装置では、上記の論理不定状態において、電源電圧が所定の電圧値まで上昇し、UVLO部4の出力信号dがハイレベルに立ち上がると、その立上りエッジをトリガとして、オン/オフ制御部3がデータ出力(ローレベル出力)を行う構成とされている。このデータ出力動作は、正に出力信号cの初期化(初期リセット)に相当するため、出力信号cのローレベル遷移に伴って、UVLO部4の動作が停止され、また、カウンタ1のパルス数並びにローレベル期間検出部2の検出状態が相次いで初期化(ゼロ値及びローレベルにリセット)される。なお、このとき、オン/オフ制御部3のセット端(S)には、ハイレベルの反転イネーブル信号bが入力されているため、上記のデータ出力動作が阻害されることはない。

【0048】

一方、電源電圧が十分に立ち上がった後、イネーブル信号aのハイレベル遷移に伴ってオン/オフ制御部3の出力信号cがハイレベルとなり、UVLO部4の出力信号dがハイレベルとなった場合にも、オン/オフ制御部3は、上記と同様、出力信号dの立上りエッジをトリガとして、データ出力(ローレベル出力)を行おうとする。しかしながら、このときには、オン/オフ制御部3のセット端(S)にローレベルの反転イネーブル信号bが入力されており、セット状態となっているため、上記のデータ出力動作は禁止され、出力信号cの論理はハイレベルに維持される。

【0049】

上記したように、本実施形態の発光制御装置は、電源電圧が所定の電圧値に達したときに、イネーブル信号aがローレベル(ディセーブル状態)であれば、装置をリセットする手段(主として、オン/オフ検出部3、UVLO部4)を有して成る構成とされている。

【0050】

このような構成とすることにより、リセット端子を要することなく、必ず装置を初期リ

10

20

30

40

50

セットすることができるので、電源投入時における誤点灯を防止することが可能となる。

【 0 0 5 1 】

なお、電源投入時の論理不定状態において、U V L O部4の出力信号dがハイレベルに遷移されてから、オン/オフ制御部3の出力信号cがローレベルにリセットされるまでには、回路動作に伴う遅延を生じるが、これは極めて短時間(数[ns])であるため、この遅延期間中にD A C 6や可変電流源7の起動が完了することはありません、L E Dの誤点灯を生じない。

【 0 0 5 2 】

また、本図では、描写を分かりやすく行うために、電源電圧がほぼ立ち上がったタイミングで上記リセット動作が行われる様子を書いているが、実際には、もっと電源電圧が低いときに(素子動作が可能となったらすぐに)上記リセット動作が行われる。

10

【 0 0 5 3 】

また、本実施形態の発光制御装置は、電源電圧の監視手段として、既存のU V L O部4を流用した構成とされている。このように、本来的には、異常低電圧時における装置保護信号(シャットダウン制御信号)として用いられるU V L O部4の出力信号dを上記の初期リセット制御用としても利用する構成であれば、回路規模を不要に増大せずに済み、発光制御装置(延いてはこれを用いた表示装置)の小型化やコストダウンに貢献することが可能となる。

【 0 0 5 4 】

なお、上記の実施形態では、表示装置に搭載される発光素子の制御手段として、本発明に係る発光制御装置を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、その他の発光制御装置や、モータ駆動装置や、電源投入時の誤動作をしないで欲しい装置全般にも広く適用することが可能である。

20

【 0 0 5 5 】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、上記実施形態で各信号a~gの論理状態は、あくまで一例であり、同様の動作を実現し得るのであれば、これに限定されるものではない。

【 0 0 5 6 】

また、電流値を変える代わりに、電流を流す時間を変更するP W M駆動としてもよい。

【産業上の利用可能性】

30

【 0 0 5 7 】

本発明は、発光制御装置の外部端子削減(延いてはその小型化やコストダウン)を図る上で有用な技術であり、例えば、その軽薄化が望まれている表示装置の発光制御手段として、本発明に係る発光制御装置を適用することが考えられる。

【図面の簡単な説明】

【 0 0 5 8 】

【図1】は、本発明に係る表示装置の一実施形態を示すブロック図である。

【図2】は、一線による発光制御動作を説明するためのタイミングチャートである。

【符号の説明】

【 0 0 5 9 】

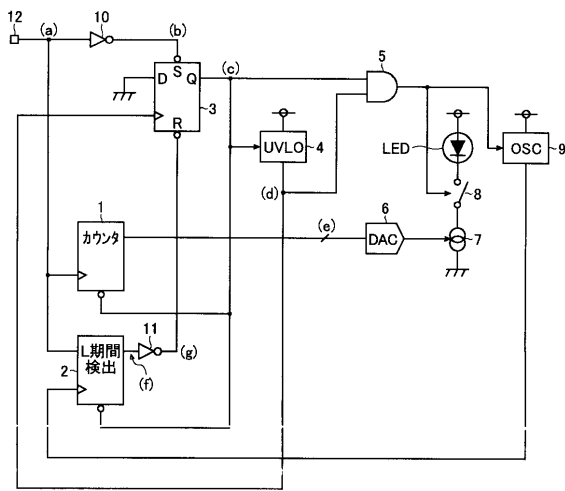
40

- 1 カウンタ
- 2 ローレベル期間検出部
- 3 オン/オフ制御部(Dフリップフロップ)
- 4 電圧検出部(U V L O部)
- 5 論理積演算器
- 6 デジタル/アナログ変換器(D A C)
- 7 可変電流源
- 8 スイッチ
- 9 発振器(O S C)
- 10 ~ 11 インバータ

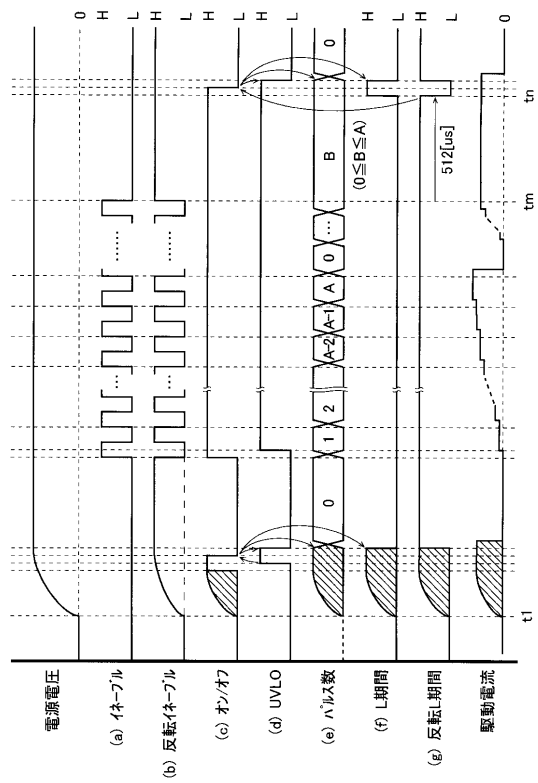
50

1 2 外部端子
LED 発光ダイオード (発光素子)

【図 1】



【図 2】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 L
H 0 1 L 33/00 J

(56)参考文献 特開平07 - 183779 (JP, A)
特開2001 - 308710 (JP, A)
特開2001 - 312246 (JP, A)
特開2001 - 350439 (JP, A)
特開2005 - 064717 (JP, A)
特開2006 - 047580 (JP, A)
特表2004 - 537762 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 2
G 0 9 G 3 / 2 0