

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-45878  
(P2013-45878A)

(43) 公開日 平成25年3月4日(2013.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M118
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 E	5C024
HO 1 L 27/092 (2006.01)	HO 4 N 5/335 7 4 O	5F048
HO 4 N 5/374 (2011.01)		

審査請求 未請求 請求項の数 11 O L (全 29 頁)

(21) 出願番号 特願2011-182429 (P2011-182429)  
(22) 出願日 平成23年8月24日 (2011.8.24)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 110000925  
特許業務法人信友国際特許事務所  
(72) 発明者 大石 哲也  
東京都港区港南1丁目7番1号 ソニー株式会社内  
Fターム(参考) 4M118 AA05 AB01 BA14 CA02 DD04  
EA08 FA06 FA28 GA10 GB09  
5C024 CX03 CY47 GX03 GY39  
5F048 AB10 AC04 AC10 BA16 BB03  
BB05 BC01 BC03 BC06 BC18  
BD02 BD10 BG13 DA25 DA27  
DA30

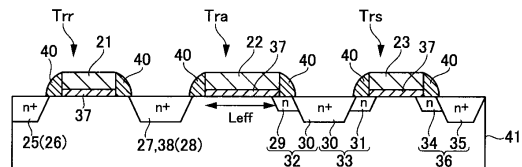
(54) 【発明の名称】 固体撮像装置、固体撮像装置の製造方法、電子機器

(57) 【要約】

【課題】 ランダムノイズの低減が図られた固体撮像装置を提供することを目的とする。また、その固体撮像装置を備えることにより、画質の向上が図られた電子機器を提供することを目的とする。

【解決手段】 増幅トランジスタ  $T_{ra}$  のドレイン側では、高濃度不純物領域 28 のみでドレイン領域 38 を構成し、ソース側では、増幅ゲート電極 22 側に形成され、ドレイン領域 38 を構成する高濃度不純物領域 28 よりも不純物濃度が低い低濃度不純物領域 29 からなるソース領域 32 を構成する。ドレイン領域 38 において、低濃度不純物領域を形成しないことで、実効ゲート長  $L_{eff}$  を長くできる。また、増幅ゲート電極 22 のソース側では、増幅ゲート電極 22 側に低濃度不純物領域 29 が形成されるため、基板表面のポテンシャル変動を抑えることができる。

【選択図】 図 4



A - A

## 【特許請求の範囲】

## 【請求項 1】

受光した光の光量に応じた信号電荷を生成する光電変換部と、

前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタであって、基板上に形成された増幅ゲート電極と、前記増幅ゲート電極のドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記増幅ゲート電極のソース側の基板領域に形成された低濃度不純物領域とで構成される増幅トランジスタを含む画素トランジスタと、

を備える固体撮像装置。

## 【請求項 2】

10

前記増幅ゲート電極のソース側では、前記低濃度不純物領域に連続する基板領域であって、前記増幅ゲート電極から離間した基板領域に、前記低濃度不純物領域よりも高い不純物濃度で構成された高濃度不純物領域が形成されている

請求項 1 記載の固体撮像装置。

## 【請求項 3】

前記画素トランジスタのうち、リセットトランジスタは、基板上に形成されたりセットゲート電極と、前記リセットゲート電極のソース側及びドレイン側の基板領域に形成された高濃度不純物領域とで構成される

請求項 2 に記載の固体撮像装置。

## 【請求項 4】

20

前記画素トランジスタのうち、選択トランジスタは、基板上に形成された選択ゲート電極と、前記選択ゲート電極のソース側及びドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記選択ゲート電極のソース側及びドレイン側に形成されたそれぞれの高濃度不純物領域と前記選択ゲート電極との間の基板領域に形成された低濃度不純物領域とで構成される

請求項 3 に記載の固体撮像装置。

## 【請求項 5】

前記増幅トランジスタのソース側の高濃度不純物領域は、前記選択トランジスタのドレイン側の高濃度不純物領域を兼ねる

請求項 4 に記載の固体撮像装置。

30

## 【請求項 6】

前記増幅トランジスタは、画素毎に 2 つずつ設けられ、2 つの増幅トランジスタのうち、一方の増幅トランジスタのソース側の高濃度不純物領域は前記選択トランジスタのドレイン側の高濃度不純物領域を兼ね、他方の増幅トランジスタのドレイン側の高濃度不純物領域は、前記リセットトランジスタのドレイン側の高濃度不純物領域を兼ねる

請求項 5 に記載の固体撮像装置。

## 【請求項 7】

前記増幅トランジスタは、画素毎に 2 つずつ設けられ、2 つの増幅トランジスタのうち、一方の増幅トランジスタのソース側の高濃度不純物領域は他方の増幅トランジスタのソース側の高濃度不純物領域を兼ね、他方の増幅トランジスタのドレイン側の高濃度不純物領域は、前記リセットトランジスタのドレイン側の高濃度不純物領域を兼ねる

請求項 4 に記載の固体撮像装置。

40

## 【請求項 8】

入射した光の光量に応じた信号電荷を生成する光電変換部と、前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタからなる複数の画素を備える固体撮像装置の製造方法において、

基板上に、前記複数の画素トランジスタを構成するゲート電極を形成する工程と、

前記複数の画素トランジスタのうち、少なくとも、増幅トランジスタを構成する増幅ゲート電極のソース側の基板領域を開口し、ドレイン側の基板領域を被覆するレジストマスクを形成する工程と、

50

前記レジストマスクを介して前記基板と逆導電型の不純物をイオン注入し、低濃度不純物拡散領域を形成する工程と、

前記レジストマスクを除去し、前記ゲート電極の側壁にサイドウォールを形成する工程と、

前記複数の画素トランジスタを構成するゲート電極のソース側及びドレイン側の基板領域に、前記基板と逆導電型の不純物をイオン注入し、前記低濃度不純物拡散領域よりも高い不純物領域からなる高濃度不純物領域を形成する工程と、

を含む

固体撮像装置の製造方法。

【請求項 9】

前記レジストマスクは、リセットトランジスタのソース側及びドレイン側を被覆するように形成する

請求項 8 に記載の固体撮像装置の製造方法。

【請求項 10】

前記レジストマスクは、選択トランジスタのソース側及びドレイン側を開口するように形成する

請求項 9 に記載の固体撮像装置の製造方法。

【請求項 11】

光学レンズと、

受光した光の光量に応じた信号電荷を生成する光電変換部と、前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタであって、基板上に形成された増幅ゲート電極と、前記増幅ゲート電極のドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記増幅ゲート電極のソース側の基板領域に形成された低濃度不純物領域とで構成される増幅トランジスタを含む画素トランジスタと、を備える固体撮像装置であって、前記光学レンズに集光された光が入射される固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

を含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、CMOS型の固体撮像装置とその製造方法に関する。また、その固体撮像装置を用いた電子機器に関する。

【背景技術】

【0002】

固体撮像装置は、CCD (Charge Coupled Device) 型固体撮像装置と、CMOS (Complementary Metal Oxide Semiconductor) 型固体撮像装置とに大別される。CCD型固体撮像装置とCMOS型固体撮像装置とを比較すると、CCD型固体撮像装置では、信号電荷の転送に高い駆動電圧を必要とするため、CMOS型固体撮像装置に比べて電源電圧が高くならざるを得ない。このように、消費電力の点などから、CMOS型固体撮像装置が、CCD型固体撮像装置に比べて有利とされている。

【0003】

従って、近年、カメラ付き携帯電話やPDA (Personal Digital Assistant) などのモバイル機器に搭載されている固体撮像装置としては、CCD型固体撮像装置よりも有利なCMOS型固体撮像装置が多く用いられている。

【0004】

CMOS型固体撮像装置は、受光に応じて信号電荷を生成するフォトダイオードからなる受光部と、受光部で生成された信号電荷が読み出されるフローティングディフュージョン部と、複数のMOSトランジスタによって構成されている。複数のMOSトランジスタ

10

20

30

40

50

としては、転送トランジスタ、リセットトランジスタ、アンプトランジスタ、選択トランジスタが挙げられ、これらのMOSトランジスタは、上層に形成された多層配線層の所望の配線層に接続されている。CMOS型固体撮像装置では、受光部で生成、蓄積された信号電荷が転送トランジスタにより画素毎にフローティングディフュージョン部に読み出される。そして、フローティングディフュージョン部で読み出された信号電荷は、増幅トランジスタにより増幅されて、選択トランジスタにより選択的に多層配線層に形成された垂直信号線に出力される。

#### 【0005】

このようなCMOS型固体撮像装置では、画素を構成するMOSトランジスタにおいて、ゲート長の縮小化に伴う短チャネル効果を改善するため、LDD構造が採用されている（特許文献1）。図23に、従来の固体撮像装置における画素トランジスタの断面構成例を示す。図23では、リセットトランジスタTr1、増幅トランジスタTr2、選択トランジスタTr3を示している。

10

#### 【0006】

図23に示すように、従来の固体撮像装置では、各画素トランジスタTr1~Tr3は、基板100の表面にゲート絶縁膜103を介して形成されたゲート電極101と、そのゲート電極101を挟む基板領域に形成されるソース・ドレイン領域で構成されている。ゲート電極101の側面には絶縁膜からなるサイドウォール102が形成されている。また、ソース・ドレイン領域は、ゲート電極101側から順に形成された低濃度不純物領域104と、高濃度不純物領域105で構成されている。

20

#### 【0007】

低濃度不純物領域104は、ゲート電極101の形成後、基板100を構成する不純物領域とは反対導電型の不純物を低濃度にイオン注入することで形成される。一方、高濃度不純物領域105は、サイドウォール102形成後、基板100を構成する不純物領域とは反対導電型の不純物を、低濃度不純物領域104よりも高濃度にイオン注入することで形成される。

#### 【0008】

一般的に、LDD構造を有するMOSトランジスタでは、ゲート電極101を挟んで形成されるソース領域、ドレイン領域が対称となるように形成されている。すなわち、ソース領域、及びドレイン領域の両方が、ゲート電極101側から順に形成された低濃度不純物領域104、高濃度不純物領域105を備える。

30

#### 【先行技術文献】

#### 【特許文献】

#### 【0009】

【特許文献1】特開2010-56516号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0010】

ところで、近年、CMOS型の固体撮像装置では、高画質の映像を得るため多画素化が進み、さらにコスト削減の要求により小型化が進んでいる。また、画素の縮小化が進んでも、一定の飽和電荷量(Qs)は確保しなければならないという要請があり、フォトダイオードにさく面積を縮小化できない。それ故に、増幅トランジスタやリセットトランジスタ、選択トランジスタ等が形成されるアクティブ領域の縮小化がますます求められてきている。そうすると、増幅トランジスタの面積縮小により1/fノイズの増加と、RTS(Random Telegraph Signal)の増加が引き起こされ、ランダムノイズの増加や、撮像特性の悪化を引き起こす。

40

#### 【0011】

上述の点に鑑みて、本開示は、ランダムノイズの低減が図られた固体撮像装置を提供することを目的とする。また、その固体撮像装置を備えることにより、画質の向上が図られた電子機器を提供することを目的とする。

50

## 【課題を解決するための手段】

## 【0012】

本開示の固体撮像装置は、受光した光の光量に応じた信号電荷を生成する光電変換部と、光電変換部で生成された信号電荷を読み出す複数の画素トランジスタを備える。画素トランジスタのうち、増幅トランジスタは、基板上に形成された増幅ゲート電極と、その増幅ゲート電極のドレイン側、及びソース側の基板領域に形成された不純物領域で構成される。増幅ゲート電極のドレイン側に形成された不純物領域は、高濃度不純物領域で構成される。また、増幅ゲート電極のソース側に形成された不純物領域は、ドレイン側に形成された高濃度不純物領域よりも低い不純物濃度で構成された低濃度不純物領域を備えた構成とされる。

10

## 【0013】

本開示の固体撮像装置では、増幅トランジスタにおいて、ドレイン側に低濃度不純物領域が形成されないため実効ゲート長を大きくすることができる。さらに、増幅トランジスタのソース側を低濃度不純物領域で構成とすることで、増幅ゲート電極のソース側の基板表面におけるポテンシャル変動を抑えることができる。

## 【0014】

本開示の固体撮像装置の製造方法は、基板上に、複数の画素トランジスタを構成するゲート電極を形成する工程を有する。また、複数の画素トランジスタのうち、少なくとも、増幅トランジスタを構成する増幅ゲート電極のソース側の基板領域を開口し、ドレイン側の基板領域を被覆するレジストマスクを形成する工程を有する。また、レジストマスクを介して、基板領域に基板と逆導電型の不純物をイオン注入し、低濃度不純物拡散領域を形成する工程を有する。また、レジストマスクを除去し、ゲート電極の側壁にサイドウォールを形成する工程を有する。また、複数の画素トランジスタを構成するゲート電極のソース側及びドレイン側の基板領域に、基板と逆導電型の不純物をイオン注入し、低濃度不純物拡散領域よりも高い不純物領域からなる高濃度不純物領域を形成する工程を有する。

20

## 【0015】

本開示の固体撮像装置の製造方法では、増幅トランジスタのドレイン側が、高濃度不純物領域のみで形成される。また、増幅トランジスタのソース側では、サイドウォール形成前に低濃度不純物領域が形成される。このため、ドレイン側のサイドウォール下に低濃度不純物領域が形成されないため、実効ゲート長を大きくすることができる。また、ソース側のサイドウォール下には低濃度不純物領域が形成されるため、増幅ゲート電極のソース側の基板表面におけるポテンシャル変動を抑えることができる。

30

## 【0016】

本開示の電子機器は、光学レンズと、上述の固体撮像装置であって、光学レンズに集光された光が入射される固体撮像装置と、固体撮像装置から出力される出力信号を処理する信号処理回路を備える。

## 【発明の効果】

## 【0017】

本開示によれば、増幅トランジスタのゲート電極の面積を変えることなく、 $1/f$ ノイズやRTSの低減が図られた固体撮像装置が得られる。また、その固体撮像装置を用い、画質の向上が図られた電子機器が得られる。

40

## 【図面の簡単な説明】

## 【0018】

【図1】本開示の第1の実施形態に係るCMOS型の固体撮像装置の全体を示す概略構成図である。

【図2】本開示の第1の実施形態に係る固体撮像装置を構成する画素の等価回路図である。

【図3】本開示の第1の実施形態に係る固体撮像装置の単位画素の平面レイアウト図である。

【図4】図3のA-A線上に沿う断面構成を示す図である。

50

【図 5】 A ~ D 本開示の第 1 の実施形態に係る固体撮像装置の製造方法を示す工程図である。

【図 6】 第 1 の実施形態において、半導体基板上部に低濃度不純物領域形成の為にレジストマスクを形成したときの平面構成図である。

【図 7】 増幅トランジスタのソース・ドレイン領域の構成をそれぞれ変えた場合の 1 / f ノイズを比較した実験結果を示す図である。

【図 8】 変形例に係る固体撮像装置の断面構成図である。

【図 9】 本開示の第 2 の実施形態に係る固体撮像装置の単位画素の平面レイアウト図である。

【図 10】 図 9 の B - B 線上に沿う断面構成を示す図である。

10

【図 11】 本開示の第 1 の実施形態に係る固体撮像装置の製造方法を示す図である。

【図 12】 第 2 の実施形態において、半導体基板上部に低濃度不純物領域形成の為にレジストマスクを形成したときの平面構成図である。

【図 13】 本開示の第 2 の実施形態の固体撮像装置において、レジストマスクの開口部の開口面積を拡大するためのレイアウトの一例を示した図である。

【図 14】 本開示の第 3 の実施形態に係る固体撮像装置の単位画素の平面レイアウト図である。

【図 15】 図 14 の C - C 線上に沿う断面構成を示す図である。

【図 16】 本開示の第 3 の実施形態の固体撮像装置において、レジストマスクの開口部の開口面積を拡大するためのレイアウトの一例を示した図である。

20

【図 17】 第 3 の実施形態において、半導体基板上部に低濃度不純物領域形成の為にレジストマスクを形成したときの平面構成図である。

【図 18】 本開示の第 4 の実施形態に係る固体撮像装置の単位画素の平面レイアウト図である。

【図 19】 図 18 の D - D 線上に沿う断面構成を示す図である。

【図 20】 本開示の第 4 の実施形態の固体撮像装置において、レジストマスクの開口部の開口面積を拡大するためのレイアウトの一例を示した図である。

【図 21】 第 4 の実施形態において、半導体基板上部に低濃度不純物領域形成の為にレジストマスクを形成したときの平面構成図である。

【図 22】 本開示の第 5 の実施形態に係る電子機器の概略構成図である。

30

【図 23】 従来の固体撮像装置の画素トランジスタにおける断面構成を示す図である。

【発明を実施するための形態】

【0019】

以下に、本開示の実施形態に係る固体撮像装置とその製造方法、及びその固体撮像装置を備えた電子機器の一例を、図を参照しながら説明する。本開示の実施形態は以下の順で説明する。なお、本開示は以下の例に限定されるものではない。

1. 第 1 の実施形態：固体撮像装置

1 - 1 全体構成

1 - 2 要部の構成

1 - 3 製造方法

40

2. 第 2 の実施形態：固体撮像装置

3. 第 3 の実施形態：固体撮像装置

4. 第 4 の実施形態：固体撮像装置

5. 第 5 の実施形態：電子機器

【0020】

1. 第 1 の実施形態：固体撮像装置

[ 1 - 1 全体構成 ]

図 1 は、本開示の第 1 の実施形態に係る CMOS 型の固体撮像装置の全体を示す概略構成図である。

本実施形態例の固体撮像装置 1 は、シリコンからなる基板 11 上に配列された複数の画

50

素 2 から構成される画素領域 3 と、垂直駆動回路 4 と、カラム信号処理回路 5 と、水平駆動回路 6 と、出力回路 7 と、制御回路 8 等を有して構成される。

【 0 0 2 1 】

画素 2 は、フォトダイオードからなる光電変換部と、複数の画素トランジスタとから構成され、基板 1 1 上に、2次元アレイ状に規則的に複数配列される。画素 2 を構成する画素トランジスタは、転送トランジスタ、リセットトランジスタ、選択トランジスタ、増幅トランジスタで構成される 4 つの MOS トランジスタであってもよく、また、選択トランジスタを除いた 3 つのトランジスタであってもよい。

【 0 0 2 2 】

画素領域 3 は、2次元アレイ状に規則的に複数配列された画素 2 から構成される。画素領域 3 は、実際に光を受光し光電変換によって生成された信号電荷を増幅してカラム信号処理回路 5 に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域（図示せず）とから構成されている。黒基準画素領域は、通常は、有効画素領域の外周部に形成されるものである。

10

【 0 0 2 3 】

制御回路 8 は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号などを生成する。そして、制御回路 8 で生成されたクロック信号や制御信号などは、垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 等に入力される。

【 0 0 2 4 】

垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査する。そして、各画素 2 のフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号を、垂直信号線 9 を通してカラム信号処理回路 5 に供給する。

20

【 0 0 2 5 】

カラム信号処理回路 5 は、例えば、画素 2 の列毎に配置されており、1行分の画素 2 から出力される信号を画素列毎に黒基準画素領域（図示しないが、有効画素領域の周囲に形成される）からの信号によって、ノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ（図示せず）が水平信号線 10 とのあいだに設けられている。

30

【 0 0 2 6 】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

【 0 0 2 7 】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して、順次に供給される信号に対し信号処理を行い出力する。

【 0 0 2 8 】

[ 1 - 2 要部の構成 ]

図 2 は、本実施形態例の固体撮像装置を構成する画素の等価回路図である。本実施形態例の固体撮像装置 1 における単位画素 2 は、光電変換素子であるフォトダイオード PD と、転送トランジスタ  $T_{rt}$  と、リセットトランジスタ  $T_{rr}$  と、増幅トランジスタ  $T_{ra}$  と、及び選択トランジスタ  $T_{rs}$  とで構成されている。これらの画素トランジスタとしては、本例では n チャネル MOS トランジスタを用いている。

40

【 0 0 2 9 】

転送トランジスタ  $T_{rt}$  は、そのソースがフォトダイオード PD のカソード側に接続され、ドレインがフローティングディフュージョン部 FD に接続されている。また、転送トランジスタ  $T_{rt}$  のソース・ドレイン間の転送ゲート電極 20 には転送パルス TRG を供給する転送配線が接続されている。フォトダイオード PD で光電変換され、ここに蓄積された信号電荷（本実施形態例では電子）は、転送トランジスタ  $T_{rt}$  の転送ゲート電極

50

20に転送パルス TRGが印加されることによって、フローティングディフュージョン部FDに転送される。

【0030】

リセットトランジスタTrrは、そのドレインが電源電圧VDDに接続され、ソースがフローティングディフュージョン部FDに接続されている。また、リセットトランジスタTrrのソース・ドレイン間のリセットゲート電極21にはリセットパルス RSTを供給するリセット配線が接続されている。フォトダイオードPDからフローティングディフュージョン部FDへの信号電荷の転送に先立って、リセットトランジスタTrrのリセットゲート電極21にリセットパルス RSTを印加する。これにより、フローティングディフュージョン部FDの電位が電源電圧VDDによりVDDレベルにリセットされる。

10

【0031】

増幅トランジスタTraは、そのドレインが電源電圧VDDに接続され、そのソースが選択トランジスタTrsのドレインに接続されている。そして、増幅トランジスタTraのソース・ドレイン間の増幅ゲート電極22は、フローティングディフュージョン部FDに接続されている。この増幅トランジスタTraは、電源電圧VDDを負荷とするソースフォロア回路を構成しており、フローティングディフュージョン部FDの電位変化に応じた画素信号が出力される。

【0032】

選択トランジスタTrsは、そのドレインが増幅トランジスタTraのソースに接続され、そのソースが垂直信号線9に接続されている。また、選択トランジスタTrsのソース・ドレイン間の選択ゲート電極23には、選択パルス SELを供給する選択配線が接続されている。画素毎に選択パルス SELが選択ゲート電極23に供給されることにより増幅トランジスタTraで増幅された画素信号が垂直信号線9に出力される。

20

【0033】

以上の構成を有する固体撮像装置1では、転送パルス TRGを転送ゲート電極20に供給することによってフォトダイオードPDに蓄積された信号電荷が、転送トランジスタTrtによりフローティングディフュージョン部FDに読み出される。信号電荷が読み出されることによりフローティングディフュージョン部FDの電位が変位し、その電位変化が増幅ゲート電極22に伝達される。そして、増幅ゲート電極22に供給された電位が増幅トランジスタTraにより増幅され、画素信号として選択トランジスタTrsにより選択的に垂直信号線9に出力される。

30

【0034】

また、リセットゲート電極21にリセットパルス RSTを供給することによって、フローティングディフュージョン部FDに読み出された信号電荷はリセットトランジスタTrrにより電源電圧VDD付近の電位と同電位になるようにリセットされる。そして、垂直信号線9に出力された画素信号は、その後、図1に示したカラム信号処理回路5、水平信号線10、出力回路7を介して出力される。

【0035】

図3に、本実施形態例の単位画素の平面レイアウト図を示す。図3では、転送トランジスタTrtの図示を省略している。図3に示すように、各画素2では中央部にフォトダイオードPDが形成されている。そして、そのフォトダイオードPDが形成された領域の一方の側にリセットトランジスタTrr、増幅トランジスタTra、選択トランジスタTrsがこの順に連続して配置されている。また、フォトダイオードPDと、各画素トランジスタのソース・ドレイン領域などが形成されるアクティブ領域(活性領域)39間などは、STI(Shallow Trench Isolation)からなる素子分離部24により電氣的に分離されている。

40

【0036】

図4に、図3のA-A線上に沿う断面構成を示す。図4に示すように、各画素トランジスタTrr, Tra, Trsは、半導体基板41に形成されたソース・ドレイン領域25, 27, 38, 32, 33, 36と、そのソース・ドレイン間に形成されたゲート電極2

50



1, 22, 23とを有して構成されている。本実施形態例では、半導体基板41において、各画素トランジスタ $T_{rr}$ ,  $T_{ra}$ ,  $T_{rs}$ が形成される素子形成領域は例えばp型の半導体領域で構成され、各画素トランジスタ $T_{rr}$ ,  $T_{ra}$ ,  $T_{rs}$ を構成するソース・ドレイン領域25, 27, 38, 32, 33, 36は、素子形成領域とは反対導電型のn型不純物領域で構成される。

#### 【0037】

リセットトランジスタ $T_{rr}$ は、半導体基板41の上部に形成されたリセットゲート電極21と、そのリセットゲート電極21を挟む基板領域に形成されたソース領域25及びドレイン領域27とで構成されている。

リセットゲート電極21は、例えばポリシリコンより構成されており、半導体基板41の表面に、シリコン酸化膜からなるゲート絶縁膜37を介して形成されている。また、リセットゲート電極21の側面には、シリコン酸化膜、シリコン窒化膜などの絶縁膜からなるサイドウォール40が形成されている。

10

#### 【0038】

リセットトランジスタ $T_{rr}$ のソース領域25及びドレイン領域27は、半導体基板41のp型の半導体領域からなる素子形成領域とは反対導電型であるn型の高濃度不純物領域26, 28で構成される。この高濃度不純物領域26, 28は、後述するLDD (Lightly Doped Drain) 構造を構成するための低濃度不純物領域よりも不純物濃度の高い不純物領域とされている。

以下の説明において、この高濃度不純物領域26, 28と同等の不純物濃度とされる領域を「高濃度不純物領域」とし、高濃度不純物領域よりも低い不純物濃度で構成されたn型の不純物領域を「低濃度不純物領域」として説明する。

20

#### 【0039】

増幅トランジスタ $T_{ra}$ は、半導体基板41の上部に形成された増幅ゲート電極22と、その増幅ゲート電極22を挟む基板領域に形成されたソース領域32及びドレイン領域38とで構成されている。

増幅ゲート電極22は、例えばポリシリコンより構成されており、半導体基板41の表面に、シリコン酸化膜からなるゲート絶縁膜37を介して形成されている。また、増幅ゲート電極22の側面には、シリコン酸化膜、シリコン窒化膜などの絶縁膜からなるサイドウォール40が形成されている。

30

#### 【0040】

また、増幅トランジスタ $T_{ra}$ のソース領域32は、増幅ゲート電極22側から順に形成された低濃度不純物領域29、高濃度不純物領域30で構成されている。

一方、増幅トランジスタ $T_{ra}$ のドレイン領域38は、リセットトランジスタ $T_{rr}$ のドレイン領域27と共通の高濃度不純物領域28で構成されている。すなわち、増幅トランジスタ $T_{ra}$ のドレイン領域38は、リセットトランジスタのドレイン領域27を兼ねる。

#### 【0041】

選択トランジスタ $T_{rs}$ は、半導体基板41の上部に形成された選択ゲート電極23と、その選択ゲート電極23を挟む基板領域に形成されたソース領域36及びドレイン領域33とで構成されている。

40

選択ゲート電極23は、例えばポリシリコンより構成されており、半導体基板41の表面に、シリコン酸化膜からなるゲート絶縁膜37を介して形成されている。また、選択ゲート電極23の側面には、シリコン酸化膜、シリコン窒化膜などの絶縁膜からなるサイドウォール40が形成されている。

#### 【0042】

選択トランジスタ $T_{rs}$ のソース領域36は、選択ゲート電極23側から順に形成された低濃度不純物領域34、高濃度不純物領域35から構成されている。また、選択トランジスタ $T_{rs}$ のドレイン領域33は、選択ゲート電極23側から順に形成された低濃度不純物領域31、高濃度不純物領域30から構成され、高濃度不純物領域30は増幅トラン

50

ジスタ T r a のソース領域 3 2 を構成する高濃度不純物領域 3 0 を兼ねる。

【 0 0 4 3 】

以上のように、本実施形態例では、リセットトランジスタ T r r のソース領域 2 5 及びドレイン領域 2 7、増幅トランジスタ T r a のドレイン領域 3 8 が高濃度不純物領域のみで構成されたシングルドレイン構造とされている。一方、増幅トランジスタ T r a のソース領域 3 2、選択トランジスタ T r s のソース領域 3 6 及びドレイン領域 3 3 が、高濃度不純物領域と、その高濃度不純物領域とゲート電極との間に形成された低濃度不純物領域で構成された L D D 構造とされている。

【 0 0 4 4 】

[ 1 - 3 製造方法 ]

次に、本実施形態例の固体撮像装置の製造方法について説明する。図 5 A ~ 図 5 D は、本実施形態例の固体撮像装置 1 の画素トランジスタが形成される領域の製造方法を示す工程図である。

【 0 0 4 5 】

まず、図 5 A に示すように、半導体基板 4 1 の表面にシリコン酸化膜からなるゲート絶縁膜 3 7 を形成し、そのゲート絶縁膜 3 7 上部にポリシリコン材料層を形成し、パターンニングする。これにより、半導体基板 4 1 表面の所望の領域に、ゲート絶縁膜 3 7 を介して形成されたリセットゲート電極 2 1、増幅ゲート電極 2 2、選択ゲート電極 2 3 が形成される。

【 0 0 4 6 】

次に、図 5 B に示すように、半導体基板 4 1 の表面側に、増幅ゲート電極 2 2 のソース側（選択ゲート電極 2 3 のドレイン側）と、選択ゲート電極 2 3 のソース側を開口する開口部 4 2 a が形成されたレジストマスク 4 2 を形成する。図 6 に、半導体基板 4 1 上部にレジストマスク 4 2 を形成したときの平面構成図を示す。図 6 に示すように、増幅ゲート電極 2 2 のソース側におけるレジストマスク 4 2 の開口部 4 2 a 端部の位置は、増幅ゲート電極 2 2 上部とされる。また、選択ゲート電極 2 3 のソース側におけるレジストマスク 4 2 の開口部 4 2 a 端部の位置は、画素トランジスタのアクティブ領域 3 9 を囲むように形成された素子分離部 2 4 上部とされる。

【 0 0 4 7 】

次に、レジストマスク 4 2 をマスクとして n 型の不純物を低濃度にイオン注入する。これにより、増幅ゲート電極 2 2 のソース側、選択ゲート電極 2 3 のソース側及びドレイン側に、低濃度不純物領域 2 9, 3 1, 3 4 が形成される。ここで、これらの低濃度不純物領域 2 9, 3 1, 3 4 は、増幅ゲート電極 2 2 のソース側、選択ゲート電極 2 3 のドレイン側及びソース側の端部において、各ゲート電極をマスクとしたセルフアラインにより形成される。また、不純物が拡散するため、各低濃度不純物領域 2 9, 3 1, 3 4 は各ゲート電極下に少しオーバーフローするように形成される。

【 0 0 4 8 】

次に、レジストマスク 4 2 を除去し、図 5 C に示すように各ゲート電極の側面に絶縁膜からなるサイドウォール 4 0 を形成する。このサイドウォール 4 0 は、例えば、シリコン酸化膜、シリコン窒化膜、又はこれらの積層膜で構成することができる。

【 0 0 4 9 】

次に、各画素トランジスタが形成される領域を開口する図示しないレジストマスクを形成した後、図 5 D に示すように、n 型の不純物を前工程で形成した低濃度不純物領域 2 9, 3 1, 3 4 よりも高濃度にイオン注入する。これにより、高濃度不純物領域 2 6, 2 8, 3 0, 3 5 を形成する。これらの高濃度不純物領域 2 6, 2 8, 3 0, 3 5 は、各ゲート電極のソース側及びドレイン側においてサイドウォール 4 0 をマスクとしたセルフアラインにより形成される。また、不純物が拡散するため、各高濃度不純物領域 2 6, 2 8, 3 0, 3 5 は、各サイドウォール 4 0 下に少しオーバーフローするように形成される。

【 0 0 5 0 】

その後、フォトダイオード P D 等をイオン注入により形成し、本実施形態例の固体撮像

10

20

30

40

50

装置 1 が形成される。また、図示を省略するが、転送トランジスタ  $T_{rt}$  についても、他の画素トランジスタと同様の工程で形成される。

【0051】

以上のように、LDD 構造をなすソース領域及びドレイン領域では、サイドウォール下に形成された低濃度不純物領域と、ゲート電極から、低濃度不純物領域を挟んで離間した領域に形成された高濃度不純物領域が形成される。また、シングルドレイン構造をなすソース領域及びドレイン領域は、サイドウォール形成後のイオン注入によって形成される高濃度不純物領域のみで構成される。

【0052】

ところで、固体撮像装置 1 では増幅トランジスタ  $T_{ra}$  で発生する周波数に比例した  $1/f$  ノイズは、ゲート長を長くし、ゲート幅を大きくすることにより低減できる。

本実施形態例では、増幅トランジスタ  $T_{ra}$  において、ドレイン領域 38 が高濃度不純物領域 28 のみで構成されたシングルドレイン構造とされ、ソース領域 32 が、低濃度不純物領域 29 及び高濃度不純物領域 30 で構成された LDD 構造とされている。このため、ソース・ドレイン領域の両方が LDD 構造とされた従来の増幅トランジスタのゲート長  $L$  (図 23) に比較すると、増幅ゲート電極面積を同じとしたときに、本実施形態例における増幅トランジスタ  $T_{ra}$  の実効ゲート長  $L_{eff}$  (図 4) が大きくなる。これにより、増幅ゲート電極 22 の大きさを変えずに、ノイズ特性を改善することができる。

【0053】

図 7 に、増幅トランジスタ  $T_{ra}$  のソース・ドレイン領域の構成をそれぞれ変えた場合の  $1/f$  ノイズを比較した実験結果を示す。図 7 の A は、増幅トランジスタのソース・ドレイン領域を、どちらも LDD 構造とした従来の構造における固体撮像装置の  $1/f$  ノイズを調べたものである。また、図 7 の B は、ドレイン側をシングルドレイン構造とし、ソース側を LDD 構造とした本実施形態例の構造における固体撮像装置 1 の  $1/f$  ノイズを調べたものである。また、図 7 の C は、増幅トランジスタのソース・ドレイン領域をどちらもシングルドレイン構造とした場合における固体撮像装置の  $1/f$  ノイズを調べたものである。

【0054】

従来の増幅トランジスタの  $1/f$  ノイズを 1 としたとき、本実施形態例の増幅トランジスタ  $T_{ra}$  (図 7 の B) では、 $1/f$  ノイズを 0.8 に低減できた。一方、本実施形態例の固体撮像装置よりもさらにゲート長を長くするために、ソース領域、ドレイン領域をどちらもシングルドレイン構造とした場合 (図 7 の C) における  $1/f$  ノイズは、従来の増幅トランジスタよりも 2 倍以上に悪化した。増幅トランジスタで発生するノイズは、特に、ゲート・ソース間のポテンシャル変動が影響すると考えられる。図 7 の C では、増幅トランジスタのソース側のサイドウォール下の界面準位やトラップによるポテンシャル変動に起因してノイズが増加したものと考えられる。したがって、増幅トランジスタ  $T_{rs}$  のソース側の低濃度不純物領域は必要であることがわかる。

【0055】

このように、本実施形態例では、増幅トランジスタのソース側を LDD 構造とすることでソース近傍のポテンシャル変動に起因するランダムノイズが抑制される。さらに、増幅トランジスタのドレイン側をシングルドレイン構造とすることで実効ゲート長を大きくすることができ、 $1/f$  ノイズ、及び RTS (Random Telegraph Signal) の低減を図ることができる。

【0056】

ところで、増幅トランジスタ  $T_{ra}$  のドレイン領域 38 のみシングルドレイン構造を有するように形成する場合、低濃度不純物領域 29 を形成するためのレジストマスクのパターンが微細化する。これに対し、本実施形態例では、増幅ゲート電極 22 のドレイン側に配置されるリセットトランジスタ  $T_{rr}$  をシングルドレイン構造とし、増幅ゲート電極 22 のソース側に配置される選択トランジスタ  $T_{rs}$  を LDD 構造とする構成を採用する。したがって、低濃度不純物領域 29 を形成する際に用いるレジストマスク 42 は増幅ゲート電

10

20

30

40

50

極 2 2 のドレイン側を被覆すると共にソース側を開口するパターンとすればよい。このため、増幅ゲート電極 2 2 のソース側にのみ低濃度不純物領域を形成する場合に比べレジストマスクのパターン形成が容易になり、加工が容易になる。

【 0 0 5 7 】

また、本実施形態例の固体撮像装置 1 では、増幅トランジスタ  $T_{rr}$  のソース領域 3 2 を低濃度不純物領域 2 9、高濃度不純物領域 3 0 で構成したが、この高濃度不純物領域 3 0 は形成されなくてもよい。

以下に、本実施形態例の変形例として、増幅トランジスタ  $T_{ra}$  のソース領域と選択トランジスタ  $T_{rs}$  とドレイン領域が低濃度不純物領域のみで形成される場合について説明する。

10

【 0 0 5 8 】

図 8 は、変形例に係る固体撮像装置の断面構成図である。図 8 は、図 3 に示した平面構成の A - A 線に沿う断面構成に対応した図である。図 8 において、図 4 に対応する部分には同一符号を付し、重複説明を省略する。

【 0 0 5 9 】

ここで示す変形例は、画素領域の縮小化により、増幅ゲート電極 2 2 と選択ゲート電極 2 3 との間隔が狭くなったときの構成例である。固体撮像装置では、増幅トランジスタ  $T_{ra}$  のソース側が選択トランジスタ  $T_{rs}$  のドレイン側と接続されていればよく、増幅ゲート電極 2 2 と選択ゲート電極 2 3 間に電極が形成されることがない。したがって、画素領域の縮小化に伴う画素トランジスタ面積の縮小化では、増幅ゲート電極 2 2 と選択ゲート電極 2 3 との間隔を狭め、増幅トランジスタのゲート長を長くすることでノイズ特性を改善できる。

20

【 0 0 6 0 】

しかしながら、図 8 に示すように、増幅ゲート電極 2 2 と選択ゲート電極 2 3 との間隔が狭くなることにより、互いのゲート電極に形成されるサイドウォール 4 0 によってゲート電極間が埋められることがある。このような場合、サイドウォール 4 0 の形成後にイオン注入によって形成される高濃度不純物領域が、増幅ゲート電極 2 2 のソース側と選択ゲート電極 2 3 のドレイン側に形成されない。

【 0 0 6 1 】

したがって、変形例に係る固体撮像装置では、図 8 に示すように、増幅トランジスタ  $T_{ra}$  のソース領域 5 8 と選択トランジスタ  $T_{rs}$  のドレイン領域 5 9 は、サイドウォール 4 0 形成前に形成する低濃度不純物領域 6 0 のみで構成されることとなる。

30

【 0 0 6 2 】

このような変形例においても、増幅トランジスタ  $T_{ra}$  のソース側を低濃度不純物領域 6 0 で形成することにより、増幅トランジスタ  $T_{ra}$  のソース側のポテンシャル変動に起因するノイズを低減することができる。また、増幅トランジスタ  $T_{ra}$  のドレイン側を高濃度不純物領域 2 8 のみで形成することによる実効ゲート長の拡大に起因する  $1/f$  ノイズの低減が図られる。

【 0 0 6 3 】

2. 第 2 の実施形態：固体撮像装置

40

次に、本開示の第 2 の実施形態に係る固体撮像装置について説明する。本実施形態例の固体撮像装置の全体構成は、図 1 と同様であるため、重複説明を省略する。また、本実施形態例の固体撮像装置は、第 1 の実施形態に係る固体撮像装置 1 において選択トランジスタ  $T_{rs}$  が構成されない例である。したがって、画素 2 を構成する等価回路では、増幅トランジスタ  $T_{ra}$  のソースが垂直信号線 9 に接続される。

【 0 0 6 4 】

図 9 に、本実施形態例の単位画素の平面レイアウト図を示し、図 1 0 に、図 9 の B - B 線に沿う断面構成を示す。図 9 及び図 1 0 では、転送トランジスタの図示を省略している。図 9 及び図 1 0 において、図 3 及び図 4 に対応する部分には同一符号を付し、重複説明を省略する。

50

## 【0065】

本実施形態例では、図3に示すように、フォトダイオードPDの一方の側にリセットトランジスタTr<sub>r</sub>、増幅トランジスタTr<sub>a</sub>がこの順に連続して配置されている。

## 【0066】

本実施形態例においても、増幅トランジスタTr<sub>a</sub>のソース領域32は増幅ゲート電極22側から順に形成された低濃度不純物領域29、高濃度不純物領域30で構成される。また、増幅トランジスタTr<sub>a</sub>のドレイン領域38は、リセットトランジスタTr<sub>r</sub>のドレイン領域27を兼ねる高濃度不純物領域28で構成されている。

## 【0067】

また、リセットトランジスタTr<sub>r</sub>のソース領域25及びドレイン領域27は、それぞれ高濃度不純物領域26, 28のみで構成されている。すなわち、本実施形態例では、増幅トランジスタTr<sub>a</sub>のソース領域32のみがLDD構造とされ、増幅トランジスタTr<sub>a</sub>のドレイン領域38と、リセットトランジスタTr<sub>r</sub>のソース領域25及びドレイン領域27がシングルドレイン構造とされている。

10

## 【0068】

図11は、本実施形態例の固体撮像装置の製造方法を示す製造工程図である。本実施形態例においても、各画素トランジスタのゲート電極を半導体基板41上部に形成した後、各ゲート電極を含む半導体基板41上部に、増幅ゲート電極22のソース側が開口される開口部43aを有するレジストマスク43を形成する。

## 【0069】

図12に、半導体基板41上にレジストマスク43を形成したこのとき平面構成図を示す。図12に示すように、増幅ゲート電極22のソース側におけるレジストマスク43の開口部43a端部の位置は、増幅ゲート電極22上部とされる。また、その他の開口部43a端部の位置は、画素トランジスタのアクティブ領域39を囲むように形成された素子分離部24上部とされる。

20

## 【0070】

そして、このレジストマスク43をマスクとしてn型の不純物を低濃度にイオン注入することにより、増幅ゲート電極22のソース側に低濃度不純物領域29を形成する。このとき、増幅ゲート電極22側では、増幅ゲート電極22をマスクとしたセルフアラインで低濃度不純物領域29が形成される。

30

その後、図5C, 図5Dと同様にして、サイドウォール40、高濃度不純物領域26, 28, 30を形成することにより、各画素トランジスタが形成される。

## 【0071】

本実施形態例においても、増幅トランジスタTr<sub>a</sub>において、そのソース領域32が低濃度不純物領域29及び高濃度不純物領域30からなるLDD構造とされ、ドレイン領域38が高濃度不純物領域28のみで構成されたシングルドレイン構造とされる。このため、増幅ゲート電極22の大きさを変えずに、1/fノイズの低減が図られる。その他、第1の実施形態と同様の効果を得ることができる。

## 【0072】

ところで、低濃度不純物領域29を形成する際に用いるレジストマスク43は、開口部43aが微細化すると加工が難しくなる。したがって、レジストマスク43の開口面積が大きく採れる方が好ましい。図13に、本実施形態例の固体撮像装置において、レジストマスクの開口部の開口面積を拡大するためのレイアウトの一例を示す。

40

## 【0073】

図13に示すように、水平方向に隣接する2つの画素2において、それぞれの画素トランジスタの配置が対称となるように構成する。このようにすることで、隣接する2つの画素において、増幅トランジスタTr<sub>a</sub>のソース領域32が隣り合う。したがって、図13に示すように、低濃度不純物領域29を形成する際に用いるレジストマスク44の開口部44aを2画素に渡って形成することができる。この結果、図12に示した画素毎に低濃度不純物領域29を形成する場合のレジストマスク43の開口部43aと比較して、レジ

50

ストのパターン形成が容易になり、加工が容易になる。

【0074】

3. 第3の実施形態：固体撮像装置

次に、本開示の第3の実施形態に係る固体撮像装置について説明する。本実施形態例の固体撮像装置の全体構成は、図1と同様であるため、重複説明を省略する。また、本実施形態例の固体撮像装置は、第1の実施形態に係る固体撮像装置において画素毎に、増幅トランジスタが2つずつ構成される例である。したがって、画素を構成する等価回路では、フローティングディフュージョン部FDに増幅トランジスタが2つ接続され、各増幅トランジスタのソースが選択トランジスタのドレインに接続され、各増幅トランジスタのドレインがリセットトランジスタのドレインに接続される。

10

【0075】

図14に、本実施形態例の単位画素2の平面レイアウト図を示し、図15に、図14のC-C線に沿う断面構成を示す。図14及び図15では、転送トランジスタの図示を省略している。図14及び図15において、図3及び図4に対応する部分には同一符号を付し、重複説明を省略する。

【0076】

図14に示すように、本実施形態例では、フォトダイオードPDの一方の側にリセットトランジスタTr<sub>r</sub>、第1の増幅トランジスタTra-1、選択トランジスタTr<sub>s</sub>、第2の増幅トランジスタTra-2がこの順に連続して配置されている。

【0077】

第1の増幅トランジスタTra-1は、半導体基板41上部にゲート絶縁膜37を介して形成された第1の増幅ゲート電極22aと、その第1の増幅ゲート電極22aを挟む領域に形成されたソース領域47、ドレイン領域38で構成される。第1の増幅トランジスタTra-1のソース領域47は、第1の増幅ゲート電極22a側から順に形成された低濃度不純物領域45、高濃度不純物領域46で構成される。また、ドレイン領域38は、リセットトランジスタTr<sub>r</sub>のドレイン領域27を兼ねる高濃度不純物領域28で構成されている。

20

【0078】

第2の増幅トランジスタTra-2は、半導体基板41上部にゲート絶縁膜37を介して形成された第2の増幅ゲート電極22bと、その第2の増幅ゲート電極22bを挟む領域に形成されたソース領域32、ドレイン領域48で構成される。第2の増幅トランジスタTra-2のソース領域32は、第2の増幅ゲート電極22b側から順に形成された低濃度不純物領域29、高濃度不純物領域30で構成される。また、ドレイン領域48は高濃度不純物領域57のみで構成されている。

30

【0079】

そして、第2の増幅トランジスタTra-2のソース領域32を構成する高濃度不純物領域30は、選択トランジスタTr<sub>s</sub>のドレイン領域33を構成する高濃度不純物領域30を兼ねる構成とされる。また、選択トランジスタTr<sub>s</sub>のソース領域36と第1の増幅トランジスタTra-2のソース領域47との間は、STIからなる素子分離部24により電氣的に分離されている。

40

【0080】

本実施形態例では、第1及び第2の増幅トランジスタTra-1, Tra-2のソース領域47, 32、及び選択トランジスタTr<sub>s</sub>のソース領域36及びドレイン領域33がLDD構造とさる。また、第1及び第2の増幅トランジスタTra-1, Tra-2のドレイン領域38, 48及びリセットトランジスタTr<sub>r</sub>のソース領域25及びドレイン領域27がシングルドレイン構造とされている。

【0081】

図16は、本実施形態例の固体撮像装置の製造方法を示す製造工程図である。本実施形態例においても、各画素トランジスタのゲート電極を形成するまでの工程は、図5Aと同様であるから、説明を省略する。各ゲート電極を形成した後、図16に示すように、各ゲ

50

ート電極を含む半導体基板 4 1 上部に所望の開口部 4 9 a を有するレジストマスク 4 9 を形成する。本実施形態例では、第 1 及び第 2 の増幅トランジスタ  $Tra - 1$  ,  $Tra - 2$  のソース側の領域、及び選択トランジスタ  $Trs$  のソース側、ドレイン側の領域を開口するように開口部 4 9 a を形成する。

【 0 0 8 2 】

図 1 7 に、半導体基板 4 1 上にレジストマスク 4 9 を形成した状態の平面構成図を示す。図 1 7 に示すように、第 1 の増幅ゲート電極 2 2 a のソース側におけるレジストマスク 4 9 の開口部 4 9 a 端部の位置は、第 1 の増幅ゲート電極 2 2 a 上部とされる。同様に、第 2 の増幅ゲート電極 2 2 b のソース側におけるレジストマスク 4 9 の開口部 4 9 a 端部の位置は第 2 の増幅ゲート電極 2 2 b 上部とされる。また、その他の開口部 4 9 a 端部の位置は、画素トランジスタのアクティブ領域 3 9 を囲む素子分離部 2 4 上部とされる。

10

【 0 0 8 3 】

そして、このレジストマスク 4 9 をマスクとして n 型の不純物を低濃度にイオン注入する。これにより、第 1 の増幅ゲート電極 2 2 a のソース側、第 2 の増幅ゲート電極 2 2 b のソース側、及び選択ゲート電極 2 3 のソース側及びドレイン側に低濃度不純物領域 4 5 , 2 9 , 3 4 , 3 1 を形成する。このとき、それぞれの低濃度不純物領域は、各ゲート電極をマスクとしたセルフアラインで形成される。

その後、図 5 C , 図 5 D と同様にして、サイドウォール 4 0 、高濃度不純物領域 2 6 , 2 8 , 4 6 , 3 5 , 3 0 , 5 7 を形成することにより、各画素トランジスタが形成される。

20

【 0 0 8 4 】

本実施形態例では、増幅トランジスタが画素毎に 2 つずつ並列に形成される。このため、増幅ゲート電極のゲート面積をそれほど縮小せずに、相互コンダクタンス  $g_m$  の向上を図ることができる。また、2 つずつ増幅トランジスタを並列に配置する場合、2 つの増幅トランジスタのソース側が近接するように配置することで、低濃度不純物領域を形成するためのレジストマスクの開口部を大きく形成でき、加工が容易となる。

その他、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 8 5 】

4 . 第 4 の実施形態：固体撮像装置

次に、本開示の第 4 の実施形態に係る固体撮像装置について説明する。本実施形態例の固体撮像装置の全体構成は、図 1 と同様であるため、重複説明を省略する。また、本実施形態例の固体撮像装置は、第 3 の実施形態に係る固体撮像装置において選択トランジスタが構成されない例である。したがって、画素を構成する等価回路では、フローティングディフュージョン部  $FD$  に増幅トランジスタが 2 つ接続され、かつ、各増幅トランジスタのソースが垂直信号線 9 に接続され、各増幅トランジスタのドレインがリセットトランジスタのドレインに接続される。

30

【 0 0 8 6 】

図 1 8 に、本実施形態例の単位画素 2 の平面レイアウト図を示し、図 1 9 に、図 1 8 の D - D 線上に沿う断面構成を示す。図 1 8 及び図 1 9 では、転送トランジスタの図示を省略している。図 1 8 及び図 1 9 において、図 3 及び図 4 に対応する部分には同一符号を付し、重複説明を省略する。

40

【 0 0 8 7 】

図 1 8 に示すように、本実施形態例における各画素 2 では、フォトダイオード  $PD$  の一方の側にリセットトランジスタ  $Trr$  、第 1 の増幅トランジスタ  $Tra - 1$  、第 2 の増幅トランジスタ  $Tra - 2$  がこの順に連続して配置されている。

【 0 0 8 8 】

本実施形態例では、第 1 の増幅トランジスタ  $Tra - 1$  は、半導体基板 4 1 上部にゲート絶縁膜 3 7 を介して形成された第 1 の増幅ゲート電極 2 2 a と、その第 1 の増幅ゲート電極 2 2 a を挟む領域に形成されたソース領域 5 3 、ドレイン領域 3 8 で構成される。第 1 の増幅トランジスタ  $Tra - 1$  のソース領域 5 3 は、第 1 の増幅ゲート電極 2 2 a 側か

50

ら順に形成された低濃度不純物領域 5 0、高濃度不純物領域 5 1 で構成される。また、ドレイン領域 3 8 は、リセットトランジスタ  $T_{rr}$  のドレイン領域 2 7 を兼ねる高濃度不純物領域 2 8 で構成されている。

【0089】

第 2 の増幅トランジスタ  $T_{ra-2}$  は、半導体基板 4 1 上部にゲート絶縁膜 3 7 を介して形成された第 2 の増幅ゲート電極 2 2 b と、その第 2 の増幅ゲート電極 2 2 b を挟む領域に形成されたソース領域 5 4、ドレイン領域 5 5 で構成される。第 2 の増幅トランジスタ  $T_{ra-2}$  のソース領域 5 4 は、第 2 の増幅ゲート電極 2 2 b 側から順に形成された低濃度不純物領域 5 2、高濃度不純物領域 5 1 で構成され、ドレイン領域 5 5 は高濃度不純物領域 6 1 のみで構成されている。

10

そして、第 2 の増幅トランジスタ  $T_{ra-2}$  のソース領域 5 4 を構成する高濃度不純物領域 5 1 は、第 1 の増幅トランジスタ  $T_{ra-1}$  のソース領域 5 3 を構成する高濃度不純物領域 5 1 を兼ねる構成とされる。

【0090】

本実施形態例では、第 1 及び第 2 の増幅トランジスタ  $T_{ra-1}$ 、 $T_{ra-2}$  のソース領域 5 3、5 4 が LDD 構造とされる。一方、第 1 及び第 2 の増幅トランジスタ  $T_{ra-1}$ 、 $T_{ra-2}$  のドレイン領域 3 8、5 5 及びリセットトランジスタ  $T_{rr}$  のソース領域 2 5 及びドレイン領域 2 7 がシングルドレイン構造とされている。

【0091】

図 2 0 は、本実施形態例の固体撮像装置の製造方法を示す製造工程図である。本実施形態例においても、各画素トランジスタのゲート電極を形成するまでの工程は、図 5 A と同様であるから、説明を省略する。各ゲート電極を形成した後、図 2 0 に示すように、各ゲート電極を含む半導体基板 4 1 上部に所望の開口部 5 6 a を有するレジストマスク 5 6 を形成する。本実施形態例では、第 1 及び第 2 の増幅トランジスタ  $T_{ra-1}$ 、 $T_{ra-2}$  のソース領域 5 3、5 4 を開口するように開口部 5 6 a を形成する。

20

【0092】

図 2 1 に、半導体基板 4 1 上にレジストマスク 5 6 を形成したときの平面構成図を示す。図 2 1 に示すように、第 1 の増幅ゲート電極 2 2 a のソース側におけるレジストマスク 5 6 の開口部 5 6 a 端部の位置は、第 1 の増幅ゲート電極 2 2 a 上部とされる。同様に、第 2 の増幅ゲート電極 2 2 b のソース側におけるレジストマスク 5 6 の開口部 5 6 a 端部の位置は第 2 の増幅ゲート電極 2 2 b 上部とされる。また、その他の開口部 5 6 a 端部は、画素トランジスタのアクティブ領域 3 9 を囲むように形成された素子分離部 2 4 上部に位置するように形成される。

30

【0093】

そして、このレジストマスク 5 6 をマスクとして n 型の不純物を低濃度にイオン注入することにより、第 1 の増幅ゲート電極 2 2 a のソース側、第 2 の増幅ゲート電極 2 2 b のソース側に低濃度不純物領域 5 0、5 2 を形成する。このとき、第 1 及び第 2 の増幅ゲート電極 2 2 a、2 2 b 側では、各増幅ゲート電極をマスクとしたセルフラインで低濃度不純物領域 5 0、5 2 が形成される。

その後、図 5 C 及び図 5 D と同様にして、サイドウォール 4 0、高濃度不純物領域 2 6、2 8、5 1、6 1 を形成することにより、各画素トランジスタが形成される。

40

【0094】

本実施形態例では、増幅トランジスタが画素毎に 2 つずつ並列に形成される。このため、増幅ゲート電極のゲート面積をそれほど縮小せずに、相互コンダクタンス  $g_m$  の向上を図ることができる。また、2 つずつ増幅トランジスタを並列に配置する場合、2 つの増幅トランジスタのソース側が近接するように配置することで、低濃度不純物領域を形成するためのレジストマスクの開口部を大きく形成でき、加工が容易となる。

その他、第 1 の実施形態と同様の効果を得ることができる。

【0095】

上述した第 1 ~ 第 4 の実施形態では、画素トランジスタとして、n チャネル型の MOS

50



トランジスタを例に説明したが、pチャネル型のMOSトランジスタを構成する例としてもよい。pチャネル型のMOSトランジスタとする場合には、本開示において、p型不純物領域とn型不純物領域の導電型を入れ替えた構成とすればよい。

【0096】

本開示は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置にも適用可能である。また、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

【0097】

さらに、本開示は、画素部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限られるものではない。画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX-Yアドレス型の固体撮像装置に対しても適用可能である。

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、画素部と、信号処理部または光学系とがまとめてパッケージされた撮像機能を有するモジュール状の形態であってもよい。

【0098】

また、本開示は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【0099】

5. 第5の実施形態：電子機器

次に、本開示の第5の実施形態に係る電子機器について説明する。図22は、本開示の第5の実施形態に係る電子機器200の概略構成図である。

【0100】

本実施形態に係る電子機器200は、固体撮像装置1と、光学レンズ210と、シャッタ装置211と、駆動回路212と、信号処理回路213とを有する。本実施形態例の電子機器200は、固体撮像装置1として上述した本開示の第1の実施形態における固体撮像装置1を電子機器（カメラ）に用いた場合の実施形態を示す。

【0101】

光学レンズ210は、被写体からの像光（入射光）を固体撮像装置1の撮像面上に結像させる。これにより固体撮像装置1内に一定期間当該信号電荷が蓄積される。

シャッタ装置211は、固体撮像装置1への光照射期間および遮光期間を制御する。

駆動回路212は、固体撮像装置1の転送動作およびシャッタ装置211のシャッタ動作を制御する駆動信号を供給する。駆動回路212から供給される駆動信号（タイミング信号）により、固体撮像装置1の信号転送を行う。信号処理回路213は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、あるいはモニタに出力される。

【0102】

本実施形態例の電子機器200では、固体撮像装置1においてOB画素領域におけるノイズの低減が図られるため、画質の向上が図られる。

【0103】

固体撮像装置1を適用できる電子機器200としては、カメラに限られるものではなく、携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置に適用可能である。また、本実施形態例では、電子機器200を構成する固体撮像装置として、第1の実施形態に係る固体撮像装置1を適用したが、その他、第2～第4の実施形態に係る固体撮像装置を適用することもできる。

10

20

30

40

50

## 【0104】

以上、本開示の固体撮像装置、固体撮像装置の製造方法、及び電子機器について説明したが、特許請求の範囲を逸脱しない範囲において、種々の組み合わせが可能である。

## 【0105】

本開示は以下の構成をとることもできる。

## (1)

受光した光の光量に応じた信号電荷を生成する光電変換部と、

前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタであって、基板上に形成された増幅ゲート電極と、前記増幅ゲート電極のドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記増幅ゲート電極のソース側の基板領域に形成された低濃度不純物領域とで構成される増幅トランジスタを含む画素トランジスタと、

を備える固体撮像装置。

10

## 【0106】

## (2)

前記増幅ゲート電極のソース側では、前記低濃度不純物領域に連続する基板領域であって、前記増幅ゲート電極から離間した基板領域に、前記低濃度不純物領域よりも高い不純物濃度で構成された高濃度不純物領域が形成されている

(1)記載の固体撮像装置。

## 【0107】

20

## (3)

前記画素トランジスタのうち、リセットトランジスタは、基板上に形成されたりセットゲート電極と、前記リセットゲート電極のソース側及びドレイン側の基板領域に形成された高濃度不純物領域とで構成される

(1)又は(2)に記載の固体撮像装置。

## 【0108】

## (4)

前記画素トランジスタのうち、選択トランジスタは、基板上に形成された選択ゲート電極と、前記選択ゲート電極のソース側及びドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記選択ゲート電極のソース側及びドレイン側に形成されたそれぞれの高濃度不純物領域と前記選択ゲート電極との間の基板領域に形成された低濃度不純物領域とで構成される

(1)～(3)のいずれかに記載の固体撮像装置。

30

## 【0109】

## (5)

前記増幅トランジスタのソース側の高濃度不純物領域は、前記選択トランジスタのドレイン側の高濃度不純物領域を兼ねる

(1)～(4)のいずれかに記載の固体撮像装置。

## 【0110】

## (6)

前記増幅トランジスタは、画素毎に2つずつ設けられ、2つの増幅トランジスタのうち、一方の増幅トランジスタのソース側の高濃度不純物領域は前記選択トランジスタのドレイン側の高濃度不純物領域を兼ね、他方の増幅トランジスタのドレイン側の高濃度不純物領域は、前記リセットトランジスタのドレイン側の高濃度不純物領域を兼ねる

(1)～(4)のいずれかに記載の固体撮像装置。

40

## 【0111】

## (7)

前記増幅トランジスタは、画素毎に2つずつ設けられ、2つの増幅トランジスタのうち、一方の増幅トランジスタのソース側の高濃度不純物領域は他方の増幅トランジスタのソース側の高濃度不純物領域を兼ね、他方の増幅トランジスタのドレイン側の高濃度不純物

50

領域は、前記リセットトランジスタのドレイン側の高濃度不純物領域を兼ねる

( 1 ) ~ ( 4 ) に記載の固体撮像装置。

【 0 1 1 2 】

( 8 )

入射した光の光量に応じた信号電荷を生成する光電変換部と、前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタからなる複数の画素を備える固体撮像装置の製造方法において、

基板上に、前記複数の画素トランジスタを構成するゲート電極を形成する工程と、

前記複数の画素トランジスタのうち、少なくとも、増幅トランジスタを構成する増幅ゲート電極のソース側の基板領域を開口し、ドレイン側の基板領域を被覆するレジストマスクを形成する工程と、

前記レジストマスクを介して前記基板と逆導電型の不純物をイオン注入し、低濃度不純物拡散領域を形成する工程と、

前記レジストマスクを除去し、前記ゲート電極の側壁にサイドウォールを形成する工程と、

前記複数の画素トランジスタを構成するゲート電極のソース側及びドレイン側の基板領域に、前記基板と逆導電型の不純物をイオン注入し、前記低濃度不純物拡散領域よりも高い不純物領域からなる高濃度不純物領域を形成する工程と、

を含む

固体撮像装置の製造方法。

【 0 1 1 3 】

( 9 )

前記レジストマスクは、リセットトランジスタのソース側及びドレイン側を被覆するように形成する

( 8 ) に記載の固体撮像装置の製造方法。

【 0 1 1 4 】

( 1 0 )

前記レジストマスクは、選択トランジスタのソース側及びドレイン側を開口するように形成する

( 8 ) 又は ( 9 ) に記載の固体撮像装置の製造方法。

【 0 1 1 5 】

( 1 1 )

光学レンズと、

受光した光の光量に応じた信号電荷を生成する光電変換部と、前記光電変換部で生成された信号電荷を読み出す複数の画素トランジスタであって、基板上に形成された増幅ゲート電極と、前記増幅ゲート電極のドレイン側の基板領域に形成された高濃度不純物領域と、該高濃度不純物領域よりも低い不純物濃度で構成され、前記増幅ゲート電極のソース側の基板領域に形成された低濃度不純物領域とで構成される増幅トランジスタを含む画素トランジスタと、を備える固体撮像装置であって、前記光学レンズに集光された光が入射される固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

を含む電子機器。

【 符号の説明 】

【 0 1 1 6 】

1・・・固体撮像装置、2・・・画素、3・・・画素領域、4・・・垂直駆動回路、5・・・カラム信号処理回路、6・・・水平駆動回路、7・・・出力回路、8・・・制御回路、9・・・垂直信号線、10・・・水平信号線、11・・・基板、20・・・転送ゲート電極、21・・・リセットゲート電極、22・・・増幅ゲート電極、22a・・・第1の増幅ゲート電極、22b・・・第2の増幅ゲート電極、23・・・選択ゲート電極、24・・・素子分離部、25, 32, 36, 47, 53, 54・・・ソース領域、26, 2

10

20

30

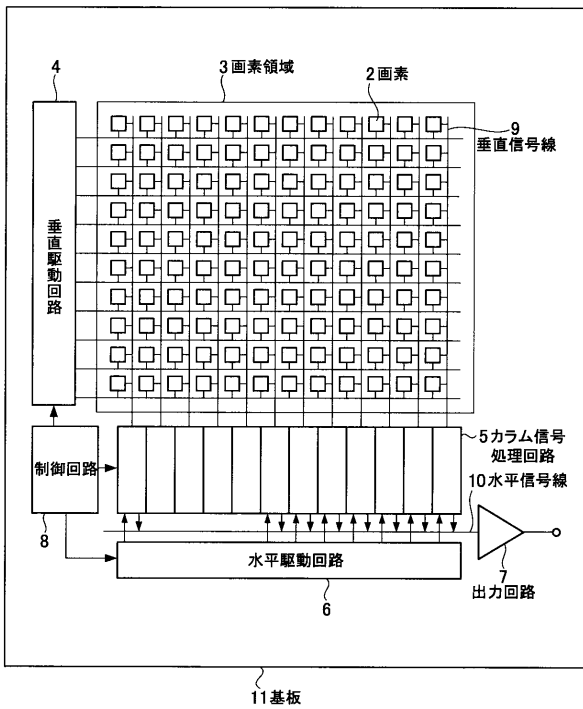
40

50

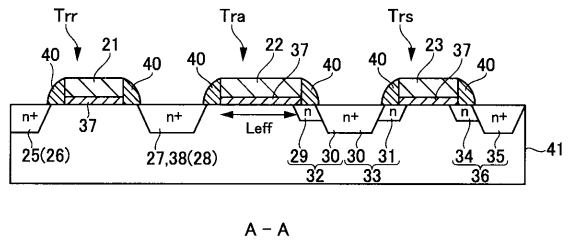
8, 30, 35, 46, 51, 57, 61・・・高濃度不純物領域、27, 33, 48, 55, 59・・・ドレイン領域、29, 31, 34, 45, 50, 52, 60・・・低濃度不純物領域、37・・・ゲート絶縁膜、39・・・アクティブ領域、40・・・サイドウォール、41・・・半導体基板、200・・・電子機器、210・・・光学レンズ、211・・・シャッタ装置、212・・・駆動回路、213・・・信号処理回路

【図1】

1 固体撮像装置

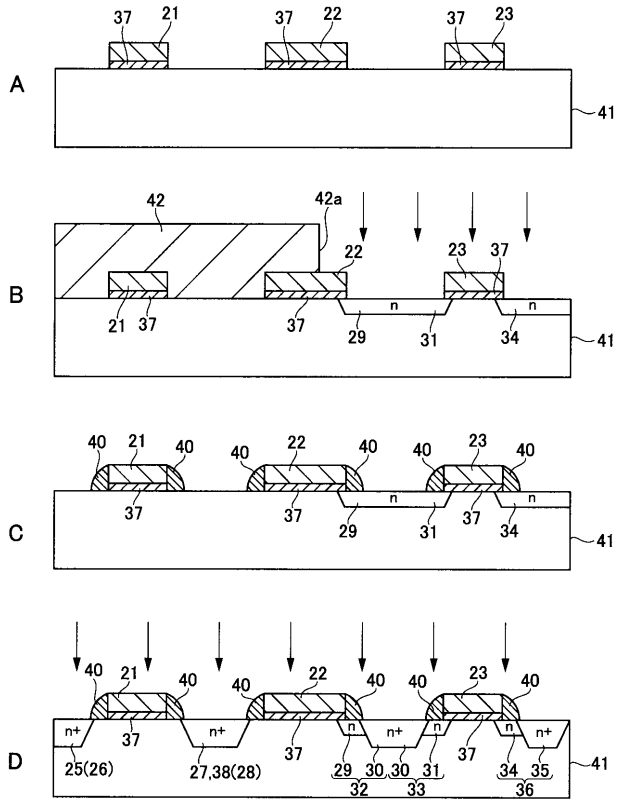


【図4】

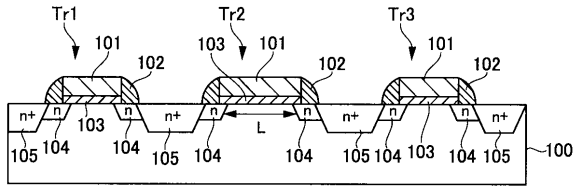


A - A

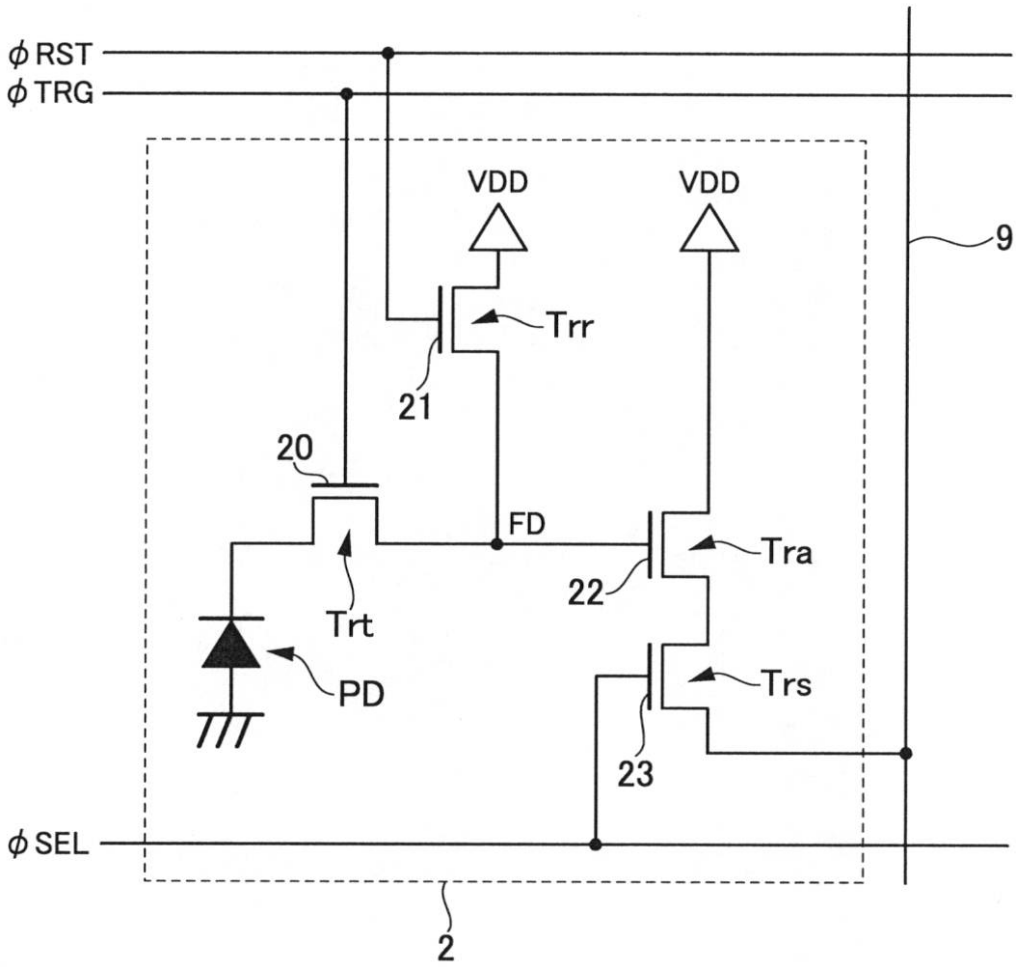
【 図 5 】



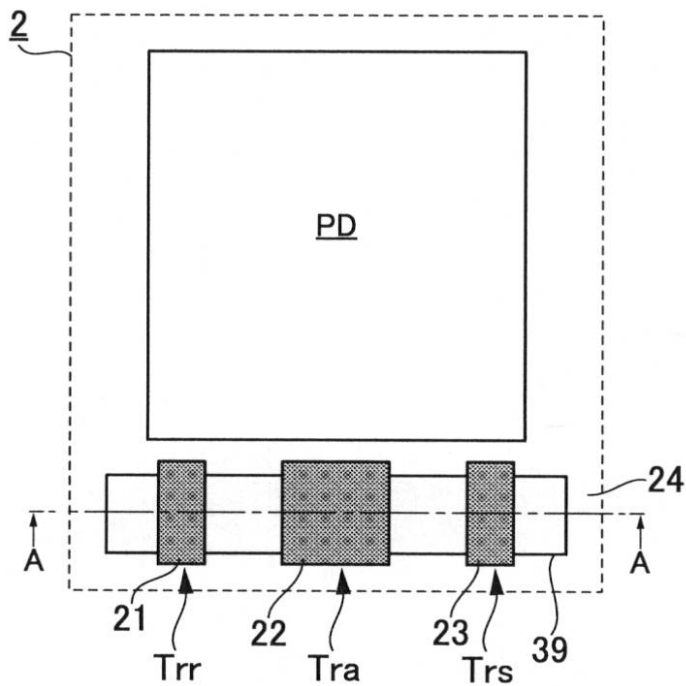
【 図 2 3 】



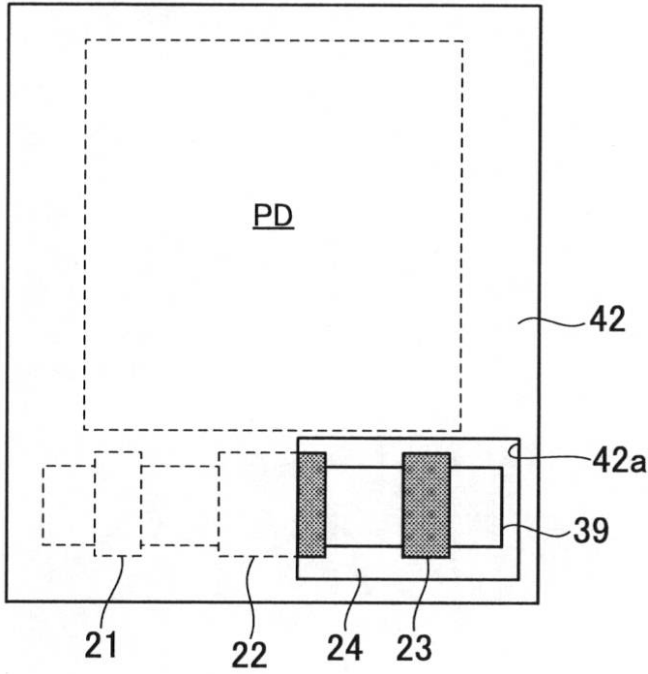
【図 2】



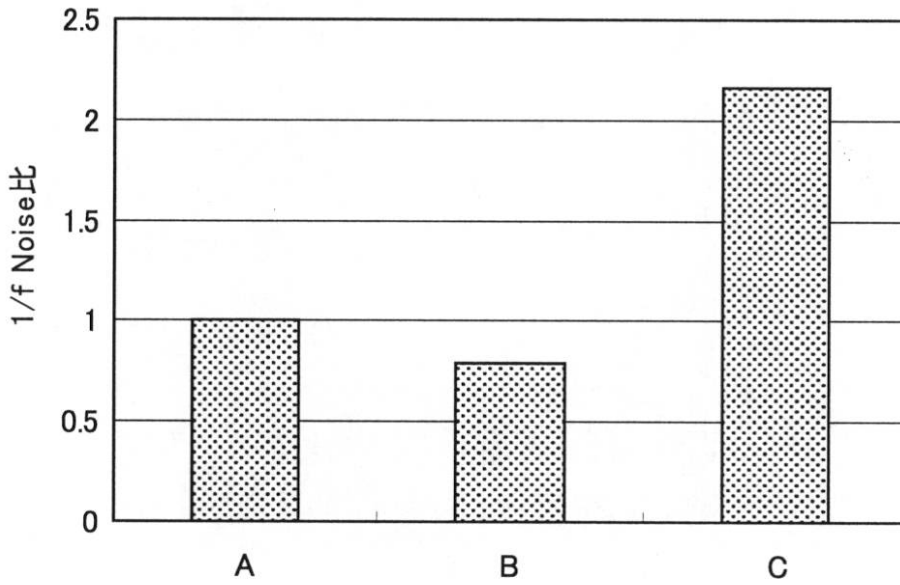
【図 3】



【図6】

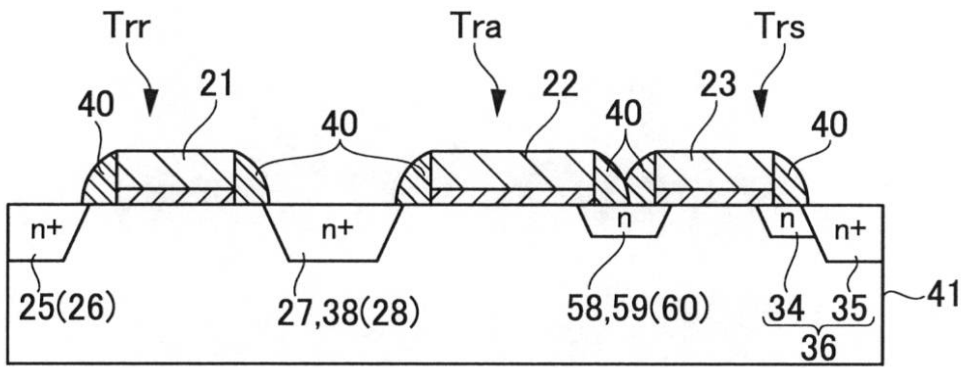


【図7】

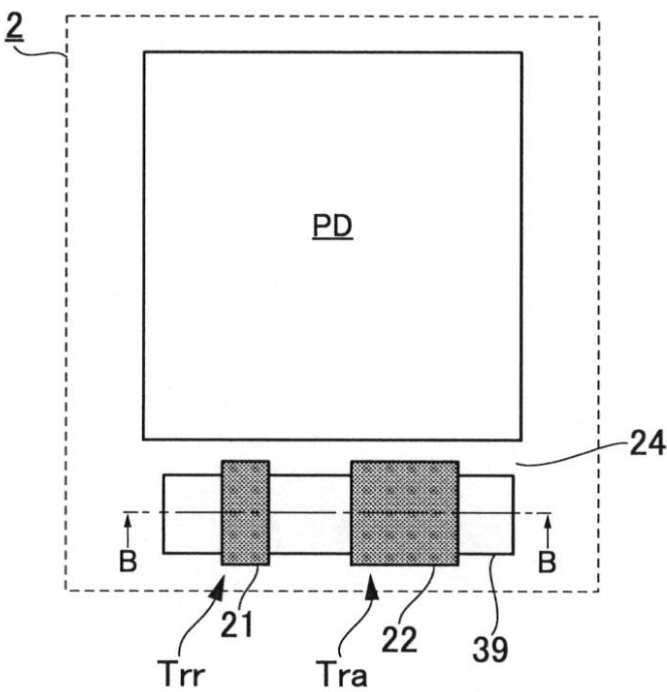


- A : ソース領域、ドレイン領域共にLDD構造
- B : 本実施形態例(ソース領域のみLDD構造)
- C : ソース領域、ドレイン領域共にシングルドレイン構造

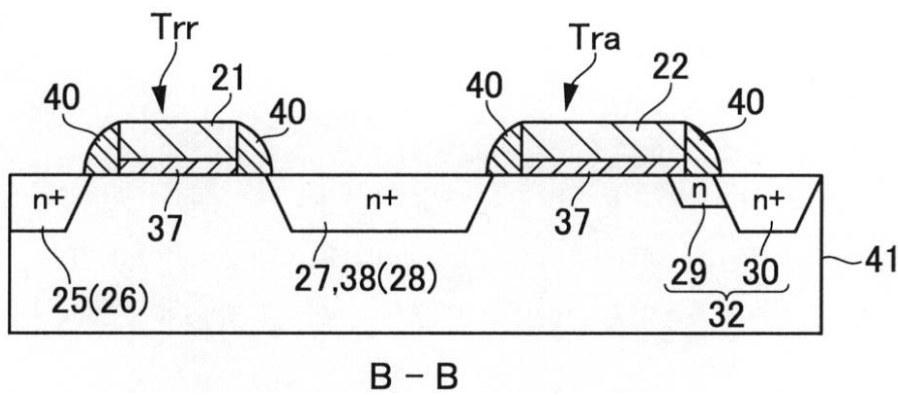
【 図 8 】



【 図 9 】

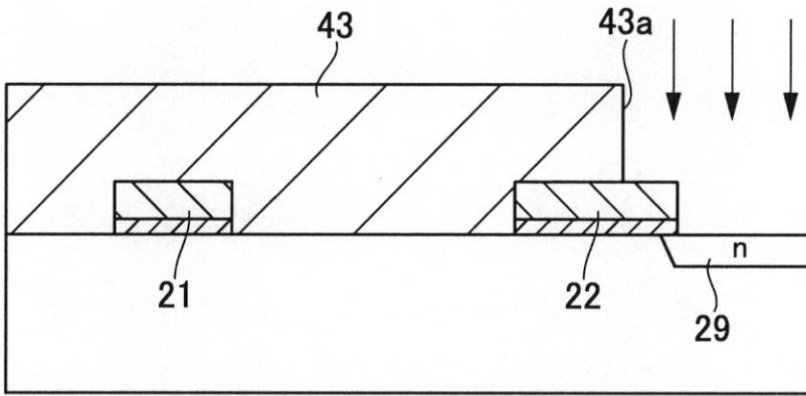


【 図 10 】

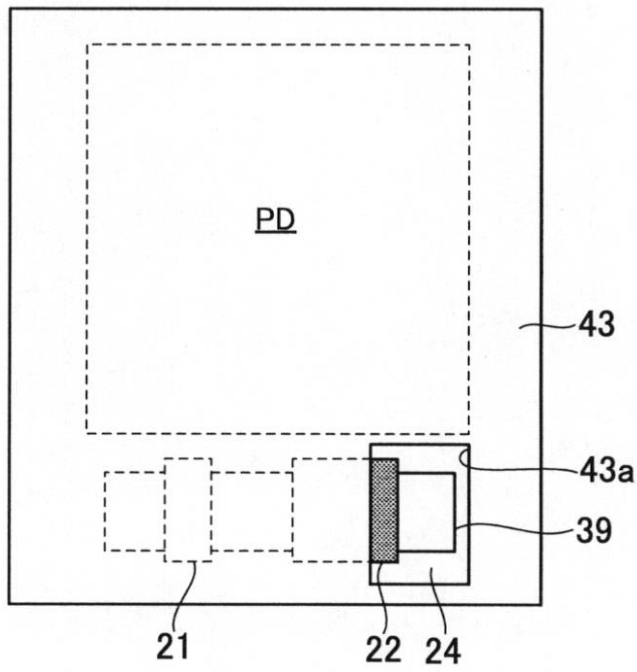




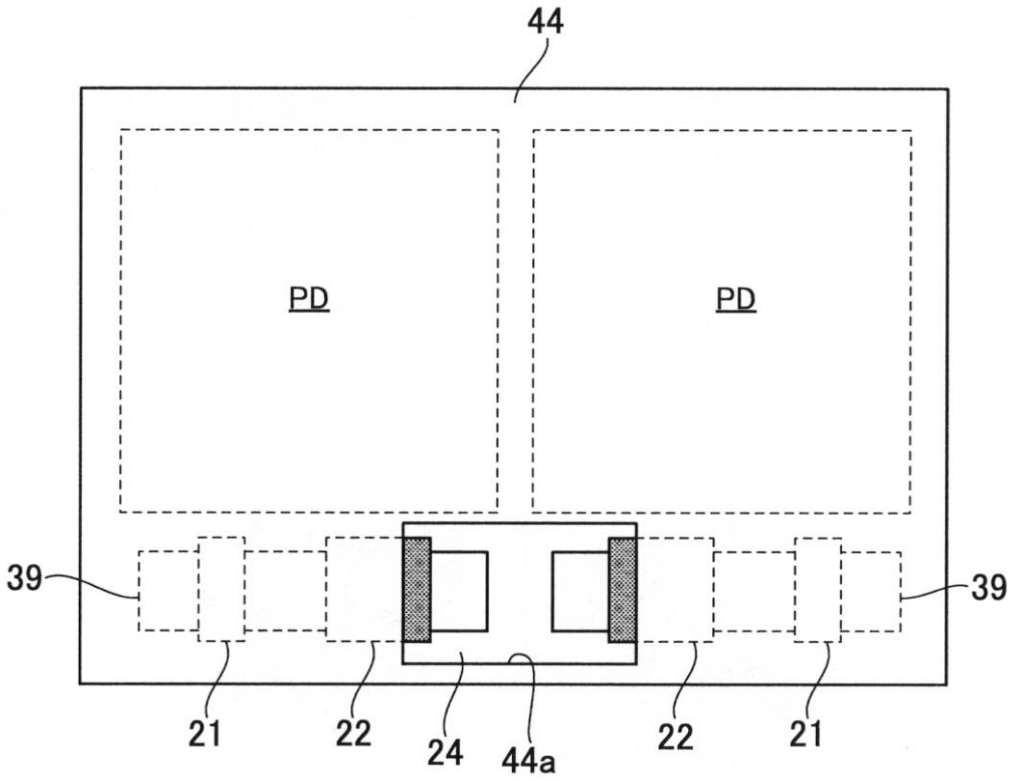
【図 1 1】



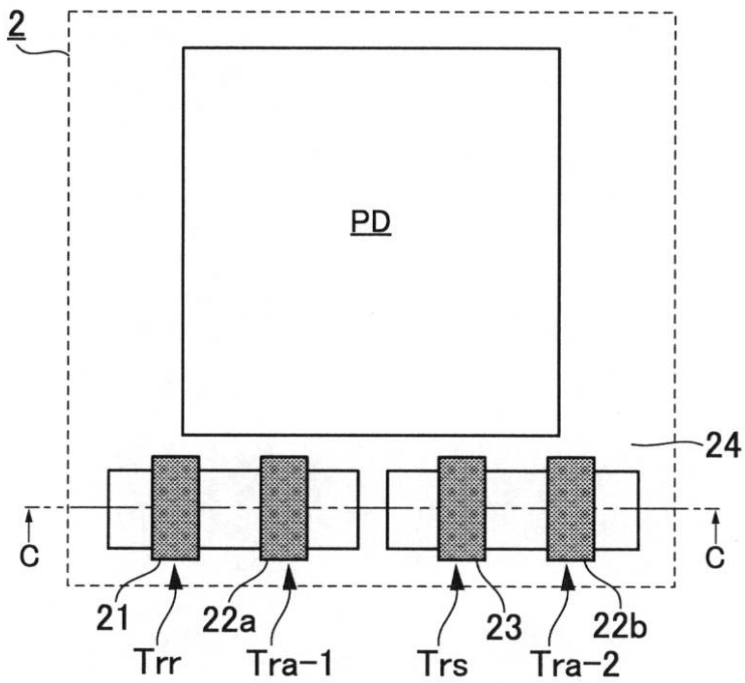
【図 1 2】



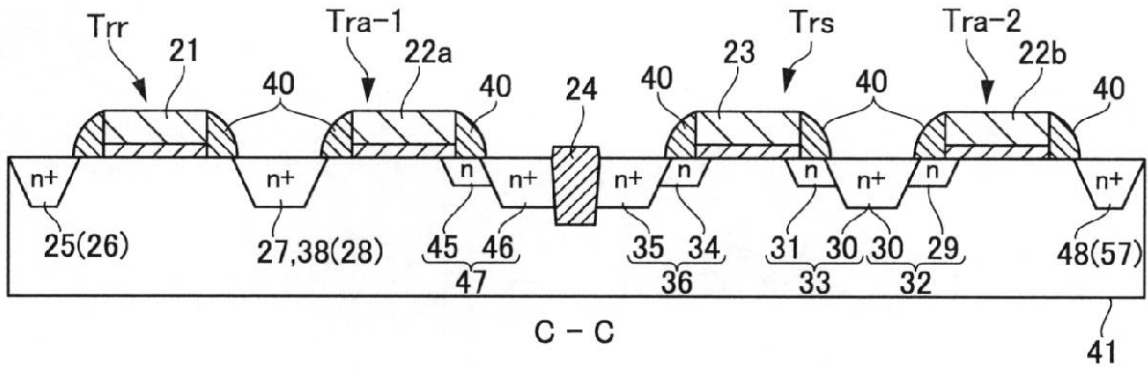
【 図 1 3 】



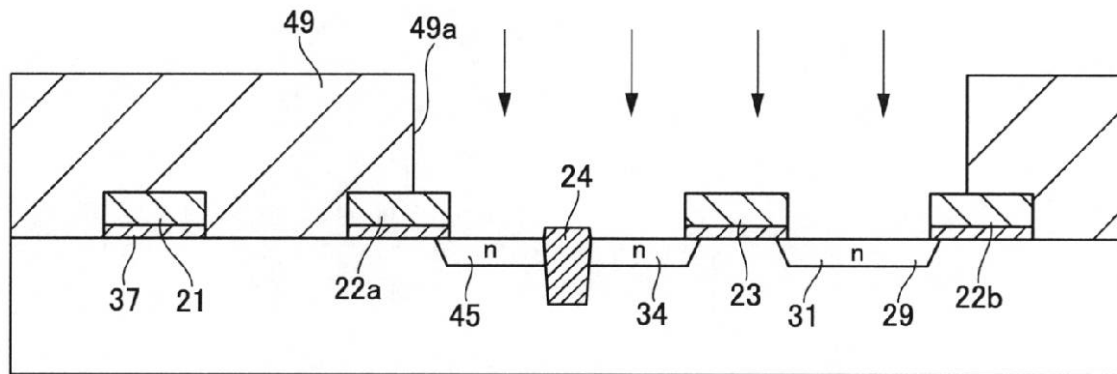
【 図 1 4 】



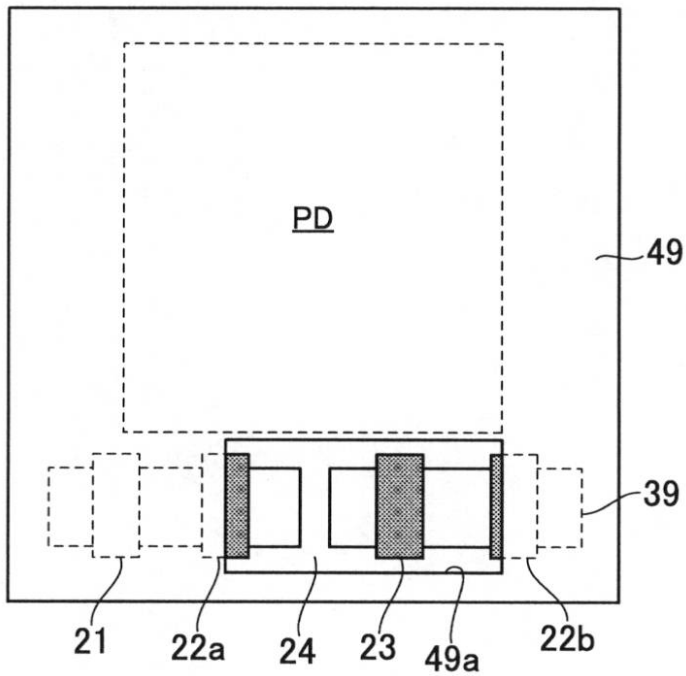
【図15】



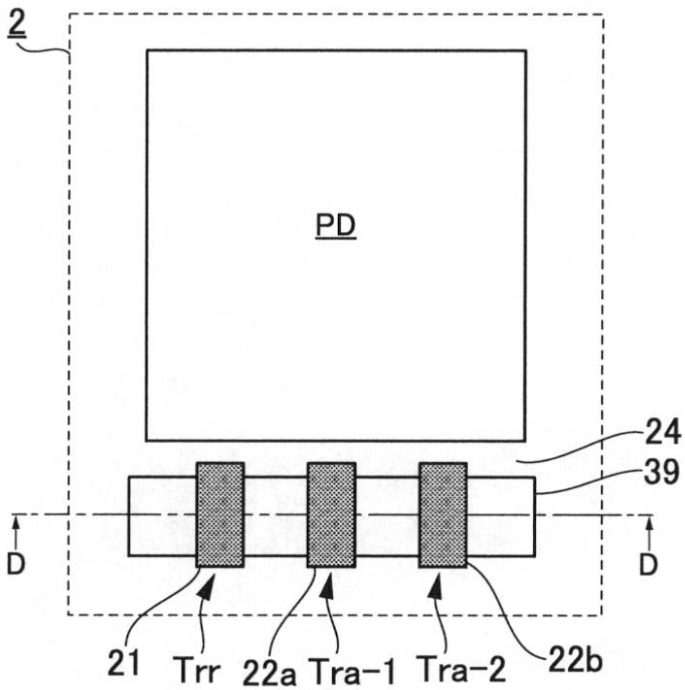
【図16】



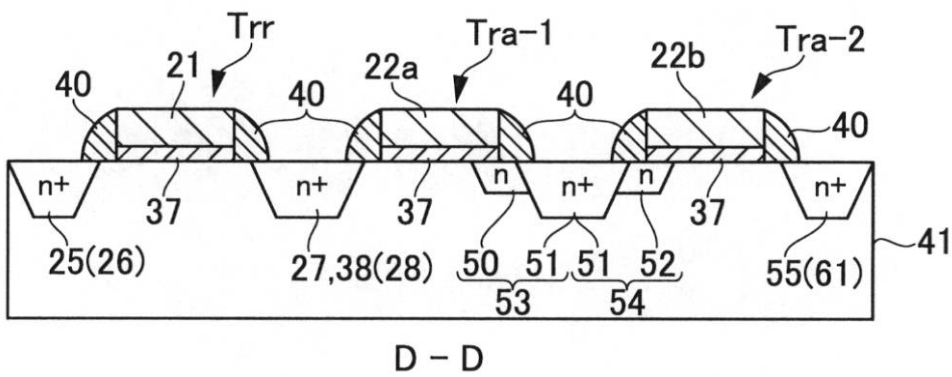
【図17】



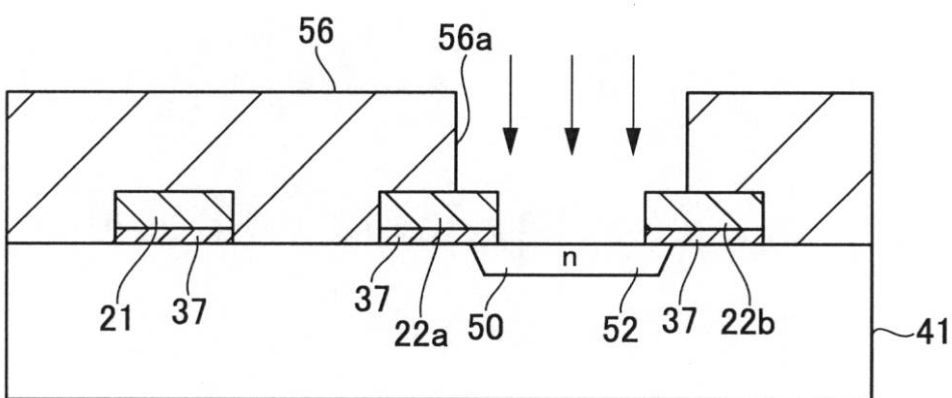
【図18】



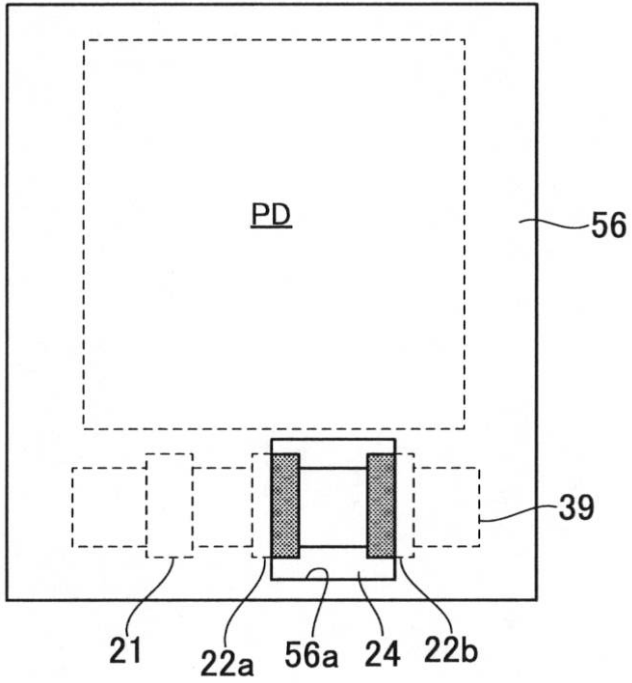
【図19】



【図20】



【図 2 1】



【図 2 2】

200

