

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4285432号
(P4285432)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int. Cl. F I
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 D

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2005-105816 (P2005-105816)	(73) 特許権者	000002185
(22) 出願日	平成17年4月1日(2005.4.1)		ソニー株式会社
(62) 分割の表示	特願2002-76081 (P2002-76081) の分割		東京都港区港南1丁目7番1号
原出願日	平成14年3月19日(2002.3.19)	(74) 代理人	100089875 弁理士 野田 茂
(65) 公開番号	特開2005-217439 (P2005-217439A)	(72) 発明者	阿部 高志 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
(43) 公開日	平成17年8月11日(2005.8.11)	(72) 発明者	中村 信男 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
審査請求日	平成17年4月1日(2005.4.1)	(72) 発明者	馬淵 圭司 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に、それぞれ光電変換素子と電界効果トランジスタを含む複数の画素を2次元アレイ状に配列した撮像素部と、前記撮像素部を駆動する駆動回路および前記撮像素部から出力される画素信号を信号処理する信号処理回路を含む周辺回路部とを設け、前記撮像素部の電界効果トランジスタを駆動する配線層が前記半導体基板の第1面側に形成され、前記光電変換素子の受光面が前記半導体基板の第2面側に配置された裏面照射型の固体撮像素子であって、

前記半導体基板の第1面の前記電界効果トランジスタ用の活性領域と当該第1面の前記光電変換素子上の領域とに同一の半導体金属化合物が形成され、その上層に前記配線層が形成されている、

ことを特徴とする固体撮像素子。

【請求項2】

前記半導体基板はシリコン基板であり、前記半導体金属化合物はコバルトとシリコンの化合物によるシリサイド膜であることを特徴とする請求項1記載の固体撮像素子。

【請求項3】

半導体基板に、それぞれ光電変換素子と電界効果トランジスタを含む複数の画素を2次元アレイ状に配列した撮像素部と、前記撮像素部を駆動する駆動回路および前記撮像素部から出力される画素信号を信号処理する信号処理回路を含む周辺回路部とを設け、前記撮像素部の電界効果トランジスタを駆動する配線層が前記半導体基板の第1面側に形

成され、前記光電変換素子の受光面が前記半導体基板の第2面側に配置された裏面照射型の固体撮像素子の製造方法であって、

前記半導体基板の第1面の前記電界効果トランジスタ用の活性領域と当該第1面の前記光電変換素子上の領域とに同一の半導体金属化合物を形成し、前記電界効果トランジスタ用の活性領域、および前記光電変換素子上に前記半導体金属化合物が残存した状態で前記配線層の形成を行う、

ことを特徴とする固体撮像素子の製造方法。

【請求項4】

前記半導体基板はシリコン基板であり、前記半導体金属化合物はコバルトとシリコンの化合物によるシリサイド膜であることを特徴とする請求項3記載の固体撮像素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各種イメージセンサやカメラモジュールとして用いられる固体撮像素子及びその製造方法に関する。

【背景技術】

【0002】

近年、ビデオカメラや電子カメラが広く普及しており、これらのカメラには、CCD型や増幅型の固体撮像素子が使用されている。

20

このうち増幅型固体撮像素子(CMOSイメージセンサ)は、1つの半導体チップに複数の画素を2次元配列して構成される撮像画素部と、この撮像画素部の外側に配置される周辺回路部とを設けたものであり、撮像画素部の各画素内にFD部や転送、増幅等の各種MOSトランジスタを有し、各画素に入射した光をフォトダイオードによって光電変換して信号電荷を生成し、この信号電荷を転送トランジスタによってFD部に転送し、このFD部の電位変動を増幅トランジスタによって検出し、これを電気信号に変換、増幅することにより、各画素毎の信号を信号線より周辺回路部に出力するものである。

また、周辺回路部には、撮像画素部からの画素信号に所定の信号処理、例えばCDS(相関二重サンプリング)、利得制御、A/D変換等を施す信号処理回路、ならびに撮像画素部の各画素を駆動して画素信号の出力を制御する駆動制御回路、例えば垂直、水平の各

30

【0003】

図11は、従来のCMOSイメージセンサにおける素子構造を示す断面図であり、撮像画素部の1つの画素10と周辺回路部に設けられる1つのMOSトランジスタ20の構造を示している。

撮像画素部の画素10は、N型シリコン基板1の上にP型ウエル領域11を設け、ここにフォトダイオード12およびFD部13が設けられている。また、N型シリコン基板1の上層絶縁層2には、フォトダイオード12からFD部13に信号電荷を転送するための転送ゲート用のポリシリコン転送電極14と、その上層にアルミ等の金属配線15、16が設けられ、さらにその上層にフォトダイオード12の受光用開口部を有する遮光膜17

40

が設けられている。また、上層絶縁層2の上には、シリコン窒化膜等によるパッシベーション膜3が設けられ、その上層にオンチップ色フィルタ18およびオンチップマイクロレンズ19が設けられている。

【0004】

一方、周辺回路部のMOSトランジスタ20は、N型シリコン基板1の上にP型ウエル領域21を設け、ここにソース領域22およびドレイン領域23が設けられている。N型シリコン基板1の上層絶縁層2には、MOSトランジスタ20のポリシリコンゲート電極24が設けられ、その上層にアルミ等の金属配線25、26、27が設けられ、さらに上層のパッシベーション膜3にもアルミ等の金属配線28が設けられている。

50

【 0 0 0 5 】

このような構成の固体撮像素子において、各画素は、フォトダイオード12の開口率（画素への入射光に対するフォトダイオード12への入射光の比）を上げるために、入射光をマイクロレンズ19によって、配線の間を通してフォトダイオード12に集光する。

しかし、この場合、マイクロレンズ19によって集光される光の一部が、配線15、16によって跳ねられてしまう。これが原因で、次のような問題点が生じる。

1) 配線によって跳ねられた分、感度が落ちる。

2) 配線によって跳ねられた光の一部が隣接する画素のフォトダイオードに入り、混色が生じる。

【 0 0 0 6 】

3) 配線のレイアウトが限られるので、フォトダイオードの上部に配線が置けない、あるいは、太い配線が通せないなどといった制約によって特性を低下させる。

4) 上記3)と同様の理由で微細化が困難である。

5) 周辺部の画素は光が斜め入射になり跳ねられる割合が多いので、周辺ほど暗いシェーディングが起こる。

6) 配線層がさらに増加した進んだCMOSプロセスでCMOSイメージセンサをつくらうとすると、マイクロレンズからフォトダイオードまでの距離が遠くなり、さらに上記のような困難性が增大する。

7) 上記6)によって、進んだCMOSプロセスのライブラリが使えなくなり、ライブラリに登録されている回路のレイアウトし直しが入る、あるいは、配線層が制限されるので面積が増大するなどといった理由によって、コストアップとなる。また、1画素当たりの画素面積も大きくなる。

【 0 0 0 7 】

また、赤色などの長波長の光が、フォトダイオード12よりも深い位置のP型ウエル領域11中で光電変換されると、発生した電子がP型ウエル領域11の中を拡散し、別の位置のフォトダイオード12に入ってしまう、混色を起こしたり、黒を検出するために遮光してある画素に入ると、黒レベルを間違えて検出してしまうという問題がある。

また、活性領域にシリサイドを使うプロセスがあるが、シリサイドは光の入射を妨害するため、フォトダイオード12上のシリサイドのみを除去するプロセスを追加する必要がある。

そのために工程が増え、また複雑なプロセスとなる。その工程起因のフォトダイオードの欠陥も生じる。

【 0 0 0 8 】

また、上述のようにCMOSイメージセンサの周辺画素部には、これまでは別のチップで構成されていたカメラ信号処理回路やDSP等の機能が搭載される。これらはプロセス世代が $0.4\mu\text{m}$ $0.25\mu\text{m}$ $0.18\mu\text{m}$ $0.13\mu\text{m}$ と進化していくので、CMOSイメージセンサ自体も、これらの新しいプロセスに対応させなければ微細化の恩恵が受けられず、また、豊富なCMOS回路のライブラリやIPが利用できなくなる。

しかし、プロセス世代が進むほど配線構造が多層化し、たとえば $0.4\mu\text{m}$ プロセスでは配線は3層であったが、 $0.13\mu\text{m}$ プロセスでは8層を用いている。また、配線の厚さも増加し、マイクロレンズからフォトダイオードの受光面までの距離が3倍～5倍になる。

したがって、従来の配線層を通して光を受光面に通す方法では、効率よく光を画素の受光面に集光できなくなっており、上記1)～7)の問題が顕著になっている。

【 0 0 0 9 】

ところで、最近では、上述したCMOSイメージセンサとは別の固体撮像素子として、フォトダイオードの受光面を半導体チップの裏面に設けた、いわゆる裏面照射型固体撮像素子が提案されている。

これは、フレーム転送型CCD撮像素子として構成されたものであり、シリコン基板を薄膜化し、その表面側に転送電極等を設けるとともに、裏面にフォトダイオードの受光面

10

20

30

40

50

を配置したものである。

そして、この受光面に受光した光をシリコン基板内のフォトダイオードで光電変換し、その信号電荷を基板表面側から伸びた空乏層で捕獲し、表面側の電位井戸（P+型ウエル領域）に蓄積し、転送、出力する。

【0010】

図12は、このような裏面照射型の固体撮像素子におけるフォトダイオード部分の素子構造を示す断面図である。

この固体撮像素子は、薄型のP-型シリコン基板30上にエピタキシャル成長によるN型ウエル領域31を設け、その上に空乏層32を介してP+型ウエル領域33を設けてフォトダイオードを構成したものである。

また、P+型ウエル領域33の上には酸化膜34およびアルミ遮光膜35が設けられている。

この場合、P-型シリコン基板30側が裏面すなわち光の照射面となり、酸化膜34およびアルミ遮光膜35側が表面であり、例えば転送電極用の配線等が配置されている。

【0011】

しかし、このような構造の撮像素子では、吸収率の高い、青色の感度が落ちるという問題がある。また、光が背面に入射して浅い位置で光電変換されることから、発生した信号電荷が拡散し、ある割合で周囲のフォトダイオードに入ってしまうという問題がある。

その一方で、CCD型撮像素子の場合、システムオンチップをしないので配線層の高さを高くする必要が無いこと、CCD独自のプロセスであるので遮光膜をフォトダイオードの周囲に落とし込むことができるといった理由から、オンチップレンズによる集光が容易であるため、上述のようなCMOSイメージセンサの場合の課題である1)~7)の問題が生じない。

このような実情から、裏面照射型のCCD型撮像素子はほとんど実用されておらず、また、このような裏面照射型CCD撮像素子において色フィルタとマイクロレンズをオンチップ化したものについても、ほとんど存在しないものと思われる。

【0012】

これに対してCMOSイメージセンサの場合は、プロセスは標準CMOSプロセスにわずかの修正を加えたものを使用するので、上述した裏面照射型を採用することで、配線工程に影響されず、常に最新のプロセスを用いることができるという、CCD型撮像素子の場合には無い利点がある。

また、金属配線が何層も縦横に走ることは、CCD型撮像素子には無い点であるので、CCD型撮像素子の場合と異なり、上述した1)~7)の問題が特にCMOSイメージセンサで顕著であり、この点からも上述した裏面照射型をCMOSイメージセンサに採用することは有利である。

【発明の開示】

【発明が解決しようとする課題】

【0013】

ところで、従来のCMOSプロセスにおいてシリコン基板上に各種の電界効果トランジスタ(FET)を形成する場合、ゲート電極やソース・ドレインの活性領域にシリサイド膜等の半導体金属化合物を用いることが行われているが、その工程によっては隣接するフォトダイオードのノイズ特性に悪影響を及ぼす可能性がある。

一方、上述のような裏面照射型CMOSイメージセンサでは、フォトダイオードの受光面と反対側の面に各種の配線膜が配置されることになり、フォトダイオードを透過した光が配線膜に反射して他のフォトダイオードに入射し、ノイズ信号となって画質の劣化を招く問題がある。

【0014】

そこで本発明の目的は、いわゆる裏面照射型の増幅型固体撮像素子(CMOSイメージセンサ)において、撮影画像上の白い点となる欠陥を減少させ、また、裏面から入射した光がフォトダイオードを透過して配線で反射され、別のフォトダイオードで光電変換され

10

20

30

40

50

てしまうことを防止することが可能な固体撮像素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【0015】

本発明は前記目的を達成するため、半導体基板に、それぞれ光電変換素子と電界効果トランジスタを含む複数の画素を2次元アレイ状に配列した撮像素部と、前記撮像素部を駆動する駆動回路および前記撮像素部から出力される画素信号を信号処理する信号処理回路を含む周辺回路部とを設け、前記撮像素部の電界効果トランジスタを駆動する配線層が前記半導体基板の第1面側に形成され、前記光電変換素子の受光面が前記半導体基板の第2面側に配置された裏面照射型の固体撮像素子であって、前記半導体基板の第1面の前記電界効果トランジスタ用の活性領域と当該第1面の前記光電変換素子上の領域とに同一の半導体金属化合物が形成され、その上層に前記配線層が形成されていることを特徴とする。

10

また本発明は、半導体基板に、それぞれ光電変換素子と電界効果トランジスタを含む複数の画素を2次元アレイ状に配列した撮像素部と、前記撮像素部を駆動する駆動回路および前記撮像素部から出力される画素信号を信号処理する信号処理回路を含む周辺回路部とを設け、前記撮像素部の電界効果トランジスタを駆動する配線層が前記半導体基板の第1面側に形成され、前記光電変換素子の受光面が前記半導体基板の第2面側に配置された裏面照射型の固体撮像素子の製造方法であって、前記半導体基板の第1面の前記電界効果トランジスタ用の活性領域と当該第1面の前記光電変換素子上の領域とに同一の半導体金属化合物を形成し、前記電界効果トランジスタ用の活性領域、および前記光電変換素子上に前記半導体金属化合物が残存した状態で前記配線層の形成を行うことを特徴とする。

20

【発明の効果】

【0016】

本発明による固体撮像素子では、半導体基板の第1面の光電変換素子上に半導体金属化合物が形成され、その上層に配線層が形成されていることから、受光面から入射して光電変換素子を透過した光は半導体金属化合物によって遮蔽され、配線層には入射しないことになり、配線による反射光が他の光電変換素子に入射することもなくなる。したがって、ノイズを抑制でき、画質を向上できる効果がある。また、シリサイド膜を除去したことに起因する撮影画像上の白い点となる欠陥が少ない固体撮像素子を提供できる。

30

また本発明による固体撮像素子の製造方法では、半導体基板の第1面の電界効果トランジスタ用の活性領域と同時に、光電変換素子上に半導体金属化合物を形成し、電界効果トランジスタ用の活性領域、および光電変換素子上に半導体金属化合物が残存した状態で配線層の形成を行うことから、光電変換素子上の半導体金属化合物を除去することなく、配線層の形成に移行できる。したがって、半導体金属化合物の除去工程を省略して工程の簡素化を実現できるとともに、半導体金属化合物の除去工程に起因する欠陥（白点等）の増大をなくすことができ、ノイズ特性の改善による画質の向上を図ることが可能となる。また、光電変換素子上に形成した半導体金属化合物によって、光電変換素子を透過した光が配線層に入射することもなくなり、その反射光によるノイズも防止して画質を向上できる効果がある。

40

【発明を実施するための最良の形態】

【0017】

以下、本発明による固体撮像素子の製造方法の実施の形態例を説明する。

本実施の形態例は、新世代のプロセスに対応するための裏面照射型固体撮像素子の製造工程において、ステッパ合わせを行うために、例えばMOSトランジスタの作成工程で用いる活性領域またはゲート電極（ポリシリコン膜）を流用して配線面側に位置合わせマークを形成する。

【0018】

また、この位置合わせマークには、活性領域を用いたシリサイド膜を用いることもでき

50

、このシリサイド膜をフォトダイオード上（照射面と反対面）に残すこともできる。

この後、このような位置合わせマークを赤色光または近赤外光によって裏面側から読み取り、ステッパの位置合わせを行う。

なお、配線面側の位置合わせマークに合わせて、裏面（照射面）側のシリコン酸化膜に位置合わせマークを作成し、これによって位置合わせを行うことも可能である。

これらにより、裏面照射型の増幅型固体撮像素子（CMOSイメージセンサ）を容易に作製でき、上述した集光等の問題が解決できる。

【0019】

まず、本実施の形態例におけるCMOSイメージセンサの概要について説明する。

図1は、本発明の実施の形態例によるCMOSイメージセンサの概要を模式的に示す平面図であり、図2は、図1に示すCMOSイメージセンサの画素の構成を示す等価回路図である。

本例によるCMOSイメージセンサは、半導体チップ110上に形成された撮像素部112、V選択手段114、H選択手段116、タイミングジェネレータ(TG)118、S/H・CDS部120、AGC部122、A/D部124、デジタルアンプ部126等を含んでいる。

【0020】

撮像素部112は、多数の画素が2次元マトリクス状に配列されており、各画素には、図2に示すように、受光量に応じた信号電荷を生成し蓄積する光電変換素子であるフォトダイオード(PD)200が設けられ、さらに、このフォトダイオード200が変換して蓄積した信号電荷をフローティングディフュージョン部(FD部)210に転送する転送トランジスタ220と、FD部210の電圧をリセットするリセットトランジスタ230と、FD部210の電圧に対応する出力信号を出力する増幅トランジスタ240と、この増幅トランジスタ240の出力信号を垂直信号線260に出力する選択(アドレス)トランジスタ250の4つのMOSトランジスタが設けられている。

【0021】

このような構成の画素では、フォトダイオード200で光電変換された信号電荷を転送トランジスタ220によってFD部210に転送する。FD部210は、増幅トランジスタ240のゲートにつながっており、増幅トランジスタ240は撮像素部112の外部に設けられた定電流源270とソースフォロアを構成するので、アドレストランジスタ250をONすると、FD部210の電圧に応じた電圧が垂直信号線260に出力される。

また、リセットトランジスタ230は、FD部210の電圧を信号電荷によらない定電圧(図示の例では駆動電圧V_{dd})にリセットする。

また、撮像素部112には各MOSトランジスタを駆動制御するための各種駆動配線が水平方向に配線されており、撮像素部112の各画素は、V選択手段114によって垂直方向に水平ライン(画素行)単位で順次選択され、タイミングジェネレータ118からの各種パルス信号によって各画素のMOSトランジスタが制御されることにより、各画素の信号が垂直信号線260を通して画素列毎にS/H・CDS部120に読み出される。

【0022】

S/H・CDS部120は、撮像素部112の画素列毎にS/H・CDS回路を設けたものであり、撮像素部112の各画素列から読み出された画素信号に対し、CDS(相関二重サンプリング)等の信号処理を行うものである。また、H選択手段116は、S/H・CDS部120からの画素信号をAGC部122に出力する。

AGC部122は、H選択手段116によって選択されたS/H・CDS部120からの画素信号に対して所定のゲインコントロールを行い、その画素信号をA/D部124に出力する。

A/D部124は、AGC部122からの画素信号をアナログ信号からデジタル信号に変換してデジタルアンプ126に出力する。デジタルアンプ126は、A/D部124からのデジタル信号出力について必要な増幅やバッファリングを行い、図示しない外部端子

10

20

30

40

50

より出力するものである。

また、タイミングジェネレータ 1 1 8 は、上述した撮像素部 1 1 2 の各画素以外の各部にも各種のタイミング信号を供給している。

【 0 0 2 3 】

図 3 および図 4 は、本実施の形態例による CMOS イメージセンサの画素レイアウトの具体例を示す概略平面図である。

まず、図 3 はフォトダイオードや各トランジスタの活性領域（ゲート酸化膜を配置した領域）と、ゲート電極（ポリシリコン膜）と、それらへのコンタクトの配置を示している。

図示のように、各画素の活性領域 3 0 0 は、上述したフォトダイオード（PD）2 0 0 と FD 部 2 1 0 を含む方形領域 3 1 0 と、この方形領域 3 1 0 の 1 つのコーナーから L 字状に延出された屈曲帯状領域 3 2 0 とで構成されている。

方形領域 3 1 0 の FD 部 2 1 0 にはコンタクト 3 1 1 が設けられ、また、フォトダイオード（PD）2 0 0 と FD 部 2 1 0 の中間には、転送ゲート電極 3 1 2 が設けられ、この転送ゲート電極 3 1 2 の端部にコンタクト 3 1 3 が設けられている。

【 0 0 2 4 】

また、屈曲帯状領域 3 2 0 には、順番にリセットゲート電極 3 2 1、増幅ゲート電極 3 2 2、アドレスゲート電極 3 2 3 が設けられ、各ゲート電極 3 2 1、3 2 2、3 2 3 の端部には、それぞれコンタクト 3 2 4、3 2 5、3 2 6 が設けられている。FD 部 2 1 0 のコンタクト 3 1 1 と増幅ゲート電極 3 2 2 のコンタクト 3 2 5 は画素内金属配線によって

接続される。また、リセットゲート電極 3 2 1 と増幅ゲート電極 3 2 2 との間には、リセット用の V_{dd} に接続されるコンタクト 3 2 7 が設けられ、屈曲帯状領域 3 2 0 の端部には垂直信号線 2 6 0 に接続されるコンタクト 3 2 8 が設けられている。

【 0 0 2 5 】

また、図 4 は図 3 よりも上層の金属配線とそれらの間のコンタクトを活性領域とともに示している。本例において金属配線は 3 層あり、第 1 層は画素内配線 3 3 0 として用いており、第 2 層は縦（垂直）方向の配線 3 4 0 として用いており、第 3 層は横（水平）方向の配線 3 5 0 として用いている。

これらの金属配線 3 3 0、3 4 0、3 5 0 は、従来はフォトダイオード領域を避けるようにして配置されていたが、ここでは、フォトダイオードの上側（すなわち、照射面と反対側の面）にも配置されていることが大きく異なる。明らかに、配線がフォトダイオードを避ける従来の配線方法では、図示のようなサイズの画素はレイアウトできないものである。

【 0 0 2 6 】

図 5 は、本実施の形態による裏面照射型 CMOS イメージセンサにおける素子構造を示す断面図であり、撮像素部の 1 つの画素 4 0 0 と周辺回路部に設けられる 1 つの MOS トランジスタ 5 0 0 の構造を示している。なお、図 5 では、図中上方が照射面（裏面）側、下方が配線面（表面）側となっている。

この CMOS イメージセンサは、基板支持材（ガラス樹脂等）6 0 0 上に設けられたシリコン酸化膜層 6 1 0 の内部に上述した 3 層の金属配線 3 3 0、3 4 0、3 5 0 を設けたものであり、このシリコン酸化膜層 6 1 0 の上に設けられたシリコン層（N 型シリコン基板）6 2 0 に上述した画素 4 0 0 と MOS トランジスタ 5 0 0 が設けられている。

なお、図 5 は概略的な構成を示しており、ここでは素子構造の概略を説明し、詳細は図 6 を用いて後述する。

【 0 0 2 7 】

画素 4 0 0 は、シリコン層 6 2 0 を貫通する状態で形成された P 型ウエル領域 4 1 0 A、4 1 0 B の中間部にシリコン層 6 2 0 を貫通する状態でフォトダイオード 4 2 0 を設けたものである。

そして、一方の P 型ウエル領域 4 1 0 A には、上述した FD 部 2 1 0 が設けられ、フォ

10

20

30

40

50

トダイオード420とFD部210との中間に位置するシリコン酸化膜層610の内部には、上述した転送ゲート電極312が設けられている。

また、MOSトランジスタ500は、N型シリコン層620のシリコン酸化膜層610側の領域にP型ウエル領域510を設け、このP型ウエル領域510にソース/ドレイン(S/D)520A、520Bを設けるとともに、シリコン酸化膜層610側にゲート電極(ポリシリコン膜)530を設けたものである。

【0028】

また、N型シリコン層620の上にはP+型領域630が設けられ、その上層にシリコン酸化膜(SiO₂)640が設けられている。また、さらにシリコン酸化膜640の上層には、アルミ等の遮光膜650が設けられ、この遮光膜650には、フォトダイオード420の受光領域に対応する開口部650Aが形成されている。

なお、図では省略するが、黒レベル検出用の画素は、図5に示す画素400と同様の素子構造に形成されているが、その受光領域には遮光膜650の開口部650Aが形成されておらず、受光のない状態の信号電荷を黒レベル基準信号として出力するようになっている。

【0029】

また、このような遮光膜650の上層には、パッシベーション層としてのシリコン窒化膜(SiN)660が設けられ、さらにその上層には、撮像素素部に対応する領域に色フィルタ670およびマイクロレンズ680がオンチップ構造で配置されている。

なお、このようなCMOSイメージセンサを構成するウェーハは、シリコン層620の部分例えば10 μ m程度の膜厚になるようにCMP(化学機械研磨)によって研磨している。

光の周波数特性上、望ましい膜厚の範囲としては、可視光に対して5 μ m~15 μ m、赤外光に対して15 μ m~50 μ m、紫外域に対して3 μ m~7 μ mである。

また、遮光膜650は、配線と異なり、光学的な要素だけを考慮してレイアウトできる。そして、マイクロレンズ680からフォトダイオード420までにある金属層は、この遮光膜650だけであること、ならびに、この遮光膜650のフォトダイオード420からの高さがシリコン酸化膜640の厚さ、例えば0.5 μ m程度と低いことから、上述した従来例と異なり、金属配線での蹴られによる集光の制限を無くすることができる。

【0030】

図6は、上述したN型シリコン層620内のウエル構造をやや詳細に示す断面図である。なお、図6に示す素子構造は、図5とは反対に図中上方が配線面(表面)側、下方が照射面(裏面)側となっている。また、図5と共通する要素については同一符号を付して説明は省略する。

周辺回路部のMOSトランジスタ500については、図5と同様の内容を示しているが、図示のようにN型シリコン層(シリコン基板)620には、低濃度のN-型を用いている。

一方、撮像素素部の画素400については、図5の内容に追加して転送トランジスタ以外のMOSトランジスタ430(すなわち、本例では増幅トランジスタ、リセットトランジスタ、またはアドレスタランジスタ)を示している。

【0031】

上述のように画素400は、シリコン層620を貫通する状態で深いP型ウエル領域410A、410Bが設けられ、その中間部にシリコン層620を貫通する状態でフォトダイオード420が設けられている。

フォトダイオード420は、照射面側の浅いP+型層420A(P+型領域630の一部)と、その内部のN-型層420B(シリコン層620の一部)と、配線面側の深いP-型ウエル領域420Cから構成されており、配線面側のP-ウエル領域420CにFD部210および転送トランジスタ220が形成されている。

また、N-型層420Bが光電変換領域であり、面積が小さく濃度が薄いために、完全空乏化している。

10

20

30

40

50

【 0 0 3 2 】

そして、このN - 型層 4 2 0 B と P - 型ウエル領域 4 2 0 C の境界部の一部には、信号電荷を蓄積するN + 型領域 4 4 0 が形成されている。また、このN + 型領域 4 4 0 に隣接して配線面側には、埋め込みフォトダイオードとするためのP + 型領域 4 5 0 が設けられている。

信号電荷は、転送トランジスタ 2 2 0 の作動によってF D 部 2 1 0 のN + 型領域に転送される。また、転送トランジスタ 2 2 0 がオフの状態では、フォトダイオード 4 2 0 側とF D 部 2 1 0 側のN + 型領域は、中間のP - 型ウエル領域 4 2 0 C によって電氣的に分離されている。

また、転送トランジスタ 2 2 0 以外のM O S トランジスタ 4 3 0 は、深いP型ウエル領域 4 1 0 A に通常通り形成されており、P型ウエル領域 4 1 0 A 内にN + 型のソース/ドレイン領域 4 3 1、4 3 2 を形成し、その上層にゲート電極 4 3 3 を形成したものである。

10

【 0 0 3 3 】

次に、以上のような構成のC M O S イメージセンサの製造方法について説明する。

図 7 ~ 図 1 0 は、本例におけるC M O S イメージセンサの製造プロセスを示す断面図である。

(1) 素子分離、ウエル形成

まず、薄膜化する前のシリコン基板 (シリコン層 6 3 0) に素子分離領域や各種ウエル領域を形成する。ここで、上述のように画素部分には深いP型ウエル領域、周辺回路部分には浅いP型ウエル領域とN型ウエル領域を形成する。

20

【 0 0 3 4 】

(2) 各種トランジスタ、配線、P A D 形成

図 7 (A) (B) に示すように、従来のC M O S イメージセンサのプロセスと同様の工程を用いて、各種M O S トランジスタやアルミ配線、電極P A D等を形成するが、本例では、M O S トランジスタのゲートまたは活性領域を用いてステッパの位置合わせ用のマークを形成する。

なお、本願に先行する提案として、後工程で裏面のステッパ合わせを行うため、この段階でウェーハにトレンチ (溝) を形成し、そこにタングステンまたはアルミニウム等を埋め込んでマークを作る方法が提案されていた。この方法では、基板の深いところ、裏面から近いところに合わせマークを作ることができるが、その部分から金属原子などの不純物が基板に入りやすい。その場合、ある確率で画素に欠陥が生じ、その固体撮像素子で写した画像に白い点が現れてしまうという課題があった。

30

【 0 0 3 5 】

そこで、本実施の形態においては、M O S トランジスタ用に形成するゲート電極 (ポリシリコン) または活性領域を流用して、位置合わせ用のマーク 7 0 0 を作成する。特に活性領域では、コバルトシリサイドなどのシリサイド (金属とシリコンの化合物) で形成するとよい。

また、この場合、図 7 では省略しているが、フォトダイオード上 (照射面と反対面のフォトダイオード領域) にシリサイド膜を残すことができる。

40

すなわち、図 7 に示すシリコン基板 6 3 0 の上面に露出したシリコン表面にコバルト等の金属膜を形成し、熱処理を行うことにより、シリサイド膜が形成される。この際、素子分離用の絶縁膜等がある領域ではシリコンと金属が未反応のままであり、溶液等によって除去されるが、フォトダイオード領域 (受光領域の反対領域) にはシリコン層が露出しているため、この領域にもシリサイド膜が形成される。そこで本例では、M O S トランジスタのゲート電極、及びソース・ドレインの活性領域に加えて、フォトダイオード領域にもシリサイド膜を残存させたまま、その後の配線層の形成工程に移行する。

このようにすれば、M O S トランジスタ用の活性領域とフォトダイオード領域とは同一のシリサイドより形成されることとなり、シリサイド膜を除去する工程を省略でき、工程を簡素化することができる。また、その除去工程に起因する欠陥 (撮影画像上、白い点が

50

現れる)を無くすことができる。

また、裏面から入射した光がフォトダイオードを透過して配線で反射され、別のフォトダイオードで光電変換されてしまうことを防止できる。

【0036】

(3) 基板支持材貼り付け

図7(C)に示すように、ガラス材を配線面に流し込み、基板支持材(詳しくは一層目の基板支持材)600Aを作成する。なお、この際、PAD722の形成位置上にはレジスト710をパターニングしている。

(4) PAD、コンタクト形成

コンタクトは、図8(D)に示すように、レジスト710を除去して基板支持材600Aに穴711を開け、表面処理を行うことにより、接続用のパンプを露出させる。そして、図8(E)に示すように、コンタクト用の金属を穴711および基板支持材600Aの表面に導入し、コンタクト720を形成するとともに、図8(F)に示すように、基板支持材600Aの表面の金属膜をパターニングして電極PAD721を形成する。

この後、図9(G)に示すように、配線側の平坦化のため二層目の基板支持材600Bを一層目の基板支持材600Aの上に流し込み、研磨する。

【0037】

(5) 裏面研磨

この後、ウェーハを裏返し、裏面をシリコン層630の膜厚が10 μ m程度になるまでCMPによって研磨する。

(6) 裏面シリコン酸化膜形成

例えばCVD(chemical vapor deposition)によって、薄いシリコン酸化膜(SiO₂)640A(シリコン酸化膜640の一部)を例えば10nm程度の膜厚で形成する。

ここで、図9(G)に示すように、配線層側に形成したゲート層またはシリサイドを付加した活性領域により形成した位置合わせマーク700に合わせて、裏面シリコン酸化膜640に位置合わせマーク730を形成する。これは、シリコン酸化膜640Aをシリコン層630まで少し削るようにエッチングすることによって形成する。

なお、この裏面側の位置合わせマーク730の形成は、後述するように必ずしも必須ではないものである。

【0038】

(7) 裏面p+インプラ

次に、シリコン酸化膜640を通して、シリコン酸化膜の界面が正孔で埋まるだけのボロンをイオン注入によって添加する。

なお、上述した本願に先行する提案では、ステップの位置合わせは、上述のようにウェーハ表面に予め形成したトレンチによる位置合わせマークを使って行ったが、本例では、次のいずれかの方法で位置合わせを行うことができる。

(A) 上記(2)で形成したゲート層または活性領域の位置合わせマーク700を用いる。

(B) 上記(6)でシリコン酸化膜に形成した位置合わせマーク730を用いる。

したがって、(A)の方法を用いる場合には、(B)の位置合わせマーク730の形成を省略できる。

なお、(A)の方法で配線面(表面)側の位置合わせマーク700を検出するには、波長0.61 μ m~1.5 μ mの赤色光または近赤外線を用いると、検出効率を向上できる。

(8) 裏面シリコン酸化膜形成

次に、CVDによって、残りのシリコン酸化膜640Bを例えば500nmの膜厚で形成する。

【0039】

(9) 裏面遮光膜形成

次に、アルミまたはタングステン等により、遮光膜650を従来と同様のCMOSプロ

10

20

30

40

50

セスで形成する。

このときの位置合わせは、上記(7)で説明した(A)または(B)の方法で行う。ここで、後工程で作成する色フィルタ、マイクロレンズに対する位置合わせマーク(図示せず)を作成する。

(10) パッシベーション膜形成

これはプラズマSiN膜をCVDによって形成する(図9(H))。

(11) 色フィルタ、マイクロレンズ(OCLE)形成(図10(I))

【0040】

以上の(9)~(11)は、従来と同様の方法で行う。

ただし、ステッパ位置合わせは、(9)で形成したマークを用いて行う。また、遮光膜を用いない場合は、(7)で説明した(A)または(B)の方法を用いて行う。

(12) PAD面露出

次に、図10(J)に示すように、上述した電極PAD721上の二層目の基板支持材600Bをエッチングで取り除き、電極PAD721を露出させる。この際に、例えばマイクロレンズの位置合わせや、素子チップの平坦化のため二層目の基板支持材600Bを研磨して所望の厚さに調整する。また、電極PAD721部分が受光面の反対側にあるので、実装は直接基板に取りつけることも可能である。

【0041】

以上のように、本例によるCMOSイメージセンサの製造方法では、シリコン基板の配線層側にゲート層または活性領域によって位置合わせマークを形成し、裏面の遮光膜または色フィルタまたはオンチップレンズの位置合わせに用いる、または配線層側のゲート層、シリサイドを有する活性領域を基準に裏面に位置合わせマークを形成し、裏面の遮光膜または色フィルタまたはオンチップレンズの位置合わせに用いるようにした。

したがって、特別な工程で裏面用の位置合わせマークを作る必要がないので、工程が簡単になり、また、その部分から金属原子などの不純物が基板に入り、欠陥を生じることを防止できる。

【0042】

また、特に活性領域をコバルトシリサイド等のシリサイドで形成することで、裏面からのマークの検出が容易になる。また、裏面から配線側の合わせマークを確認する際に、波長0.61~1.5μmの赤色光または近赤外線を用いることにより、マークの確認が容易になる。

また、フォトダイオード上の活性領域のシリサイドを除去しないことで、工程を減少、簡素化し、除去工程に伴う欠陥を少なくすることもでき、さらに、裏面から入射した光がフォトダイオードを透過して配線で反射され、別のフォトダイオードで光電変換されてしまうことを防止できる。

このような手法により、欠陥の少ない、特性の良い裏面照射型CMOSイメージセンサを少ない工程で作成することができる。

【0043】

また、本実施の形態例で作成される裏面照射型のCMOSイメージセンサには、基本的効果として以下のような利点がある。

まず、フォトダイオードが裏面から可視光を受光できるようにすることで従来のように受光面を考慮した配線の必要がなくなる。したがって、画素の配線の自由度が高くなり、画素の微細化を図ることができる。

また、フォトダイオードが裏面まで届いているので、吸収率の高い青色の感度が高くなり、また、フォトダイオードよりも深部で光電変換されることが無いので、それが原因の混色や黒レベルの誤検出がなくなる。

また、遮光膜、色フィルタ、オンチップレンズを受光面から低い位置に作成することができるので、感度の低下、混色、周辺減光の問題を解決することができる。

また、CMOSイメージセンサを、配線層の多い、進んだCMOSプロセスで作成することができる。

10

20

30

40

50

さらに、電極PADが受光面と反対側に配置されるので、受光面を上に向けた状態で、直接基板に実装することができる。

【0044】

以上、本発明の具体的な実施例を説明したが、これは本発明の一例であって、本発明は種々の変更が可能である。

例えば、上述した製造工程で示した膜厚等の具体的な数値や材質等は本発明を限定するものではないものとする。また、製造する固体撮像素子の構造としては、上記の例に限定されず、例えば画素の構成は、4つのMOSトランジスタによるものの他に、3つのMOSトランジスタによるものや、5つのMOSトランジスタによるものであってもよい。また、画素を駆動する配線構造等も上記の例に限定されないことはもちろんである。

10

【図面の簡単な説明】

【0045】

【図1】本発明の実施の形態例による裏面照射型CMOSイメージセンサの概要を模式的に示す平面図である。

【図2】図1に示す裏面照射型CMOSイメージセンサの画素の構成を示す等価回路図である。

【図3】図1に示す裏面照射型CMOSイメージセンサの画素レイアウトの具体例を示す概略平面図である。

【図4】図1に示す裏面照射型CMOSイメージセンサの画素レイアウトの具体例を示す概略平面図である。

20

【図5】図1に示す裏面照射型CMOSイメージセンサにおける素子構造を示す断面図である。

【図6】図1に示す裏面照射型CMOSイメージセンサにおける素子構造をやや詳細に示す断面図である。

【図7】図1に示す裏面照射型CMOSイメージセンサの製造プロセスを示す断面図である。

【図8】図1に示す裏面照射型CMOSイメージセンサの製造プロセスを示す断面図である。

【図9】図1に示す裏面照射型CMOSイメージセンサの製造プロセスを示す断面図である。

30

【図10】図1に示す裏面照射型CMOSイメージセンサの製造プロセスを示す断面図である。

【図11】従来のCMOSイメージセンサにおける素子構造を示す断面図である。

【図12】図11に示す裏面照射型の固体撮像素子におけるフォトダイオード部分の素子構造を示す断面図である。

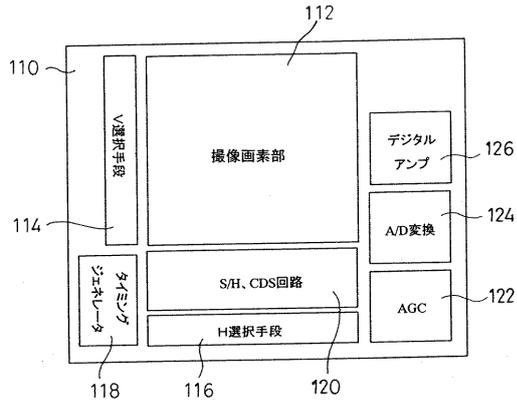
【符号の説明】

【0046】

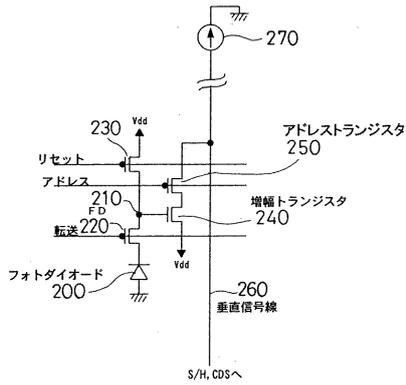
110.....半導体チップ、112.....撮像素子部、114.....V選択手段、116.....H選択手段、118.....タイミングジェネレータ、120.....S/H・CDS部、122.....AGC部、124.....A/D部、126.....デジタルアンプ部、200、420.....フォトダイオード、210.....FD部、220.....転送トランジスタ、230.....リセットトランジスタ、240.....増幅トランジスタ、250.....選択(アドレス)トランジスタ、260.....垂直信号線、400.....画素、330、340、350.....金属配線、410A、410B、510.....P型ウエル領域、500.....MOSトランジスタ、530.....ゲート電極、600.....基板支持材(ガラス樹脂等)、610.....シリコン酸化膜層、620.....シリコン層(N型シリコン基板)、630.....P+型領域、640.....シリコン酸化膜、650.....遮光膜、650A.....開口部、660.....パッシベーション層(SiN)、670.....色フィルタ、680.....マイクロレンズ、700、730.....位置合わせマーク。

40

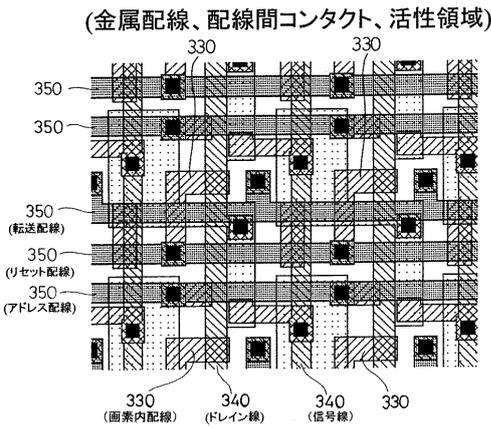
【図1】



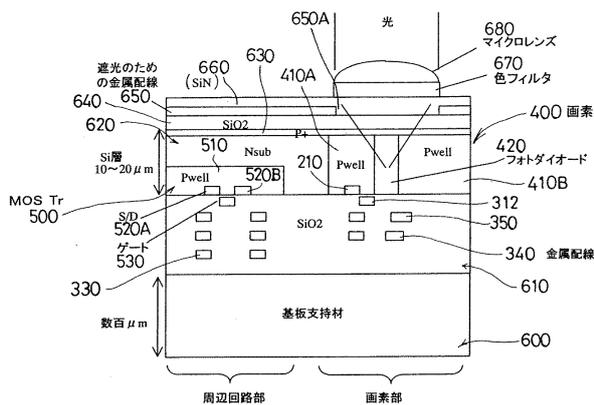
【図2】



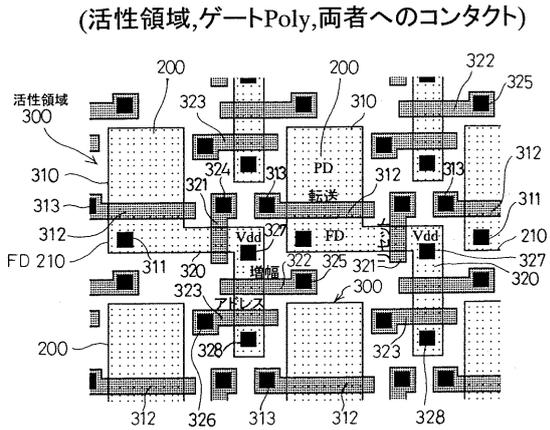
【図4】



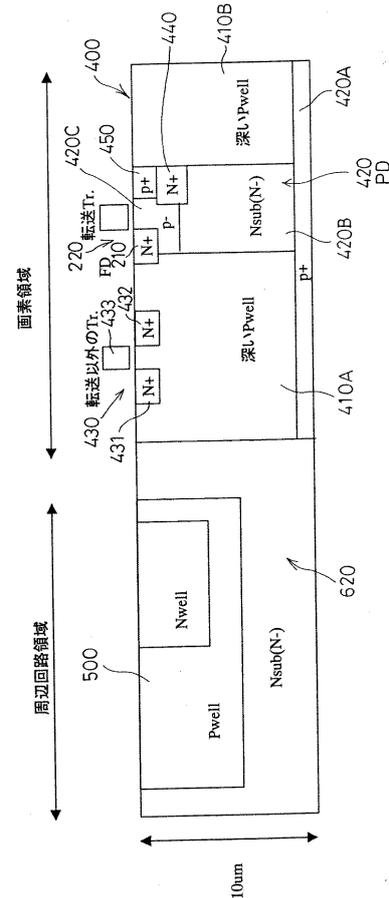
【図5】



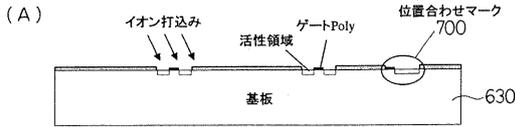
【図3】



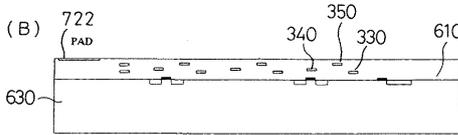
【図6】



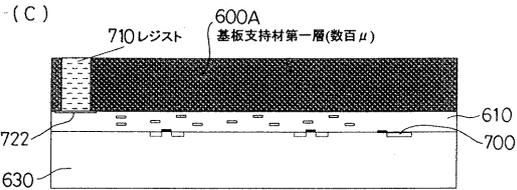
【図7】



○基板表面に素子分離、ゲートPolyの作成、イオン打込みを行いトランジスタ素子活性領域、抵抗等を作成する
 ○ゲートPolyまたは活性領域を使い、裏面用の位置合わせマークを作っておく

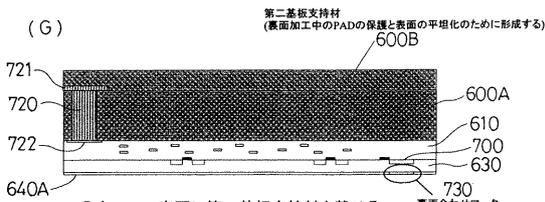


○基板表面に1~3AL(PADを含む),及び層間膜を作成する

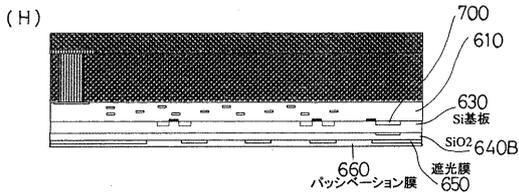


○ウエハー上に数百μの厚さで基板支持材一層目(ガラス樹脂)をのせる
 この際,PADの上はレジストでマスクをしておく。

【図9】

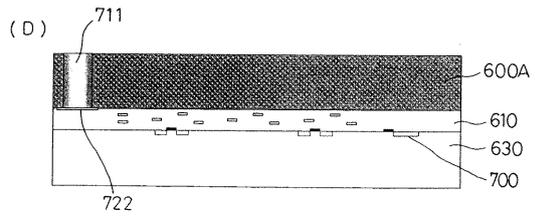


○ウエハー表面に第二基板支持材を載せる
 基板の厚さが10ミクロン程度になるまで削り取る
 ○裏面にCVDによってSiO2を10nm形成する。
 ○ゲートPolyまたは活性層に合わせて、裏面にマークを形成する

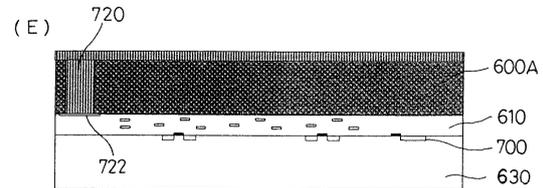


○裏面合わせマークに合わせてレジストをおき、画素部全面にP+を打ち込み,Si/SiO2界面をホールで覆うようにする
 ○裏面にCVDによってSiO2を500nm形成する。
 ○裏面合わせマークに合わせて遮光膜とパッシベーション膜を形成する。

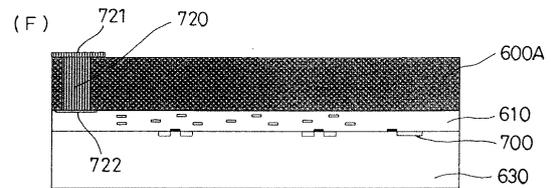
【図8】



○PAD上方のレジストを取り除く
 ○できたパンプに金属が流れ込むように表面処理する

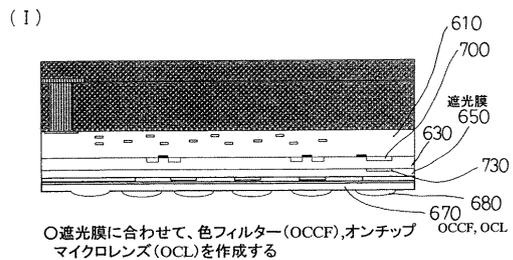


○PAD上に開口したパンプと基板支持材表面に導電体を流し込む

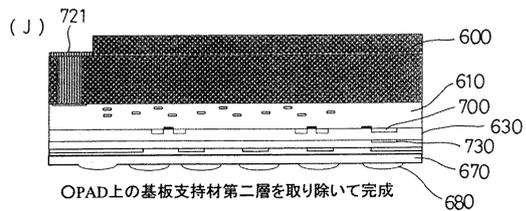


○PADのところだけを残して基板支持材表面の金属を取り去る

【図10】

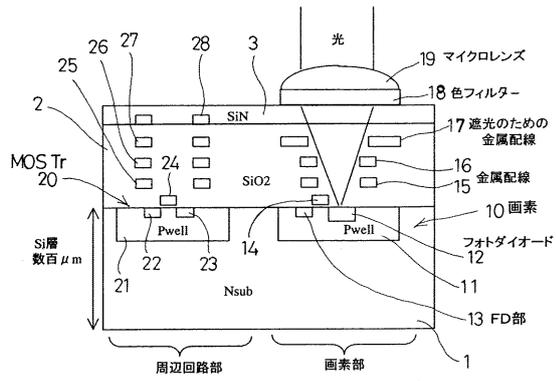


○遮光膜に合わせて、色フィルター(OCCF),オンチップマイクロレンズ(OCL)を作成する

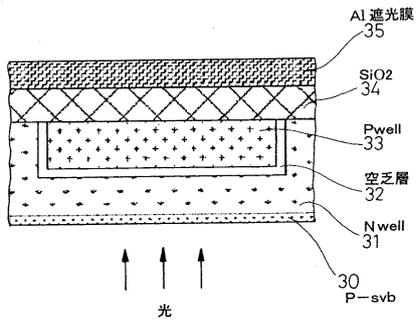


○PAD上の基板支持材第二層を取り除いて完成
 ※必要に応じて基板支持材第二層上面を研磨してレンズとの焦点合わせ,平坦化を行う

【図11】



【図12】



フロントページの続き

- (72)発明者 梅田 智之
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 藤田 博明
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 船津 英一
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 佐藤 弘樹
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 恩田 春香

- (56)参考文献 特開平09-045886(JP,A)
特開2000-150846(JP,A)
特開2001-111022(JP,A)
特開昭64-082667(JP,A)
特開平01-187858(JP,A)
特開平07-193205(JP,A)
特開平05-218374(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/14 - 27/148