



(12) 发明专利申请

(10) 申请公布号 CN 115881725 A

(43) 申请公布日 2023. 03. 31

(21) 申请号 202211721939.8

(22) 申请日 2022.12.30

(71) 申请人 无锡灵汐类脑科技有限公司
地址 214028 江苏省无锡市新吴区弘毅路
10号金乾座1701-1710室

(72) 发明人 何伟 祝天龙

(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112
专利代理师 彭瑞欣 冯建基

(51) Int. Cl.

H01L 27/088 (2006.01)

H01L 23/50 (2006.01)

H01L 21/8234 (2006.01)

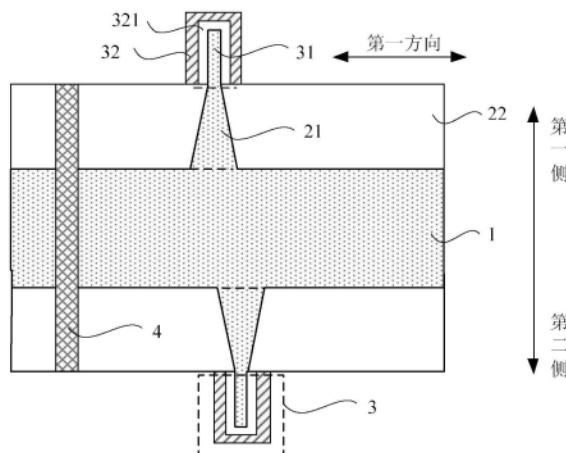
权利要求书2页 说明书11页 附图13页

(54) 发明名称

集成器件结构及其制备方法

(57) 摘要

本公开提供了一种集成器件结构,其包括:硅基底,所述硅基底具有相对的第一侧和第二侧;位于所述硅基底第一侧的鳍片式晶体管;位于所述硅基底第二侧的鳍片式晶体管;位于所述硅基底第一侧的焊盘,所述焊盘与硅基底第一侧的鳍片式晶体管电连接;其中,所述硅基底中设有贯穿的连接孔,所述连接孔中设有连接结构,所述硅基底第一侧的鳍片式晶体管与第二侧的鳍片式晶体管通过连接结构电连接。本公开还提供了一种集成器件结构的制备方法。



1. 一种集成器件结构,其包括:
 - 硅基底,所述硅基底具有相对的第一侧和第二侧;
 - 位于所述硅基底第一侧的鳍片式晶体管;
 - 位于所述硅基底第二侧的鳍片式晶体管;
 - 位于所述硅基底第一侧的焊盘,所述焊盘与硅基底第一侧的鳍片式晶体管电连接;其中,所述硅基底中设有贯穿的连接孔,所述连接孔中设有连接结构,所述硅基底第一侧的鳍片式晶体管与第二侧的鳍片式晶体管通过连接结构电连接。
2. 根据权利要求1所述的集成器件结构,其中,
 - 所述硅基底包括叠置的第一子硅基底、第二子硅基底,以及将所述第一子硅基底和第二子硅基底连接的绝缘的隔离层。
3. 根据权利要求1所述的集成器件结构,其中,
 - 所述硅基底第一侧设有至少一个比鳍片式晶体管更远离硅基底的绝缘层,每个所述绝缘层背离硅基底一侧设有连接线,所述硅基底第一侧的鳍片式晶体管通过同侧的连接线与焊盘电连接;
 - 所述硅基底第二侧设有至少一个比鳍片式晶体管更远离硅基底的绝缘层,每个所述绝缘层背离硅基底一侧设有连接线,所述硅基底第二侧的鳍片式晶体管通过同侧的连接线以及所述连接结构,与所述硅基底第一侧的连接线电连接。
4. 根据权利要求1所述的集成器件结构,其中,
 - 所述鳍片式晶体管包括栅极、鳍片式的有源区;
 - 所述有源区包括第一接触区、第二接触区、沟道区;所述沟道区背离硅基底一侧,以及所述沟道区沿平行于硅基底表面的第一方向的两个相对侧均设有栅极;所述第一接触区、第二接触区分别位于沟道区沿第二方向的两个相对侧;所述第二方向平行于硅基底的表面且与第一方向交叉。
5. 根据权利要求4所述的集成器件结构,其中,
 - 所述鳍片式晶体管具有对应的连接凸起;
 - 所述连接凸起与硅基底形成一体结构,所述有源区与连接凸起形成一体结构。
6. 根据权利要求4所述的集成器件结构,其中,
 - 所述沟道区包括多个沿背离硅基底的方向间隔设置的子沟道区,相邻的所述子沟道区之间的间隔中设有栅极;
 - 所述第一接触区包括与子沟道区一一对应的多个第一子接触区,所述第二接触区包括与子沟道区一一对应的多个第二子接触区;
 - 每个所述子沟道区沿第二方向的两个相对侧分别与第一子接触区和第二子接触区连接。
7. 一种集成器件结构的制备方法,所述集成器件结构为权利要求1至6中任意一项所述的集成器件结构;所述制备方法包括:
 - 提供硅衬底;
 - 在所述硅衬底的第一侧形成鳍片式晶体管、焊盘,在所述硅衬底的第二侧形成连鳍片式晶体管,在所述硅衬底中形成连接孔,在所述连接孔中形成连接结构。
8. 根据权利要求7所述的制备方法,其中,所述集成器件结构为权利要求2所述的集成

器件结构;所述提供硅衬底包括:

在第一子硅衬底一侧形成第一子隔离层,在第二子硅衬底一侧形成第二子隔离层;
使第一子隔离层与第二子隔离层连接形成隔离层,得到硅衬底。

9. 根据权利要求7所述的制备方法,其中,所述鳍片式晶体管包括栅极、鳍片式的有源区;所述有源区包括第一接触区、第二接触区、沟道区;所述沟道区背离硅基底一侧,以及所述沟道区沿平行于硅基底表面的第一方向的两个相对侧均设有栅极;所述第一接触区、第二接触区分别位于沟道区沿第二方向的两个相对侧;所述第二方向平行于硅基底的表面且与第一方向交叉;

所述在所述硅衬底的第一侧形成鳍片式晶体管、焊盘,在所述硅衬底的第二侧形成连鳍片式晶体管,在所述硅衬底中形成连接孔,在所述连接孔中形成连接结构包括:

在所述硅衬底的第一侧形成鳍片式晶体管基体;所述鳍片式晶体管基体包括所述有源区;

在所述硅衬底的第一侧形成第一平坦化层,在所述第一平坦化层上设置第一支撑衬底;

翻转所述硅衬底,在所述硅衬底的第二侧形成鳍片式晶体管基体;

在所述硅衬底的第二侧形成所述鳍片式晶体管的栅极,得到所述鳍片式晶体管;

在所述硅衬底的第二侧形成第二平坦化层,在所述第二平坦化层上设置第二支撑衬底;

翻转所述硅衬底,去除所述第一支撑衬底;

在所述硅衬底的第一侧形成所述鳍片式晶体管的栅极,得到所述鳍片式晶体管。

10. 根据权利要求9所述的制备方法,其中,所述集成器件结构为权利要求3所述的集成器件结构;所述在所述硅衬底的第一侧形成所述鳍片式晶体管的栅极之后,还包括:

在所述硅衬底的第一侧形成所述绝缘层、连接线、焊盘,再设置第三支撑衬底;

翻转所述硅衬底,去除所述第二支撑衬底;

在所述硅衬底的第二侧形成所述绝缘层、连接线,并在所述硅衬底中形成连接孔,在所述连接孔中形成连接结构;

去除所述第三支撑衬底。

集成器件结构及其制备方法

技术领域

[0001] 本公开涉及集成电路技术领域,特别涉及集成器件结构及其制备方法。

背景技术

[0002] 在芯片(IC)等集成电路中,通常仅在基底(如硅基底)的一侧制备器件,而晶体管(如场效应晶体管FET)是其中常用的器件之一。

[0003] 为提升集成密度,人们一直在尝试减小晶体管的尺寸,但现有晶体管尺寸已达到3nm以下,其进一步缩小的空间很有限。

发明内容

[0004] 本公开提供一种集成器件结构及其制备方法。

[0005] 第一方面,本公开实施例提供一种集成器件结构,其包括:

[0006] 硅基底,硅基底具有相对的第一侧和第二侧;

[0007] 位于硅基底第一侧的鳍片式晶体管;

[0008] 位于硅基底第二侧的鳍片式晶体管;

[0009] 位于硅基底第一侧的焊盘,焊盘与硅基底第一侧的鳍片式晶体管电连接;

[0010] 其中,硅基底中设有贯穿的连接孔,连接孔中设有连接结构,硅基底第一侧的鳍片式晶体管与第二侧的鳍片式晶体管通过连接结构电连接。

[0011] 在一些实施例中,硅基底包括叠置的第一子硅基底、第二子硅基底,以及将第一子硅基底和第二子硅基底连接的绝缘的隔离层。

[0012] 在一些实施例中,硅基底第一侧设有至少一个比鳍片式晶体管更远离硅基底的绝缘层,每个绝缘层背离硅基底一侧设有连接线,硅基底第一侧的鳍片式晶体管通过同侧的连接线与焊盘电连接;

[0013] 硅基底第二侧设有至少一个比鳍片式晶体管更远离硅基底的绝缘层,每个绝缘层背离硅基底一侧设有连接线,硅基底第二侧的鳍片式晶体管通过同侧的连接线以及连接结构,与硅基底第一侧的连接线电连接。

[0014] 在一些实施例中,鳍片式晶体管包括栅极、鳍片式的有源区;

[0015] 有源区包括第一接触区、第二接触区、沟道区;沟道区背离硅基底一侧,以及沟道区沿平行于硅基底表面的第一方向的两个相对侧均设有栅极;第一接触区、第二接触区分别位于沟道区沿第二方向的两个相对侧;第二方向平行于硅基底的表面且与第一方向交叉。

[0016] 在一些实施例中,鳍片式晶体管具有对应的连接凸起;

[0017] 连接凸起与硅基底形成一体结构,有源区与连接凸起形成一体结构。

[0018] 在一些实施例中,沟道区包括多个沿背离硅基底的方向间隔设置的子沟道区,相邻的子沟道区之间的间隔中设有栅极;

[0019] 第一接触区包括与子沟道区一一对应的多个第一子接触区,第二接触区包括与子

沟道区一一对应的多个第二子接触区；

[0020] 每个子沟道区沿第二方向的两个相对侧分别与第一子接触区和第二子接触区连接。

[0021] 第二方面,本公开实施例提供一种集成器件结构的制备方法,集成器件结构本公开实施例的任意一种集成器件结构;制备方法包括:

[0022] 提供硅衬底;

[0023] 在硅衬底的第一侧形成鳍片式晶体管、焊盘,在硅衬底的第二侧形成连鳍片式晶体管,在硅衬底中形成连接孔,在连接孔中形成连接结构。

[0024] 在一些实施例中,硅衬底具有隔离层;提供硅衬底包括:

[0025] 在第一子硅衬底一侧形成第一子隔离层,在第二子硅衬底一侧形成第二子隔离层;

[0026] 使第一子隔离层与第二子隔离层连接形成隔离层,得到硅衬底。

[0027] 在一些实施例中,所述鳍片式晶体管包括栅极、鳍片式的有源区;所述有源区包括第一接触区、第二接触区、沟道区;所述沟道区背离硅基底一侧,以及所述沟道区沿平行于硅基底表面的第一方向的两个相对侧均设有栅极;所述第一接触区、第二接触区分别位于沟道区沿第二方向的两个相对侧;所述第二方向平行于硅基底的表面且与第一方向交叉;

[0028] 所述在所述硅衬底的第一侧形成鳍片式晶体管、焊盘,在所述硅衬底的第二侧形成连鳍片式晶体管,在所述硅衬底中形成连接孔,在所述连接孔中形成连接结构包括:

[0029] 在所述硅衬底的第一侧形成鳍片式晶体管基体;所述鳍片式晶体管基体包括所述有源区;

[0030] 在所述硅衬底的第一侧形成第一平坦化层,在所述第一平坦化层上设置第一支撑衬底;

[0031] 翻转所述硅衬底,在所述硅衬底的第二侧形成鳍片式晶体管基体;

[0032] 在所述硅衬底的第二侧形成所述鳍片式晶体管的栅极,得到所述鳍片式晶体管;

[0033] 在所述硅衬底的第二侧形成第二平坦化层,在所述第二平坦化层上设置第二支撑衬底;

[0034] 翻转所述硅衬底,去除所述第一支撑衬底;

[0035] 在所述硅衬底的第一侧形成所述鳍片式晶体管的栅极,得到所述鳍片式晶体管。

[0036] 在一些实施例中,所述集成器件结构具有绝缘层和连接线;所述在所述硅衬底的第一侧形成所述鳍片式晶体管的栅极之后,还包括:

[0037] 在所述硅衬底的第一侧形成所述绝缘层、连接线、焊盘,再设置第三支撑衬底;

[0038] 翻转所述硅衬底,去除所述第二支撑衬底;

[0039] 在所述硅衬底的第二侧形成所述绝缘层、连接线,并在所述硅衬底中形成连接孔,在所述连接孔中形成连接结构;

[0040] 去除所述第三支撑衬底。

[0041] 本公开实施例中硅基底的两侧均设置有鳍片式晶体管,且两侧的鳍片式晶体管通过硅基底中的连接结构相连成为一个整体的电路,且该电路只从硅基底一侧引出信号(只在第一侧设有焊盘),从而相对只在硅基底一侧设置器件的相关技术,本公开实施例可在单个器件尺寸不变的情况下,大幅增加器件数量,提高集成密度;或者,在集成密度相同的情

况,本公开实施例中使用的器件尺寸可明显增大,从而降低制备工艺难度和成本,且减小器件间的串扰和寄生效应,改善产品性能。

附图说明

[0042] 附图用来提供对本公开的进一步理解,并且构成说明书的一部分,与详细实施例一起用于解释本公开,并不构成对本公开的限制。通过参考附图对详细实施例进行描述,以上和其它特征和优点对本领域技术人员将变得更加显而易见,在附图中:

[0043] 图1为本公开实施例提供的一种集成器件结构沿第一方向的剖视结构示意图;

[0044] 图2为图1的集成器件结构沿第二方向的剖视结构示意图;

[0045] 图3为本公开实施例提供的另一种集成器件结构沿第一方向的剖视结构示意图;

[0046] 图4为图3的集成器件结构沿第二方向的剖视结构示意图;

[0047] 图5为本公开实施例提供的一种集成器件结构的制备方法的流程图;

[0048] 图6为本公开实施例提供的另一种集成器件结构的制备方法的流程图;

[0049] 图7为本公开实施例提供的另一种集成器件结构制备方法中形成硅衬底的过程的剖视结构示意图;

[0050] 图8为本公开实施例提供的另一种集成器件结构制备方法中形成第一侧的鳍片式晶体管基体后的剖视结构示意图;

[0051] 图9为本公开实施例提供的另一种集成器件结构制备方法中设置第一支撑衬底后的剖视结构示意图;

[0052] 图10为本公开实施例提供的另一种集成器件结构制备方法中形成第二侧的鳍片式晶体管后的剖视结构示意图;

[0053] 图11为本公开实施例提供的另一种集成器件结构制备方法中设置第二支撑衬底后的剖视结构示意图;

[0054] 图12为本公开实施例提供的另一种集成器件结构制备方法中形成第一侧的鳍片式晶体管后的剖视结构示意图;

[0055] 图13为本公开实施例提供的另一种集成器件结构制备方法中设置第三支撑衬底后的剖视结构示意图;

[0056] 图14为本公开实施例提供的另一种集成器件结构制备方法中去除第二支撑衬底后的剖视结构示意图;

[0057] 图15为本公开实施例提供的另一种集成器件结构制备方法中形成第二侧的连接线后的剖视结构示意图;

[0058] 图16为本公开实施例提供的另一种集成器件结构制备方法所制备的集成器件结构的剖视结构示意图;

[0059] 其中,附图标记为:1、硅基底;11、第一子硅基底;12、第一子硅基底;13、隔离层;19、硅衬底;191、第一子硅衬底;192、第一子硅衬底;1931、第一子隔离层;1932、第二子隔离层;21、连接凸起;22、填充层;3、鳍片式晶体管;31、沟道区;311、子沟道区;32、栅极;321、栅绝缘层;331、第一接触区;3311、第一子接触区;332、第二接触区;3321、第二子接触区;71、第一平坦化层;72、第二平坦化层;81、第一支撑衬底;82、第二支撑衬底;83、第三支撑衬底;89、粘结层;4、连接结构;91、连接线;92、焊盘;99、绝缘层。

具体实施方式

[0060] 为使本领域的技术人员更好地理解本公开的技术方案,下面结合附图对本公开提供的集成器件结构及其制备方法进行详细描述。

[0061] 在下文中将参考附图更充分地描述本公开,但是所示的实施例可以以不同形式来体现,且不应被解释为限于本公开阐述的实施例。反之,提供这些实施例的目的在于使本公开透彻和完整,并将使本领域技术人员充分理解本公开的范围。

[0062] 本公开可借助本公开的理想示意图而参考平面图和/或截面图进行描述。因此,可根据制造技术和/或容限来修改示例图示。

[0063] 在不冲突的情况下,本公开各实施例及实施例中的各特征可相互组合。

[0064] 本公开所使用的术语仅用于描述特定实施例,且不意欲限制本公开。如本公开所使用的术语“和/或”包括一个或多个相关列举条目的任何和所有组合。如本公开所使用的单数形式“一个”和“该”也意欲包括复数形式,除非上下文另外清楚指出。如本公开所使用的术语“包括”、“由……制成”,指定存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件、组件和/或其群组。

[0065] 除非另外限定,否则本公开所用的所有术语(包括技术和科学术语)的含义与本领域普通技术人员通常理解的含义相同。还将理解,诸如那些在常用字典中限定的那些术语应当被解释为具有与其在相关技术以及本公开的背景下的含义一致的含义,且将不解释为具有理想化或过度形式上的含义,除非本公开明确如此限定。

[0066] 本公开不限于附图中所示的实施例,而是包括基于制造工艺而形成的配置的修改。因此,附图中例示的区具有示意性属性,并且图中所示区的形状例示了元件的区的具体形状,但并不是旨在限制性的。

[0067] 第一方面,参照图1至图4,本公开实施例提供一种集成器件结构,其包括:

[0068] 硅基底1,硅基底1具有相对的第一侧和第二侧;

[0069] 位于硅基底1第一侧的鳍片式晶体管3;

[0070] 位于硅基底1第二侧的鳍片式晶体管3;

[0071] 位于硅基底1第一侧的焊盘92,焊盘92与硅基底1第一侧的鳍片式晶体管电连接;

[0072] 其中,硅基底1中设有贯穿的连接孔,连接孔中设有连接结构4,硅基底1第一侧的鳍片式晶体管3与第二侧的鳍片式晶体管3通过连接结构4电连接。

[0073] 本公开实施例集成器件结构可为芯片(IC)等集成电路的形式。

[0074] 其中,硅基底1是以硅基半导体材料(如多晶硅、非晶硅)为主的片状或板状的结构,其两个主表面对应两个相对侧(第一侧和第二侧),而硅基底1的主表面用于设置集成器件结构中的其它器件,即硅基底1是承载其它器件的基础。

[0075] 本公开实施例中,在硅基底1的第一侧和第二侧,均设置有鳍片式晶体管3,例如是场效应晶体管(FET,Field Effect Transistor)。

[0076] 其中,鳍片式晶体管3是一类有源区为“鳍片(Fin)”状的晶体管。

[0077] 参照图1、图3,鳍片式晶体管3的有源区整体为“竖立”的片状(鳍片),且其中包括起到开关作用的沟道区(沟道)31,故沟道区31的“两侧(沿第一方向的两个相对侧)”和“上方(背离连接凸起21一侧)”均设有栅极32,即,栅极32可从多个方向包围沟道区31,从而在相同尺寸下的感应面积更大,可允许晶体管的尺寸进一步缩小,以提高集成密度。

[0078] 应当理解,以上栅极32与沟道区31之间必须通过栅绝缘层321隔开,以实现相互绝缘。

[0079] 应当理解,本公开实施例的集成器件结构中除鳍片式晶体管3外,还可设有其它的器件,如电容、电感、薄膜晶体管(TFT,Thin Film Transistor)等,在此不再详细描述。

[0080] 在硅基底1第一侧,还设有焊盘92(PAD),其用于与外界器件(如探针PIN,引脚等)连接,从而实现集成器件结构与外界的信号传输。具体的,参照图3,焊盘92可设于集成器件结构的最表层。

[0081] 焊盘92与硅基底1第一侧的其它器件(包括鳍片式晶体管3)电连接,即可将第一侧的其它器件与外界连通。

[0082] 同时,硅基底1中还设有贯穿的连接孔;连接孔中设有导电的连接结构4。

[0083] 由此,连接结构4可将硅基底1第二侧的其它器件(包括鳍片式晶体管3)电连接至第一侧,从而硅基底1两侧器件构成一个整体电路,并通过第一侧的焊盘92与外界连接。

[0084] 其中,鳍片式晶体管3被电连接的具体方式是多样的。例如,鳍片式晶体管3的第一电极(源极和漏极中的一者)、第二电极(源极和漏极中的另一者)、栅极32等与其它器件电连接,均可视为鳍片式晶体管3的电连接;再如,不同的鳍片式晶体管3之间可以是直接电连接,也可以是通过连接线91等间接的电连接。

[0085] 应当理解,连接孔(连接结构4)除贯穿硅基底1外,还应连通至其所连接的结构所在的层(如贯穿部分绝缘层99)。本公开实施例中硅基底1的两侧均设置有鳍片式晶体管3,且两侧的鳍片式晶体管3通过硅基底1中的连接结构4相连成为一个整体的电路,且该电路只从硅基底1一侧引出信号(只在第一侧设有焊盘92),从而相对只在硅基底一侧设置器件的相关技术,本公开实施例可在单个器件尺寸不变的情况下,大幅增加器件数量,提高集成密度;或者,在集成密度相同的情况,本公开实施例中使用的器件尺寸可明显增大,从而降低制备工艺难度和成本,且减小器件间的串扰和寄生效应,改善产品性能。

[0086] 在一些实施例中,硅基底1包括叠置的第一子硅基底11、第二子硅基底12,以及将第一子硅基底11和第二子硅基底12连接的绝缘的隔离层13。

[0087] 本公开实施例中,硅基底1两侧均设有鳍片式晶体管3,故为避免两侧的鳍片式晶体管3之间产生不期望的电连接,可使硅基底1两侧相互绝缘。

[0088] 具体的,参照图3、图4,硅基底1可包括两个由硅基半导体材料构成的子硅基底(第一子硅基底11、第二子硅基底12),而两个子硅基底之间由绝缘的隔离层13连接,从而每个子硅基底对应整体硅基底1的一侧,且整体硅基底1的两侧相互绝缘。

[0089] 其中,隔离层13由绝缘材料构成,其可为碳化硅材料等。

[0090] 鳍片式晶体管3包括栅极32、鳍片式的有源区;有源区包括第一接触区331、第二接触区332、沟道区31;沟道区31背离硅1基底一侧,以及沟道区31沿平行于硅基底1表面的第一方向的两个相对侧均设有栅极32;第一接触区331、第二接触区332分别位于沟道区31沿第二方向的两个相对侧;第二方向平行于硅基底1的表面且与第一方向交叉(如相互垂直)。

[0091] 参照图2,鳍片式的有源区可包括起到开关作用的沟道区31,沟道区31沿第一方向的两侧,以及背离硅基底1一侧均设置栅极32;而沟道区31沿第一方向的两侧分别为第一接触区331、第二接触区332,而第一接触区331、第二接触区332分别用于与鳍片式晶体管3的第一电极(源极和漏极中的一者)、第二电极(源极和漏极中的另一者)接触。

[0092] 其中,有源区整体是由半导体材料(如多晶硅材料)构成的,而其中不同位置经过不同的掺杂,从而形成不同的区;而鳍片式晶体管3的第一电极、第二电极、栅极32等,则可由金属等导电材料制成,或者由导体化的半导体材料构成。

[0093] 其中,有源区还可包括其它的结构。例如,在沟道区31与接触区(第一接触区331、第二接触区332)之间,还可分别设有掺杂浓度较低的轻掺杂区(LDD),以避免热载流子退化。

[0094] 在一些实施例中,鳍片式晶体管3具有对应的连接凸起21;连接凸起21与硅基底1形成一体结构,有源区(第一接触区331、第二接触区332、沟道区31)则与连接凸起21形成一体结构。

[0095] 参照图1、图2,作为本公开实施例的一种方式,硅基底1可连接一体的凸起结构(连接凸起21),而连接凸起21又与有源区为一体结构,即,可通过对一个硅基半导体材料层(如硅衬底19)进行加工,除去其中的部分位置,从而同时形成硅基底1、连接凸起21、有源区。

[0096] 例如,参照图1至图4,连接凸起21位于硅基底1的表面,而鳍片式晶体管3的有源区可设于连接凸起21上(即连接凸起21远离硅基底1一侧),而硅基底1表面没有连接凸起21的位置还设有填充层22,从而填充层22将没有连接凸起21的位置“填平”至连接凸起21的上表面。由此,硅基底1每侧的表面大部分位置覆盖填充层22,而连接凸起21“埋设”在填充层22中,鳍片式晶体管3的有源区则设于连接凸起21上方的位置。

[0097] 在一些实施例中,沟道区31包括多个沿背离硅基底1的方向间隔设置的子沟道区311,相邻的子沟道区311之间的间隔中设有栅极32;

[0098] 第一接触区331包括与子沟道区311一一对应的多个第一子接触区3311,第二接触区332包括与子沟道区311一一对应的多个第二子接触区3321;

[0099] 每个子沟道区311沿第二方向的两个相对侧分别与第一子接触区3311和第二子接触区3321连接。

[0100] 作为本公开实施例的另一种方式,参照图3、图4,沟道区31也可包括多个间隔的部分(子沟道区311),从而栅极32也进入各子沟道区311之间的间隔,还可进入沟道区31整体与连接凸起21之间的间隔,从而对于每个子沟道区311,栅极32都是从“四个方向”将其包围的,可进一步增大感应面积。当然,此时栅极32与每个相邻的子沟道区311之间均应具有栅绝缘层321。

[0101] 相应的,参照图4,为避免第一接触区331、第二接触区332与栅极32接触,故第一接触区331、第二接触区332中的每一者也分为多个子接触区(第一子接触区3311、第二子接触区3321),从而每个子沟道区311沿第二方向的两侧,分别与第一子接触区3311、第二子接触区3321接触。

[0102] 应当理解,参照图4的多个第一子接触区3311之间,以及多个第二子接触区3321之间的材料应该是绝缘的。

[0103] 在一些实施例中,第一子接触区3311和第二接触区332均为纳米线,或者,第一子接触区3311和第二接触区332均为纳米片。

[0104] 作为本公开实施例的一种方式,第一子接触区3311和第二接触区332可以是宽度较小的纳米线(nano-wire)形式。或者,作为本公开实施例的另一种方式,第一子接触区3311和第二接触区332也可以是有一定宽度的纳米片(nano-sheet)的形式。

[0105] 其中，“宽度”是指具有一定长度的条状结构在平行于硅基底1表面且垂直于其长度方向的上的尺寸。

[0106] 在一些实施例中，硅基底1第一侧设有至少一个比鳍片式晶体管3更远离硅基底1的绝缘层99，每个绝缘层99背离硅基底1一侧设有连接线91，硅基底1第一侧的鳍片式晶体管3通过同侧的连接线91与焊盘电连接；

[0107] 硅基底1第二侧设有至少一个比鳍片式晶体管3更远离硅基底1的绝缘层99，每个绝缘层99背离硅基底1一侧设有连接线91，硅基底1第二侧的鳍片式晶体管3通过同侧的连接线91以及连接结构，与硅基底1第一侧的连接线91电连接。

[0108] 参照图3，作为本公开实施例的一种方式，在硅基底1的每一侧的鳍片式晶体管3的上方，还设有一个或多个绝缘层99（如氮化硅等材料的层），而每个绝缘层99上均设有用于将不同器件电连接的连接线91。

[0109] 从而，鳍片式晶体管3可通过同侧绝缘层99中的过孔与连接线91电连接，即连接线91可将同侧的鳍片式晶体管3相互电连接。同时，硅基底1第一侧的鳍片式晶体管3还通过连接线91连接焊盘92，例如，焊盘92可位于第一侧的最外的绝缘层99上。而硅基底1两侧的连接线91，则通过以上连接结构4相互连接，从而实现两侧鳍片式晶体管3的电连接，以及实现第二侧的鳍片式晶体管3与焊盘92的电连接。

[0110] 第二方面，参照图1至图16，本公开实施例提供一种集成器件结构的制备方法，其用于制备本公开实施例的任意一种集成器件结构。

[0111] 参照图5，本公开实施例的集成器件结构的制备方法包括：

[0112] S201、提供硅衬底19。

[0113] S202、在硅衬底19的第一侧形成鳍片式晶体管3、焊盘92，在硅衬底19的第二侧形成鳍片式晶体管3，在硅衬底19中形成连接孔，在连接孔中形成连接结构4。

[0114] 制备本公开实施例的集成器件结构时，先提供硅基半导体材料的硅衬底19，之后在硅衬底19的两侧（第一侧和第二侧）分别形成相应的鳍片式晶体管3（第一侧还形成焊盘92），并在硅衬底19中形成连接孔和连接结构4，从而硅衬底19转变为硅基底1，得到集成器件结构。

[0115] 应当理解，若集成器件结构中还包括以上连接凸起21、填充层22、绝缘层99、连接线91等结构，则还需在硅衬底19的相应侧形成相应结构。

[0116] 本公开实施例中，硅衬底19（硅基底1）上的完整层结构可通过沉积工艺形成，而构成一定图案的结构可通过构图工艺形成。

[0117] 其中，沉积工艺可为溅射工艺、蒸镀工艺、化学气相沉积工艺（CVD, Chemical Vapor Deposition）、原子层沉积工艺（ALD, Atomic Layer Deposition）等，其用于在基底上形成一定材料的完整的层。

[0118] 其中，“构图工艺”可包括多种形式，如光刻工艺、喷墨打印工艺、压印工艺、局部改性工艺等。

[0119] 例如，光刻工艺可包括沉积材料层、涂布光刻胶、曝光、显影（除去部分位置的光刻胶）、刻蚀（将无光刻胶位置的材料层除去，剩余的材料层即形成所需结构）、光刻胶剥离等步骤。

[0120] 再如，喷墨打印工艺或压印工艺，是直接在指定位置形成一定材料，从而直接得到

所需结构的工艺。

[0121] 再如,局部改性工艺是指对材料层的局部进行改性处理,从而改变相应位置材料层的性质,使性质改变内的材料层形成所需结构。示例性的,可对半导体材料层的局部进行等离子注入掺杂(导体化),从而将相应位置的半导体材料层转变为栅极32等导电结构,或者,也可对半导体材料层的局部进行等离子注入氧化,从而使其转变为栅绝缘层321等绝缘结构。

[0122] 例如,对参照图1的鳍片式晶体管3,其制备工艺可包括:

[0123] (1) 在硅衬底19上对应有源区的位置形成掩膜。

[0124] 其中,若有源区的宽度很小,难以直接形成掩膜,则可先在有源区之间的位置形成辅助层(如多晶硅材料),之后在辅助层上沉积氧化硅层,而有源区处对应辅助层“侧面”,之后将辅助层和其正上方的氧化硅层除去,以“侧面”的氧化硅层作为掩膜。

[0125] (2) 对硅衬底19进行刻蚀,将无掩膜保护位置的部分半导体材料除去,而被掩膜保护的硅衬底19处形成凸起结构。

[0126] (3) 沉形成填充至凸起结构一半位置的氧化硅层,故凸起结构的上半部分暴露,下半部分被氧化硅层埋没,该凸起结构的上半部分对应有源区,而凸起结构的下半部分对应连接凸起21。

[0127] (4) 形成包裹凸起结构上半部分的掩膜(如氮化硅),之后去掉剩余的氧化硅层,由此凸起结构的下半部分暴露,进行离子注入掺杂,使凸起结构的下半部分形成连接凸起21,之后除去掩膜。

[0128] (5) 形成填充至连接凸起21上沿的填充层22(如氧化硅),使凸起结构的上半部分暴露,凸起结构的上半部分进行离子注入掺杂,形成沟道区31所需的材料。

[0129] (6) 依次形成覆盖凸起结构的上半部分的缓冲层(如氧化硅)和导电层(如金属),除去对应第一接触区331和第二子接触区332位置的缓冲层和导电层,故凸起结构的上半部分仍被缓冲层和导电层覆盖的区域成为沟道区31,剩余的缓冲层成为栅绝缘层321,剩余的导电层成为栅极32。

[0130] (7) 对凸起结构的上半部分的暴露的区域(除沟道区31之外的区域)进行外延生长,产生用于与电极接触的欧姆接触层,从而凸起结构的上半部分对应沟道区31两侧的区域,分别形成第一接触区331和第二子接触区332。

[0131] (8) 继续形成第一电极、第二电极,得到鳍片式晶体管3。

[0132] 具体的,参照图3,当鳍片式晶体管3的沟道区31处有叠置的有源片311、栅绝缘层321、栅极32等结构时,可以通过构图工艺依次在沟道区31处形成不同材料的层;或者,也可以是对沟道区31处的半导体材料层的不同位置,分别进行不同的改性处理;再如,也可以是形成某种材料的具有间隔的空隙的“框架结构”,而之后在框架结构的空隙中形成另一种材料等。

[0133] 其中,形成各种具体结构的工艺是多样的,故在此不再详细描述。

[0134] 在一些实施例中,参照图6,硅基底1包括隔离层13;提供硅衬底19(S201)包括:

[0135] S2011、在第一子硅衬底191一侧形成第一子隔离层1931,在第二子硅衬底192一侧形成第二子隔离层1932。

[0136] S2012、使第一子隔离层1931与第二子隔离层1932连接形成隔离层13,得到硅衬底

19。

[0137] 参照图7,作为本公开实施例的一种方式,当硅基底1包括以上隔离层13时,可先提供两个硅基半导体材料的子硅衬底(第一子硅衬底191和第二子硅衬底192),在两个子硅衬底的一侧分别形成子隔离层(第一子隔离层1931和第二子隔离层1932,例如是碳化硅层),之后使两个子隔离层背离子硅衬底一侧相互连接(如键合连接),从而得到中间有隔离层13的硅衬底19。

[0138] 在一些实施例中,鳍片式晶体管3包括栅极32、鳍片式的有源区;有源区包括第一接触区331、第二接触区332、沟道区31;沟道区31背离硅1基底一侧,以及沟道区31沿平行于硅基底1表面的第一方向的两个相对侧均设有栅极32;第一接触区331、第二接触区332分别位于沟道区31沿第二方向的两个相对侧;第二方向平行于硅基底1的表面且与第一方向交叉(如相互垂直)。

[0139] 参照图6,在硅衬底19的第一侧形成鳍片式晶体管3、焊盘92,在硅衬底19的第二侧形成鳍片式晶体管3,在硅衬底19中形成连接孔,在连接孔中形成连接结构4(S202)包括:

[0140] S20201、在硅衬底19的第一侧形成鳍片式晶体管基体。

[0141] 其中,鳍片式晶体管基体包括有源区。

[0142] S20202、在硅衬底19的第一侧形成第一平坦化层71,在第一平坦化层71上设置第一支撑衬底81。

[0143] S20203、翻转硅衬底19,在硅衬底19的第二侧形成连鳍片式晶体管基体。

[0144] S20204、在硅衬底19的第二侧形成鳍片式晶体管3的栅极32,得到鳍片式晶体管3。

[0145] S20205、在硅衬底19的第二侧形成第二平坦化层72,在第二平坦化层72上设置第二支撑衬底82。

[0146] S20206、翻转硅衬底19,去除第一支撑衬底81。

[0147] S20207、在硅衬底19的第一侧形成鳍片式晶体管3的栅极32,得到鳍片式晶体管3。

[0148] 对硅衬底19进行工艺过程时,通常需要以硅衬底19的一侧为支撑。由此,作为本公开实施例的一种方式,参照图8至图12,可先在硅衬底19的第一侧形成鳍片式晶体管基体,即形成鳍片式晶体管3的有源区的基础结构,但此时未形成栅极32等,故没有得到完整的鳍片式晶体管。当然,此时也可形成连接凸起21、填充层22等结构,以及还可形成鳍片式晶体管3的第一电极、第二电极等。

[0149] 之后,形成平坦化层(PLN,具体为第一平坦化层71),平坦化层是覆盖其所在侧的各种其它结构,并将相应结构的段差“填平”的层,故平坦化层背离硅衬底19一侧的表面是平整的,利于后续工艺的进行。

[0150] 例如,平坦化层可为沉积得到的足够厚度的氧化物层,且氧化物层的表面经过化学机械(CMP)平坦化处理。

[0151] 其中,平坦化层也可以同时也作为集成器件结构中的其它结构,例如可同时也是以上的绝缘层99。

[0152] 之后,在第一平坦化层71上设置(如通过粘结层89粘结)第一支撑衬底81;从而后续在硅衬底19的第二侧形成其它结构时,可以该第一支撑衬底81作为支撑,避免损坏硅衬底19第一侧已经形成的其它结构。

[0153] 例如,可翻转硅衬底19,从而以第一支撑衬底81为支撑,在硅衬底19的第二侧形成

连鳍片式晶体管基体;之后,继续形成鳍片式晶体管3的栅极32等其它结构,在硅衬底19的第二侧得到鳍片式晶体管3。

[0154] 再之后,可在硅衬底19的第二侧设置第二平坦化层72(如沉积形成)和第二支撑衬底82(如通过粘结层89粘结);并再次翻转硅衬底19,从而以第二支撑衬底82为支撑,除去第一支撑衬底81使硅衬底19的结构暴露,并继续形成鳍片式晶体管3的栅极32等,在硅衬底19的第一侧也得到鳍片式晶体管3。

[0155] 在一些实施例中,参照图6,在还具有连接线91和绝缘层99时,在硅衬底19的第一侧形成鳍片式晶体管3的栅极32(S2027)之后,还包括:

[0156] S20208、在硅衬底19的第一侧形成绝缘层99、连接线91、焊盘92,再设置第三支撑衬底83。

[0157] S20209、翻转硅衬底19,去除第二支撑衬底82。

[0158] S20210、在硅衬底19的第二侧形成绝缘层99、连接线91,并在硅衬底19中形成连接孔,在连接孔中形成连接结构4。

[0159] S20211、去除第三支撑衬底83。

[0160] 作为本公开实施例的一种方式,参照图13至图16,在硅衬底19的第一侧形成鳍片式晶体管3后,在该侧继续形成连接线91、绝缘层99、焊盘92等结构,以实现第一侧不同器件的电连接;之后,在硅衬底19的第一侧形成第三支撑衬底83(如通过粘结层89粘结),翻转硅衬底19以第三支撑衬底83为支撑,除去第二支撑衬底82(当然同时也除去相应粘结层89),并在硅衬底19的第二侧继续形成连接线91、绝缘层99等结构,以实现第二侧不同器件的电连接;之后,形成贯穿硅衬底19(当然也贯穿所需的绝缘层99)的连接孔,在其中形成连接结构92(如电镀),以实现两侧器件的电连接,最后除去第三支撑衬底83(当然同时也除去相应粘结层89)。

[0161] 示例1:

[0162] 参照图7至图16,本公开实施例的一种集成器件结构的制备方法,具体可包括以下的步骤:

[0163] A101、提供硅基半导体的衬底(硅衬底19)。

[0164] 其中,可以参照图7,采用两个单晶或多晶的硅片(第一子硅衬底191、第二子硅衬底192),在两个硅片一侧分别形成碳化硅层(第一子隔离层1931、第二子隔离层1932),之后使两个碳化硅层暴露的表面键合连接,形成一个碳化硅层(隔离层13),得到两侧绝缘的衬底。

[0165] 或者,也可在一个硅片两侧分别进行掺杂(如离子注入),以使硅片两侧形成掺杂的半导体(如P型半导体),而硅片中部为不导电的本征硅,从而得到两侧绝缘的衬底。

[0166] 应当理解,若直接使用硅片产品作为衬底,也是可行的。

[0167] A102、参照图8,在衬底正面(第一侧)形成连接凸起21、填充层22,以及鳍片式晶体管基体。

[0168] 其中,鳍片式晶体管基体包括鳍片式晶体管基体的有源区源极(如沟道区31、第一接触区331、第二接触区332等结构,但不包括栅极、栅绝缘层等结构)。

[0169] 其中,如果要形成连接孔和连接结构4,还可在形成连接凸起21之前,从正面对衬底进行减薄,以减小其厚度。

[0170] A103、参照图9,在衬底正面沉积一层氧化物(如氧化硅),进行CMP平坦化处理,得到第一平坦化层71(绝缘层99),然后在衬底正面设置第一支撑衬底81,如通过粘结层89将第一支撑衬底81粘结到第一平坦化层71上。

[0171] A104、参照图10,翻转衬底,从而以第一支撑衬底81为支撑,在衬底的背面(第二侧)形成连接凸起21、填充层22,以及鳍片式晶体管基体;之后继续形成栅极32、栅绝缘层321等鳍片式晶体管的其它结构,以在衬底的背面得到鳍片式晶体管3。

[0172] 其中,如果要形成连接孔和连接结构4,还可在形成连接凸起21之前,从背面对衬底进行减薄,以减小其厚度。

[0173] A105、参照图11,在衬底背面沉积一层氧化物(如氧化硅),进行CMP平坦化处理,得到第二平坦化层72(绝缘层99),然后在衬底背面设置第二支撑衬底82,如通过粘结层89将第二支撑衬底82粘结到第二平坦化层72上。

[0174] A106、参照图12,翻转衬底,从而以第二支撑衬底82为支撑,去掉第一支撑衬底81(当然也同时去掉相应的粘结层89),并去掉衬底正面的第一平坦化层71,继续在衬底正面形成栅极32、栅绝缘层321等鳍片式晶体管的其它结构,以在衬底的正面得到鳍片式晶体管3。

[0175] A107、参照图13,继续在衬底正面形成一层或多层金属布线(如连接线91、绝缘层99、焊盘92等),完成正面的器件的互连,并在衬底正面设置第三支撑衬底83,如通过粘结层89将第三支撑衬底83粘结到最表面的金属布线上。

[0176] A108、参照图14,翻转衬底,从而以第三支撑衬底83为支撑,去掉第二支撑衬底82(当然也同时去掉相应的粘结层89),继续在衬底背面形成一层或多层金属布线(如连接线91、绝缘层99等),完成背面的器件的互连,并形成贯穿衬底和相应绝缘层99的连接孔,在连接孔中形成导电的连接结构4,得到图15的结构。

[0177] 其中,连接孔除了贯穿衬底,还应贯穿两侧需要连接的连接线91之间的其它绝缘层99。

[0178] 其中,连接孔和连接结构4应在与第一侧连接的连接线91之前形成,即应当是形成连接结构4后,再形成与第一侧连接的连接线91,且该连接线91覆盖至连接结构4处,故在形成连接结构4后,还可能包括在第二侧形成一个或多个绝缘层99、连接线91的步骤,当然这些后续形成的连接线至用于第二侧器件间的互联,而不直接连接至第一侧。

[0179] A109、去掉第三支撑衬底83(当然也同时去掉相应的粘结层89),得到参照图16的集成器件结构。

[0180] 本公开已经公开了示例实施例,并且虽然采用了具体术语,但它们仅用于并仅应当被解释为一般说明性含义,并且不用于限制的目的。在一些实例中,对本领域技术人员显而易见的是,除非另外明确指出,否则可单独使用与特定实施例相结合描述的特征、特性和/或元素,或与其它实施例相结合描述的特征、特性和/或元件组合使用。因此,本领域技术人员将理解,在不脱离由所附的权利要求阐明的本公开的范围的情况下,可进行各种形式和细节上的改变。

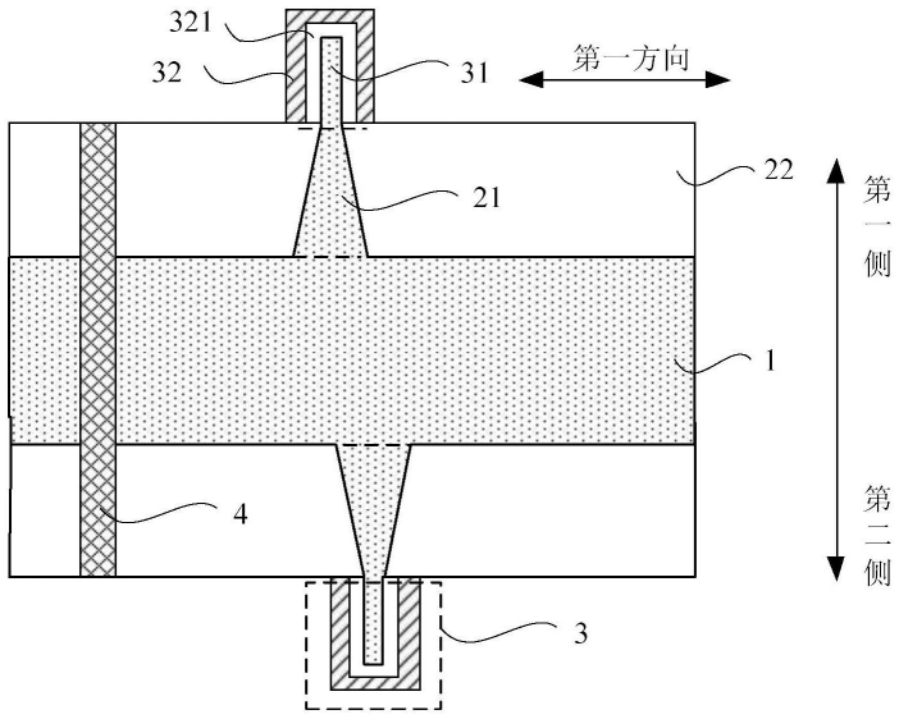


图1

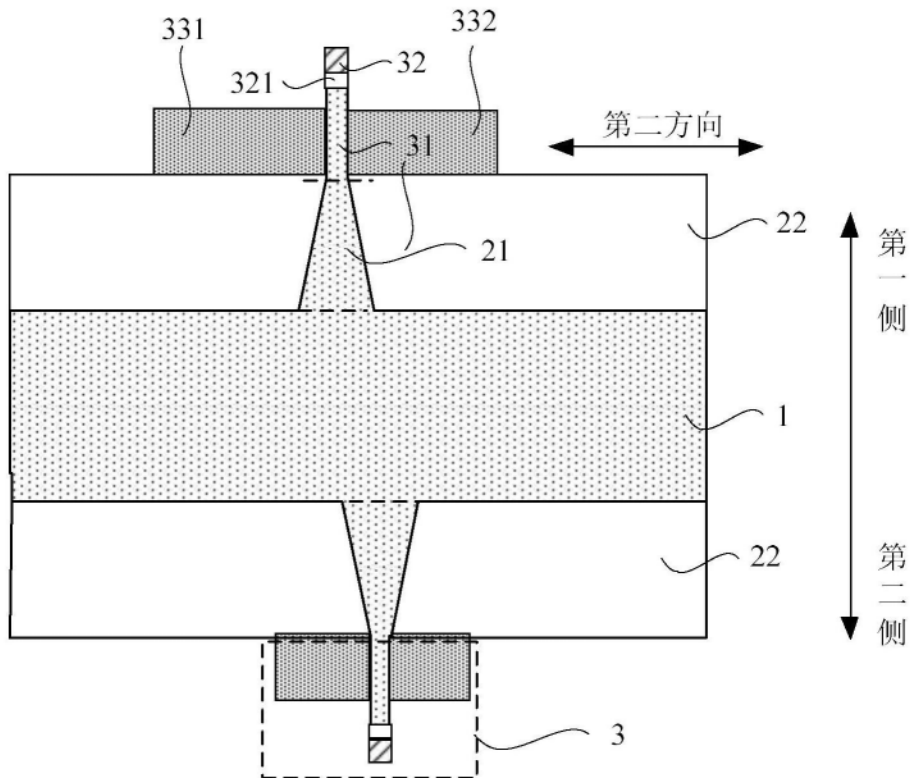


图2

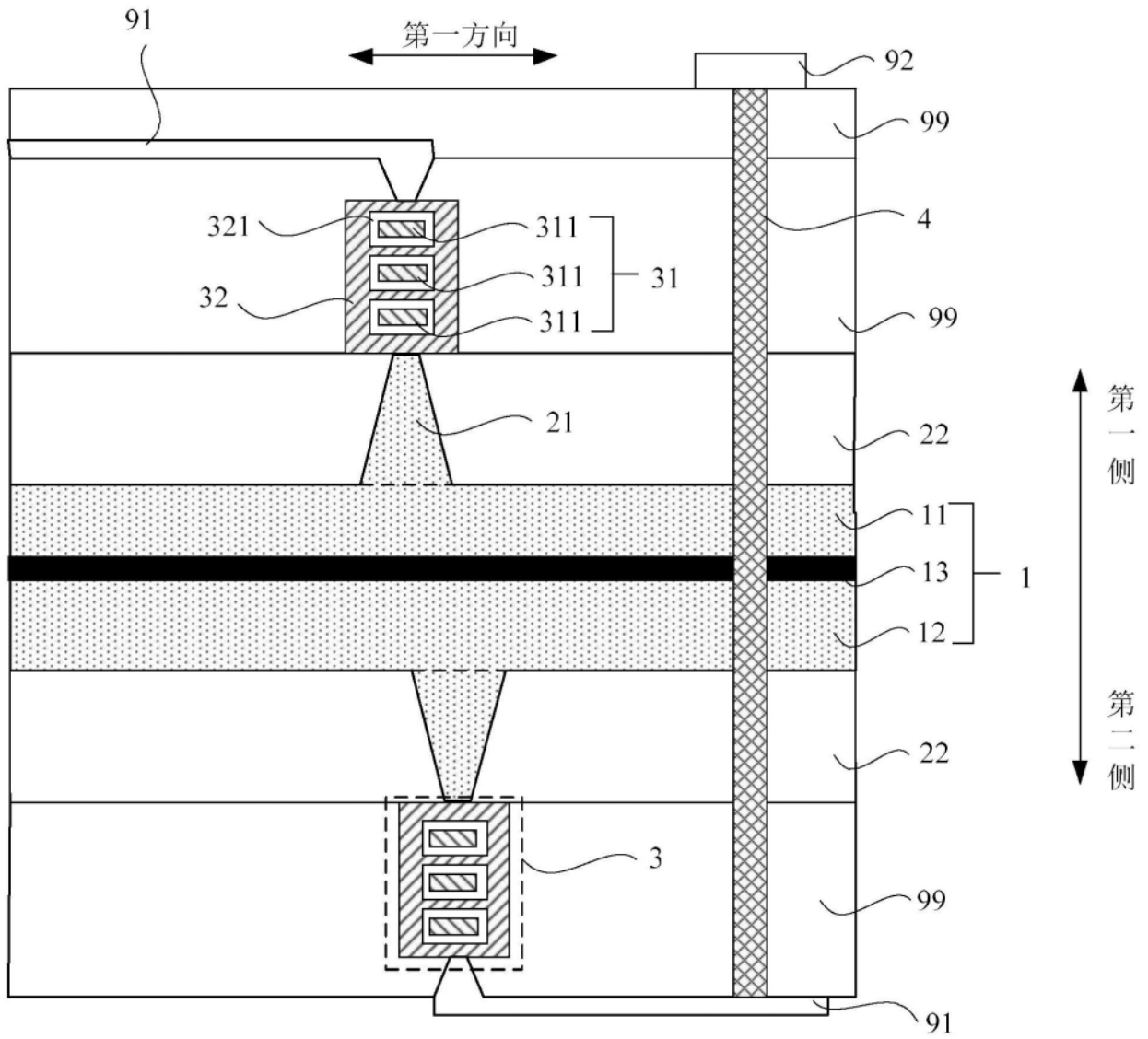


图3

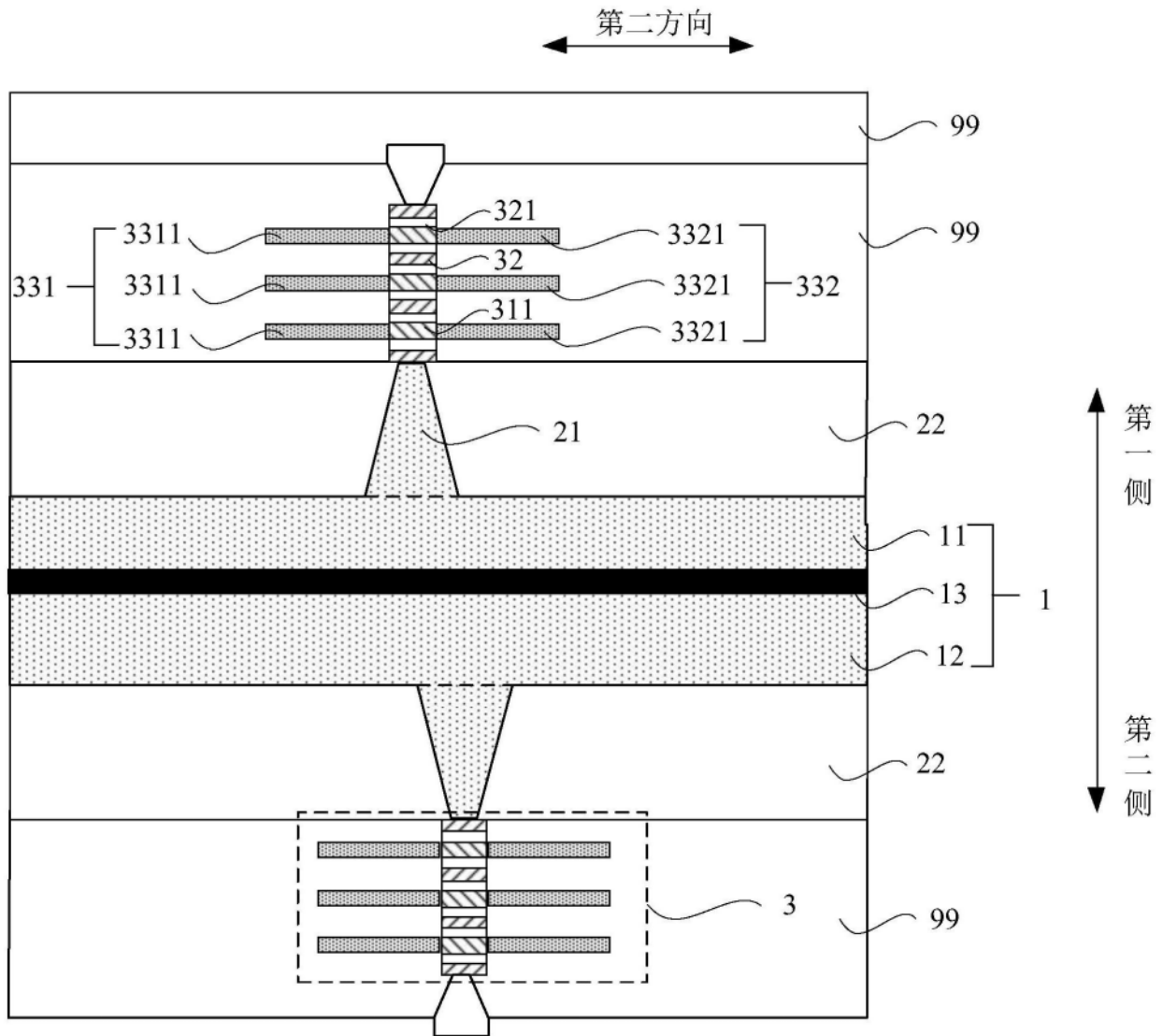


图4

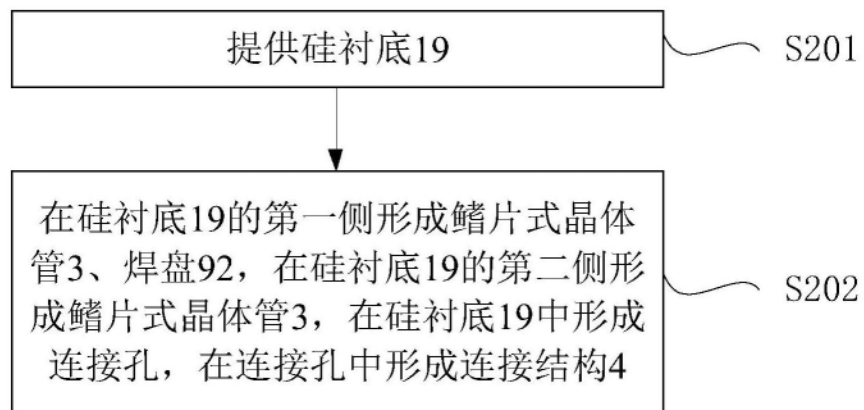


图5

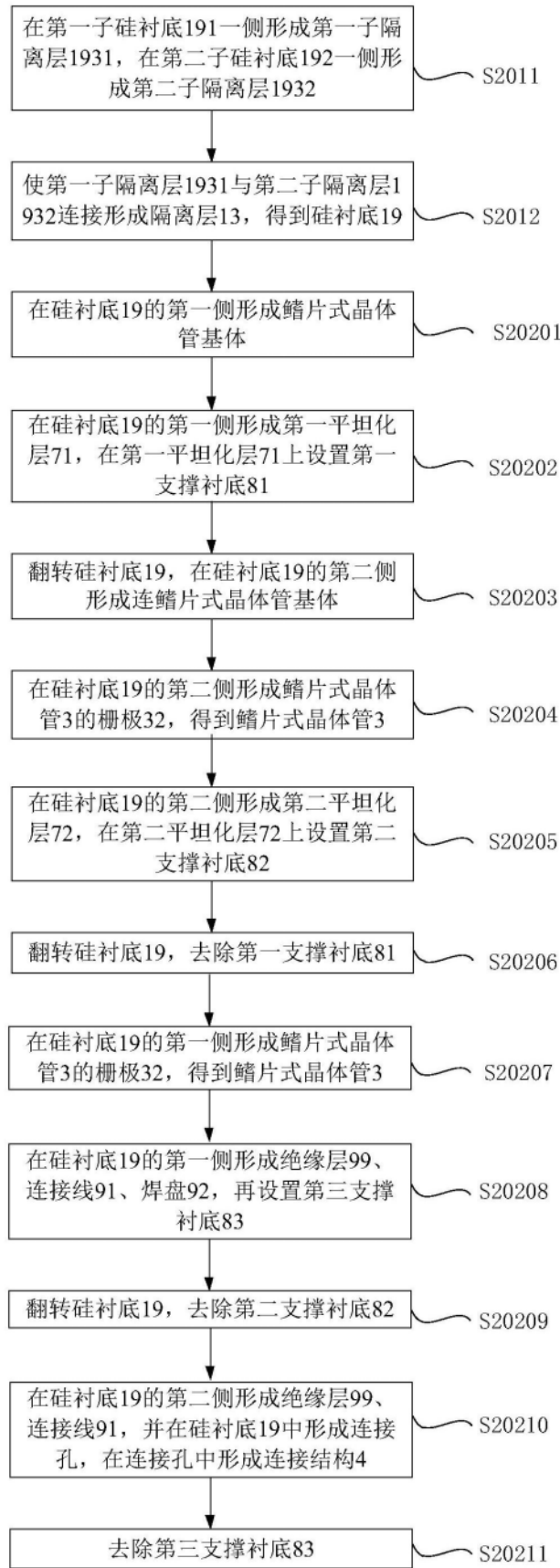


图6

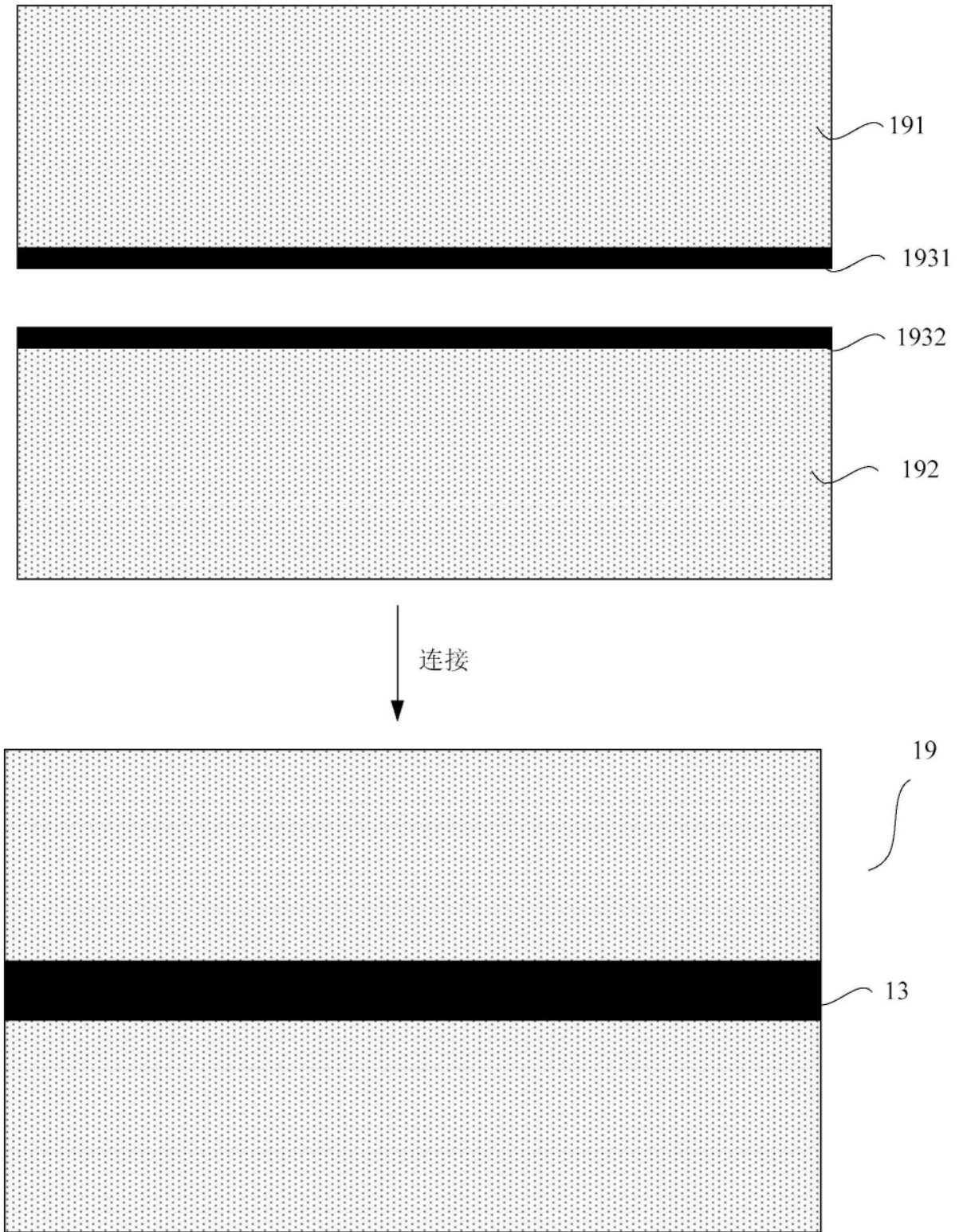


图7

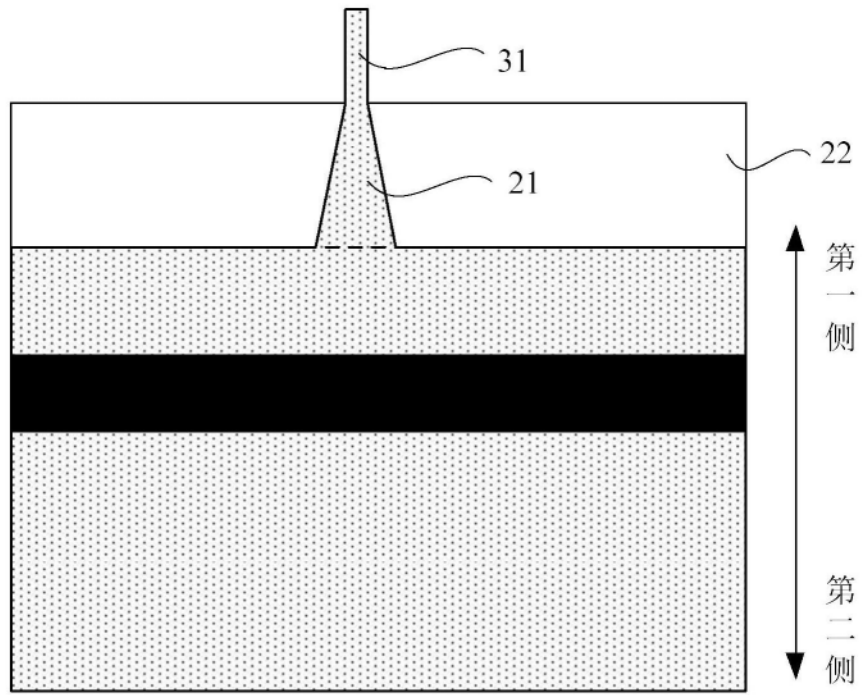


图8

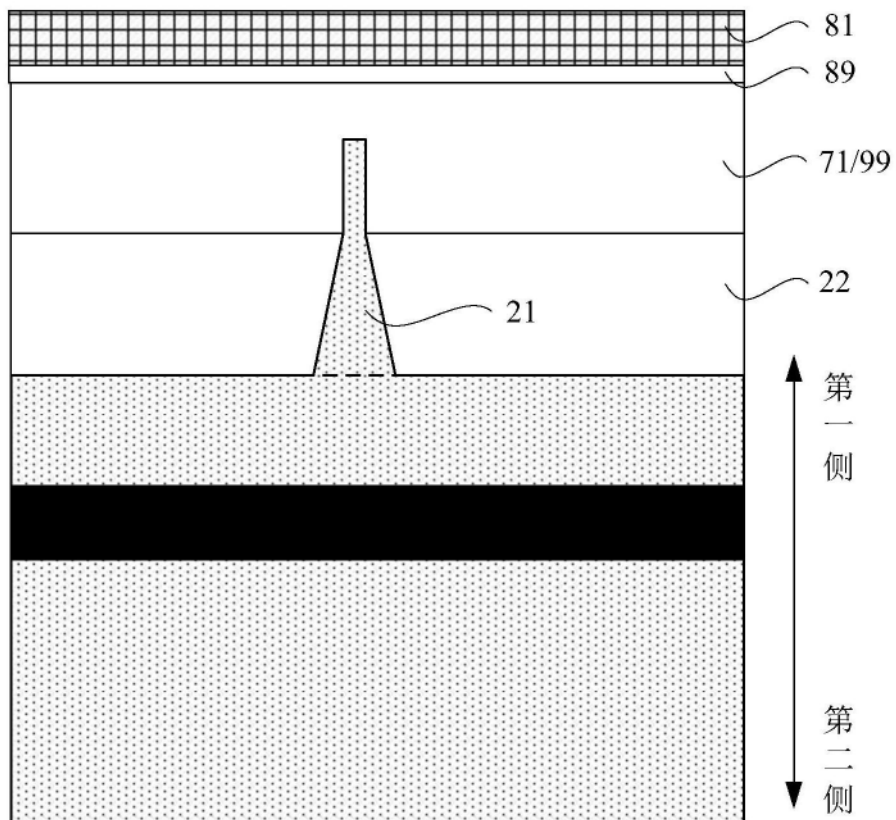


图9

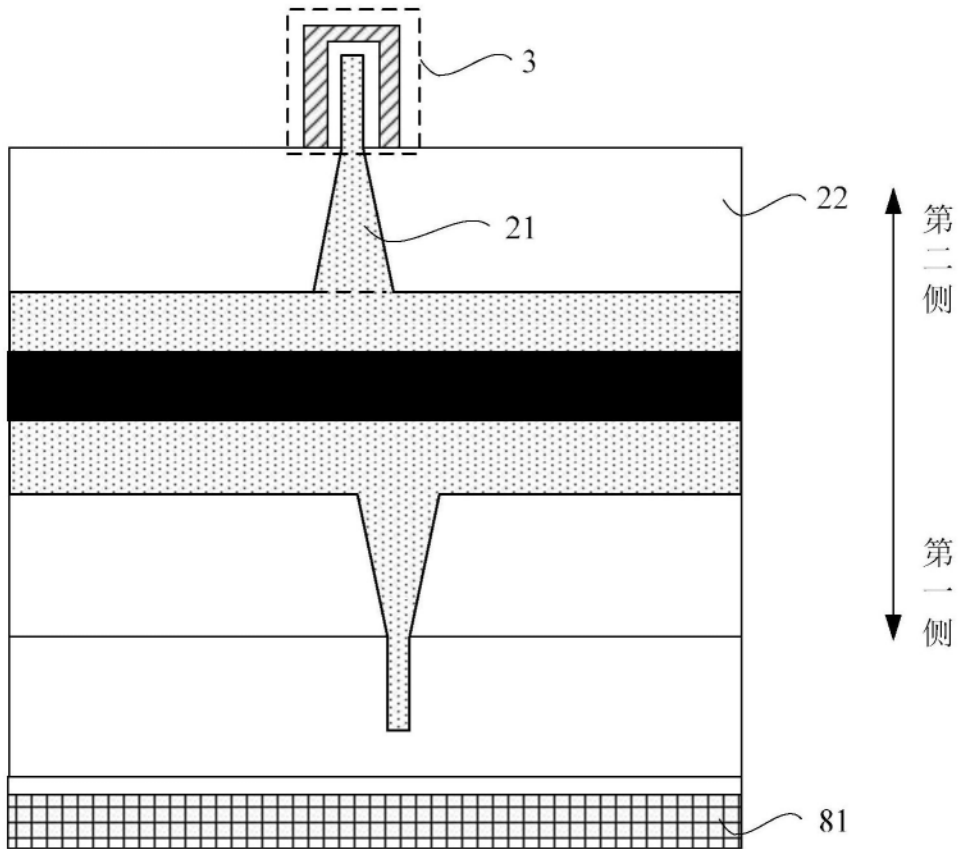


图10

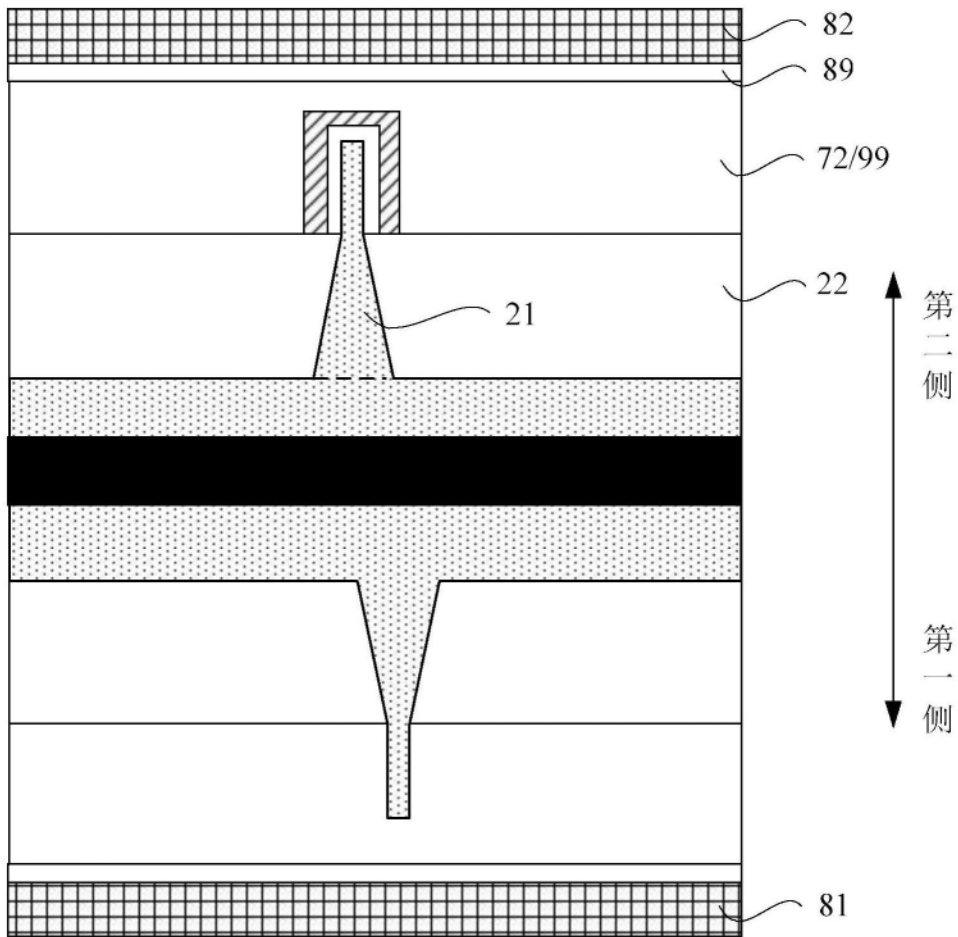


图11

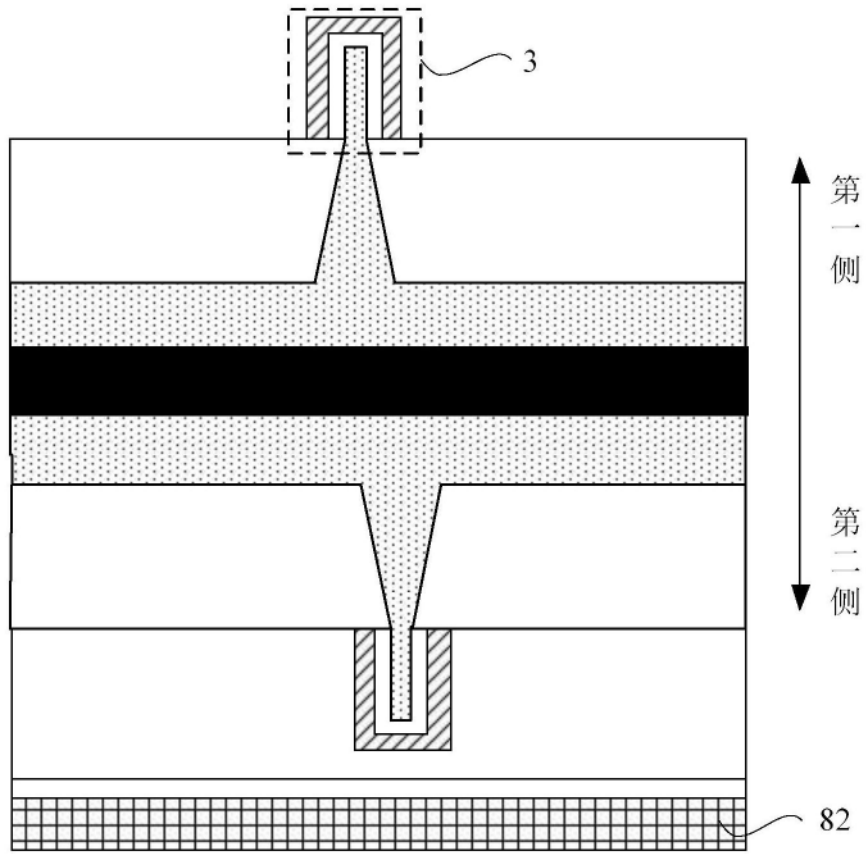


图12

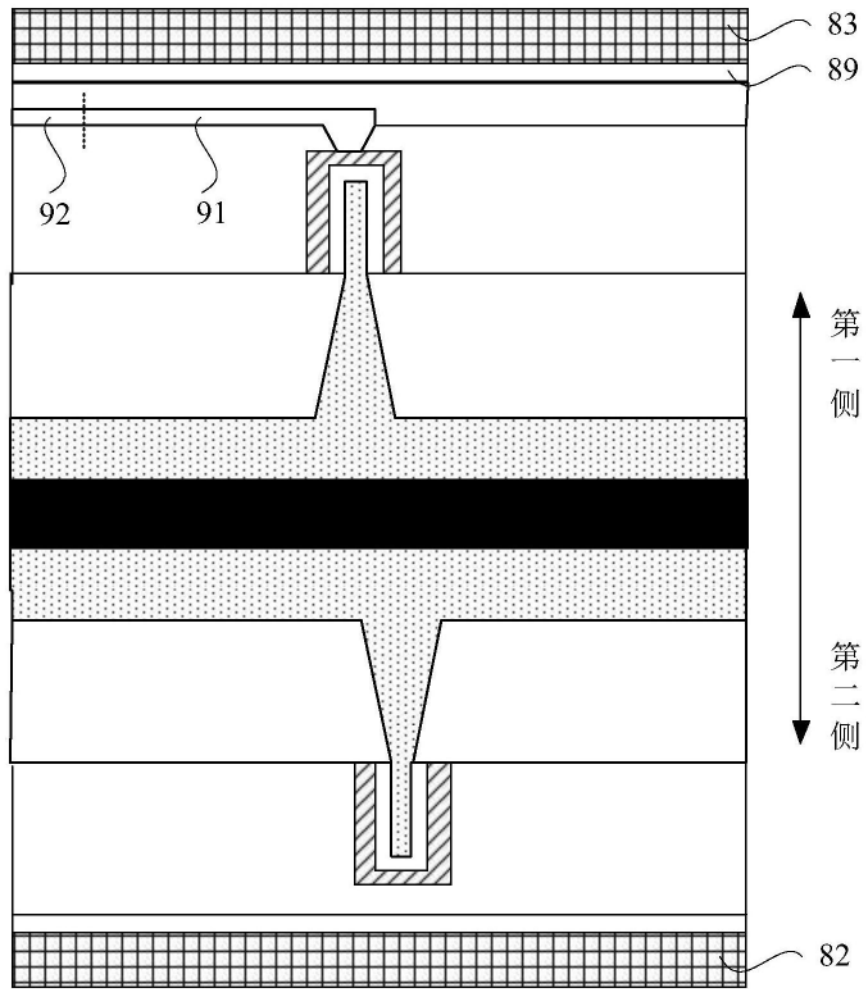


图13

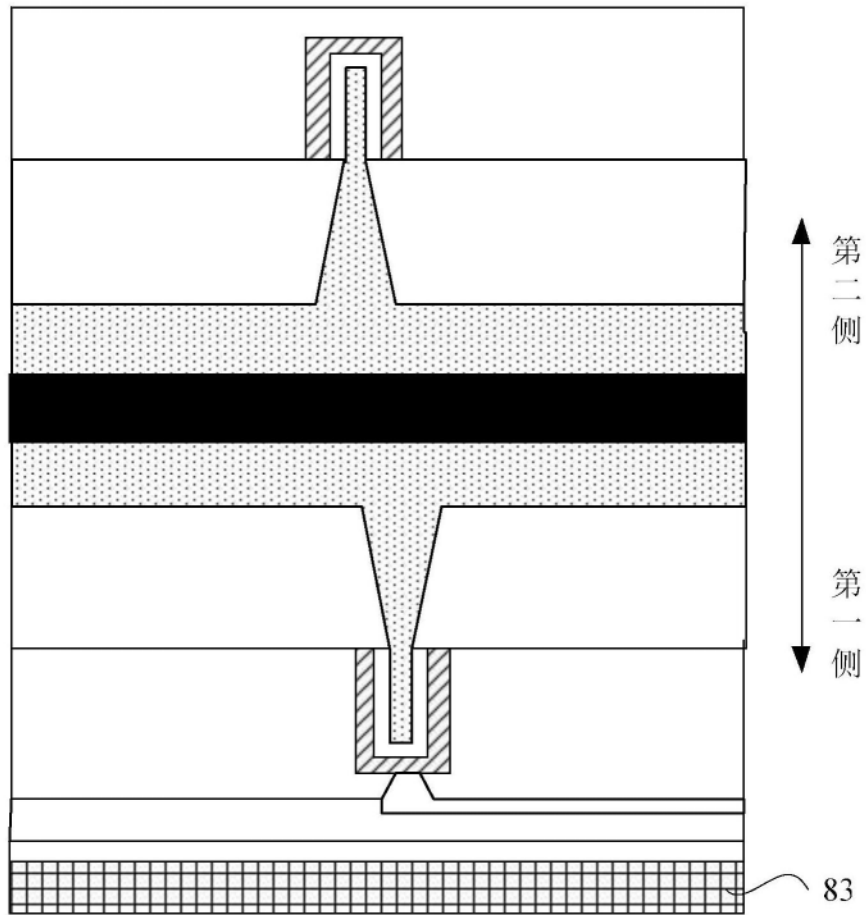


图14

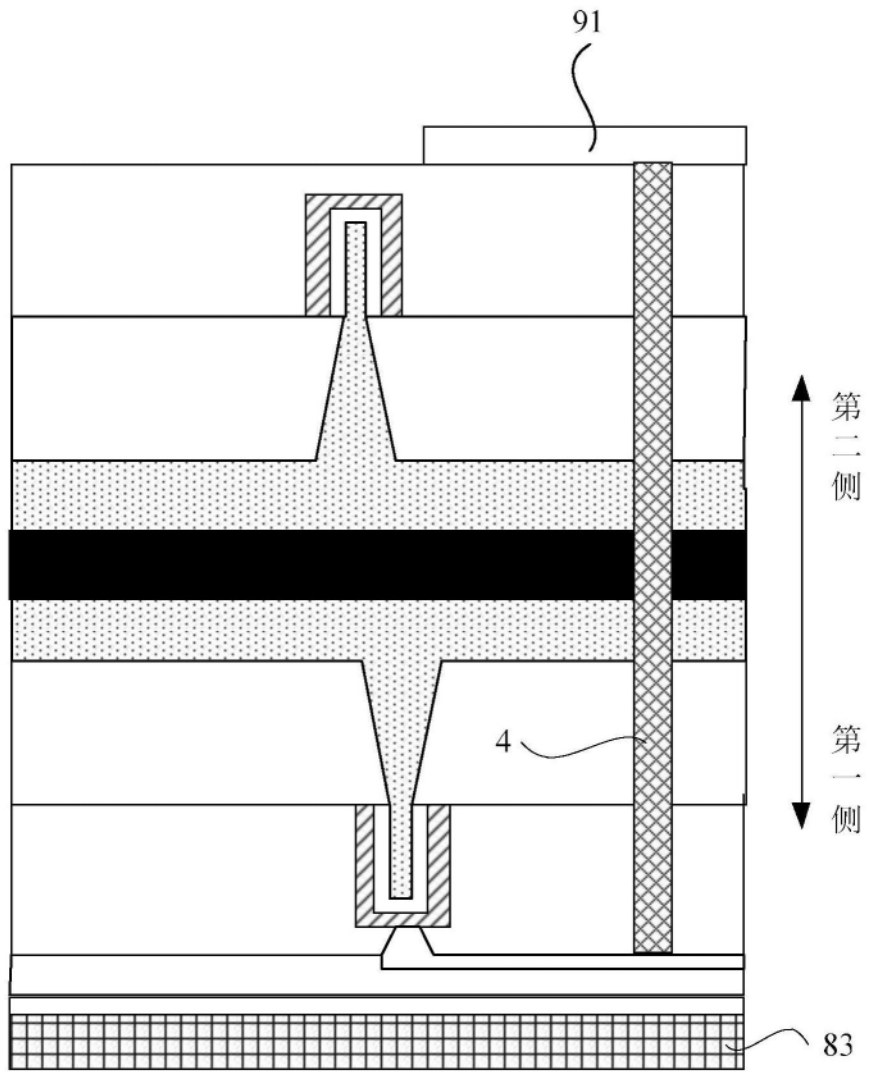


图15

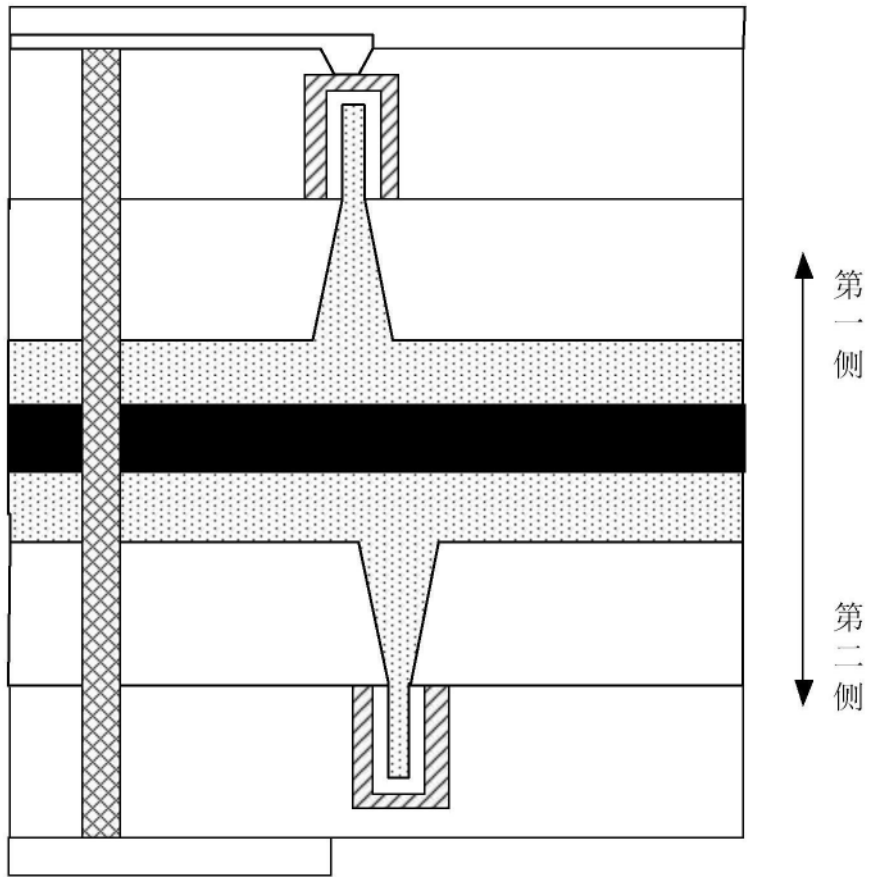


图16