

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-225765

(P2010-225765A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 C	5 F 1 0 2
HO 1 L 29/808 (2006.01)	HO 1 L 29/80 H	
HO 1 L 21/338 (2006.01)		
HO 1 L 29/778 (2006.01)		
HO 1 L 29/812 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2009-70186 (P2009-70186)  
 (22) 出願日 平成21年3月23日 (2009. 3. 23)

(71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

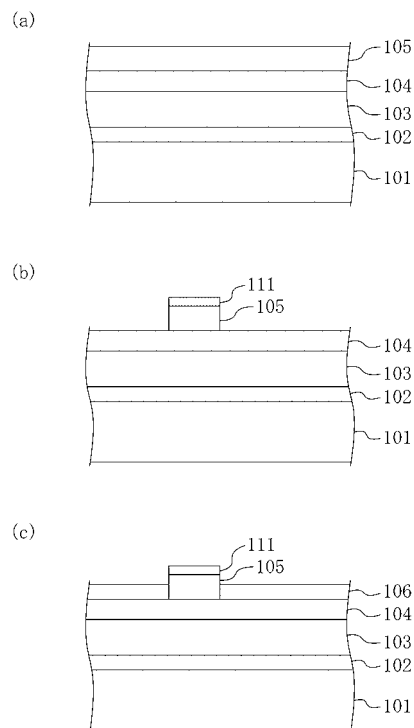
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 接合型電界効果トランジスタ等の半導体装置において、オン抵抗を低減できるようにする。

【解決手段】 半導体装置の製造方法は、まず、基板101の上に第1の窒化物半導体層103、第2の窒化物半導体層104及びp型の第3の半導体層105を順次エピタキシャル成長する。これよりも後に、第3の半導体層105を選択的に除去する。これよりも後に、第2の窒化物半導体層104の上に、第4の窒化物半導体層106をエピタキシャル成長する。これよりも後に、第3の半導体層105の上にゲート電極を形成する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基板の上に第 1 の窒化物半導体層、該第 1 の窒化物半導体層と比べてバンドギャップエネルギーが大きい第 2 の窒化物半導体層を順次エピタキシャル成長する工程 ( a ) と、

前記第 2 の窒化物半導体層の上に、 p 型の第 3 の半導体層をエピタキシャル成長する工程 ( b ) と、

前記第 3 の半導体層を選択的に除去する工程 ( c ) と、

前記工程 ( c ) よりも後に、第 2 の窒化物半導体層の上に、第 4 の窒化物半導体層をエピタキシャル成長する工程 ( d ) と、

前記第 3 の半導体層の上にゲート電極を形成する工程 ( e ) とを備えていることを特徴とする半導体装置の製造方法。

10

## 【請求項 2】

前記工程 ( d ) では、前記第 3 の半導体層の上面がマスクに覆われた状態において、前記第 4 の窒化物半導体層をエピタキシャル成長することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 3】

前記工程 ( d ) では、前記第 3 の半導体層を覆うように、前記第 4 の窒化物半導体層をエピタキシャル成長し、

前記工程 ( e ) では、前記第 4 の窒化物半導体層に開口部を形成した後、前記ゲート電極を前記第 3 の半導体層と電気的に接続するように形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

## 【請求項 4】

基板と、

前記基板の上に形成された第 1 の窒化物半導体層と、

前記第 1 の窒化物半導体層の上に形成され、前記第 1 の窒化物半導体層と比べてバンドギャップエネルギーが大きい第 2 の窒化物半導体層と、

前記第 2 の窒化物半導体層の上に選択的に形成された p 型の第 3 の半導体層と、

前記第 2 の窒化物半導体層の上に形成された第 4 の窒化物半導体層と、

前記第 3 の半導体層の上に形成されたゲート電極とを備え、

前記第 2 の窒化物半導体層と、前記第 4 の窒化物半導体層とが *in-situ* 形成されていないことを特徴とする半導体装置。

30

## 【請求項 5】

前記第 4 の窒化物半導体層は、組成が連続的又は段階的に変化し、

前記第 4 の窒化物半導体層のうち少なくとも一部は、前記第 2 の窒化物半導体層と比べてバンドギャップエネルギーが大きいことを特徴とする請求項 4 に記載の半導体装置。

## 【請求項 6】

前記第 4 の窒化物半導体層のうち前記第 2 の窒化物半導体層と接する部分は、前記第 2 の窒化物半導体層と格子整合することを特徴とする請求項 5 に記載の半導体装置。

## 【請求項 7】

前記第 4 の窒化物半導体層は、互いに組成の異なる複数の層が積層された積層体であることを特徴とする請求項 5 又は 6 に記載の半導体装置。

40

## 【請求項 8】

前記第 1 の窒化物半導体層は GaN からなり、

前記第 2 の窒化物半導体層は  $Al_x Ga_{1-x} N$  ( $0 < x < 1$ ) からなり、

前記第 3 の半導体層は  $Al_y Ga_{1-y} N$  ( $0 < y < 1$ ) からなり、

前記第 4 の窒化物半導体層は  $Al_z Ga_{1-z} N$  ( $0 < z < 1$ ) からなることを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載の半導体装置。

## 【請求項 9】

ノーマリーオフ型のトランジスタであることを特徴とする請求項 4 ~ 8 のいずれか 1 項に記載の半導体装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置及びその製造方法に関し、特に窒化物半導体を用いたパワートランジスタ及びその製造方法に関する。

## 【背景技術】

## 【0002】

近年、高周波大電力デバイスとして窒化ガリウム (GaN) 系の窒化物半導体を用いた電界効果トランジスタ (FET: Field Effect Transistor) の研究が活発に行われている。GaNは窒化アルミニウム (AlN) 及び窒化インジウム (InN) と様々な混晶を作ることができる。このため、従来のガリウム砒素 (GaAs) 等の砒素系半導体と同様にヘテロ接合を作ることができる。

10

## 【0003】

特に、窒化物半導体のヘテロ接合は、自発分極又はピエゾ分極によって、ドーピングなしの状態においても高濃度のキャリアが接合界面に発生するという特徴がある。この結果、窒化物半導体を用いてFETを形成した場合には、デプレッション型 (ノーマリーオン型) になりやすく、エンハンスメント型 (ノーマリーオフ型) の特性を得ることが難しい。しかし、現在パワーエレクトロニクス市場で使用されているデバイスのほとんどがノーマリーオフ型であり、GaN系の窒化物半導体を用いたFETにおいてもノーマリーオフ型が強く求められている。

20

## 【0004】

ノーマリーオフ型のFETは、例えばゲート部を掘り込むことによって閾値電圧をプラスにシフトさせる構造により実現できる (例えば、非特許文献1を参照)。また、サブファイア基板の(10-12)面上にFETを作製することにより、窒化物半導体の結晶成長方向に分極電界が生じないようにする方法等も知られている (例えば、非特許文献2を参照)。さらに、ゲート部にp型GaN層を形成した接合型電界効果トランジスタ (JFET: Junction Field Effect Transistor) がノーマリーオフ型FETを実現する有望な構造として提案されている (例えば、特許文献1を参照)。JFET構造では、アンドープのGaNからなるチャンネル層とAlGaNからなるバリア層とのヘテロ界面に発生するピエゾ分極が、AlGaNからなるバリア層とp型GaN層とのヘテロ界面に発生するピエゾ分極によって打ち消される。これにより、p型GaN層が形成されたゲート部直下において2次元電子ガス濃度を小さくすることができるので、ノーマリーオフ特性を実現できる。また、ショットキー接合よりもビルトインポテンシャルが大きなpn接合をゲートに用いることによって、ゲートの立ち上がり電圧を大きくすることができ、正のゲート電圧を印加してもゲートリーク電流を小さくすることができるという利点がある。

30

【非特許文献1】T. Kawasaki et al., "Solid State Devices and Materials 2005 tech. digest", 2005年, p. 206

【非特許文献2】M. Kuroda et al., "Solid State Devices and Materials 2005 tech. digest", p. 470

【特許文献1】特開2005-244072号公報

40

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、従来のJFETには、閾値電圧を正方向に大きくすると、オン抵抗が増加してしまうという問題がある。従来のJFETにおいて閾値電圧を正方向に大きくするためには、AlGaNからなるバリア層のAl組成比を減らすか又は厚さを薄くすることにより分極電荷量を低減して2次元電子ガス濃度を小さくする必要がある。いずれの場合においても、閾値電圧は正方向に上昇するが、ゲート-ソース間及びゲート-ドレイン間のチャンネル抵抗が増加してしまうため、オン抵抗が増加してしまう。

## 【0006】

50

また、前記の J F E T を本願発明者らが実際に作製したところ、所謂電流コラプスという現象が生じる問題があることを見いだした。具体的には、高いドレイン電圧を印加した直後にゲートをオフ状態からオン状態にすると、ドレイン電圧を印加しない場合と比較してドレイン電流が減少しオン抵抗が増大する。電流コラプスによるオン抵抗の増大は、高いドレイン電圧が印加されるパワートランジスタにおいては重大な問題となる。

【 0 0 0 7 】

本発明は、接合型電界効果トランジスタ等の半導体装置において、オン抵抗を低減できるようにすることを目的とする。また、必要に応じてオン抵抗を増大させることなく閾値電圧を高くしたり、電流コラプスを改善したりすることを可能とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

前記の目的を達成するため、本発明は半導体装置の製造方法を、バリア層の上に成長させた p 型の半導体層を選択的に除去した後、バリア層の上にさらに半導体層を再成長させる構成とする。

【 0 0 0 9 】

例示の半導体装置の製造方法は、基板の上に第 1 の窒化物半導体層、該第 1 の窒化物半導体層と比べてバンドギャップエネルギーが大きい第 2 の窒化物半導体層を順次エピタキシャル成長する工程 ( a ) と、第 2 の窒化物半導体層の上に、p 型の第 3 の半導体層をエピタキシャル成長する工程 ( b ) と、第 3 の半導体層を選択的に除去する工程 ( c ) と、工程 ( c ) よりも後に、第 2 の窒化物半導体層の上に、第 4 の窒化物半導体層をエピタキシャル成長する工程 ( d ) と、第 3 の半導体層の上にゲート電極を形成する工程 ( e ) とを備えていることを特徴とする。

【 0 0 1 0 】

例示の半導体装置の製造方法は、第 3 の半導体層を選択的に除去した後、第 2 の窒化物半導体層の上に、第 4 の窒化物半導体層をエピタキシャル成長する工程を備えている。このため、第 3 の半導体層の下を除いて、第 1 の窒化物半導体層の上に第 2 の窒化物半導体層と第 4 の窒化物半導体層とが積層された構造を実現できる。従って、第 3 の半導体層の下を除いて、第 1 の窒化物半導体層の上に形成された半導体層の厚さを厚くすることができる。その結果、閾値電圧を低下させることなくゲート - ソース間及びゲート - ドレイン間における 2 次元電子濃度を高くすることができ、オン抵抗を低減できる。また、ゲート - ソース間及びゲート - ドレイン間において半導体層の表面からチャンネルまでの距離を長くすることになるため、電流コラプスを改善できるという利点も得られる。また、ゲート電極下の半導体層を連続成長により形成することが可能であるため、制御性の高いエピタキシャル成長のみで層構造が決定される。そのため、閾値電圧の再現性の高い半導体装置を得ることができる。

【 0 0 1 1 】

例示の半導体装置の製造方法において、工程 ( d ) では、第 3 の半導体層の上面がマスクに覆われた状態において、第 4 の窒化物半導体層をエピタキシャル成長する構成としてもよい。また、工程 ( d ) では、第 3 の半導体層を覆うように、第 4 の窒化物半導体層をエピタキシャル成長し、工程 ( e ) では、第 4 の窒化物半導体層に開口部を形成した後、ゲート電極を第 3 の半導体層と電気的に接続するように形成する構成としてもよい。

【 0 0 1 2 】

例示の半導体装置は、基板と、基板の上に形成された第 1 の窒化物半導体層と、第 1 の窒化物半導体層の上に形成され、第 1 の窒化物半導体層と比べてバンドギャップエネルギーが大きい第 2 の窒化物半導体層と、第 2 の窒化物半導体層の上に選択的に形成された p 型の第 3 の半導体層と、第 2 の窒化物半導体層の上に形成された第 4 の窒化物半導体層と、第 3 の半導体層の上に形成されたゲート電極とを備え、第 2 の窒化物半導体層と、第 4 の窒化物半導体層とが *i n - s i t u* 形成されていない構成としてもよい。

【 0 0 1 3 】

例示の半導体装置は、第 2 の窒化物半導体層の上に第 3 の半導体層の上面を露出するよ

10

20

30

40

50

うに形成された第4の窒化物半導体層を備えている。このため、第2の窒化物半導体層の厚さを薄くして閾値電圧を高くした場合においても、ゲート-ソース間及びゲート-ドレイン間においては、第1の窒化物半導体層の上に形成された半導体層の厚さを厚くすることができる。従って、ゲート-ソース間及びゲート-ドレイン間における2次元電子濃度を高くすることができ、オン抵抗を低減できる。また、ゲート-ソース間及びゲート-ドレイン間において半導体層の表面からチャネルまでの距離を長くすることになるため、電流コラプスを改善できるという利点も得られる。

【0014】

例示の半導体装置において、第4の窒化物半導体層は組成が連続的又は段階的に変化し、第4の窒化物半導体層のうち少なくとも一部は、第2の窒化物半導体層と比べてバンドギャップエネルギーが大きい構成としてもよい。この場合において、第4の窒化物半導体層のうち第2の窒化物半導体層と接する部分は、第2の窒化物半導体層と格子整合することが好ましい。

10

【0015】

例示の半導体装置において、第4の窒化物半導体層は、互いに組成の異なる複数の層が積層された積層体としてもよい。

【0016】

例示の半導体装置において、第1の窒化物半導体層はGa<sub>1-x</sub>Nからなり、第2の窒化物半導体層はAl<sub>x</sub>Ga<sub>1-x</sub>N (0 < x < 1) からなり、第3の半導体層はAl<sub>y</sub>Ga<sub>1-y</sub>N (0 < y < 1) からなり、第4の窒化物半導体層はAl<sub>z</sub>Ga<sub>1-z</sub>N (0 < z < 1) からなる構成とすればよい。

20

【0017】

例示の半導体装置は、ノーマリーオフ型のトランジスタとすればよい。

【発明の効果】

【0018】

本発明に係る半導体装置及びその製造方法によれば、接合型電界効果トランジスタ等の半導体装置において、オン抵抗を低減できる。

【発明を実施するための最良の形態】

【0019】

図1は、本発明の一実施形態に係る半導体装置の断面構成を示している。図1に示すように、本実施形態の半導体装置は、サファイアからなる基板101の(0001)面上に、厚さが100nmのAlNからなるバッファ層102を介在させて、第1の窒化物半導体層103と、第1の窒化物半導体層103と比べてバンドギャップエネルギーが大きい第2の窒化物半導体層104とが順次形成されている。第1の窒化物半導体層103は厚さが2μmのアンドープGa<sub>1-x</sub>Nとし、第2の窒化物半導体層104は厚さが15nmでAl組成比が15%のアンドープAlGa<sub>1-x</sub>Nとすればよい。第2の窒化物半導体層104におけるゲート領域の上には、厚さが100nmのp型のGa<sub>1-x</sub>Nからなる第3の半導体層105が形成され、ゲート領域を除く第2の窒化物半導体層104の上には厚さが35nmでAl組成比が15%のアンドープAlGa<sub>1-x</sub>Nからなる第4の窒化物半導体層106が形成されている。本実施形態において「アンドープ」とは、不純物が意図的に導入されていないことを意味する。

30

40

【0020】

第3の半導体層105の上には、パラジウム(Pd)からなるゲート電極109が形成されている。ゲート電極109は、第3の半導体層105とオーミック接触している。ゲート電極109の両側方には、ソース電極107及びドレイン電極108がそれぞれ形成されている。本実施形態においては、ソース電極107及びドレイン電極108は第4の窒化物半導体層106及び第2の窒化物半導体層104を貫通し、第1の窒化物半導体層103と第2の窒化物半導体層104との界面よりも下側に達する凹部に形成されている。これにより、ソース電極107及びドレイン電極108は、第1の窒化物半導体層103と第2の窒化物半導体層104とのヘテロ接合界面の近傍に生じる2次元電子ガス(2

50

D E G ) 層と直接接し、接触抵抗を低減できる。ソース電極 1 0 7 及びドレイン電極 1 0 8 は、チタン ( T i ) 層とアルミニウム ( A l ) 層との積層体とすればよい。また、必ずしも凹部に形成する必要はなく、チャンネルである 2 D E G 層とオーミック接触していればよい。

#### 【 0 0 2 1 】

第 3 の半導体層 1 0 5 は、マグネシウム ( M g ) 等の p 型の不純物がドーピングされている。M g のドーピング量は、例えばゲート電極直下の深さが 1 0 n m 程度の領域においては、 $1 \times 10^{20} \text{ cm}^{-3}$  程度とし、その他の部分においては、 $1 \times 10^{19} \text{ cm}^{-3}$  程度としてキャリア濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  程度とすればよい。

#### 【 0 0 2 2 】

閾値電圧を正の大きな値とするためには、チャンネル層とバリア層との界面に発生するピエゾ分極が小さい方が好ましい。このため、チャンネル層が G a N 層であり、バリア層が A l G a N 層である場合には、A l G a N 層の A l 組成比を小さくし、膜厚を薄くする方が好ましい。一方、オン抵抗を低減するためには、チャンネル層とバリア層との界面に発生するピエゾ分極が大きい方が好ましい。このため、A l G a N 層の A l 組成比を大きくし、膜厚を厚くする方が好ましい。本実施形態の半導体装置は、第 3 の半導体層 1 0 5 の直下においては、第 4 の窒化物半導体層 1 0 6 が存在しておらず、ゲート - ソース間及びゲート - ドレイン間においては第 4 の窒化物半導体層 1 0 6 が存在している。このため、ゲート - ソース間及びゲート - ドレイン間において発生するピエゾ分極を、ゲート電極の直下において発生するピエゾ分極よりも大きくすることができる。このため、閾値電圧を高く  
20

#### 【 0 0 2 3 】

本実施形態においては、第 2 の窒化物半導体層 1 0 4 及び第 4 の窒化物半導体層 1 0 6 の A l 組成比を共に 1 5 % とした。しかし、第 2 の窒化物半導体層 1 0 4 及び第 4 の窒化物半導体層 1 0 6 の A l 組成比は異なってもよい。第 2 の窒化物半導体層 1 0 4 の A l 組成比を低くすれば閾値電圧をさらに高くでき、第 4 の窒化物半導体層 1 0 6 の A l 組成比を高くすればオン抵抗をさらに低減できる。第 4 の窒化物半導体層 1 0 6 のバンドギャップが第 2 の窒化物半導体層 1 0 4 のバンドギャップ以上であることが好ましいため、  
30 第 4 の窒化物半導体層 1 0 6 の A l 組成比が第 2 の窒化物半導体層 1 0 4 の A l 組成比よりも大きいことが好ましいが、これに限られない。例えば、第 4 の窒化物半導体層 1 0 6 の膜厚が第 2 の窒化物半導体層 1 0 4 の膜厚よりも大きい場合は、第 4 の窒化物半導体層 1 0 6 の A l 組成比を第 2 の窒化物半導体層 1 0 4 の A l 組成比よりも小さくすることもできる。また、第 4 の窒化物半導体層 1 0 6 を、A l を含まない G a N とした場合であっても、n 型不純物がドーピングされた n - G a N とすることにより、オン抵抗を低減する効果が得られる。また、第 2 の窒化物半導体層 1 0 4 の膜厚はできるだけ薄くし、第 4 の窒化物半導体層 1 0 6 の膜厚はできるだけ厚くすることが好ましい。但し、第 4 の窒化物半導体層 1 0 6 の膜厚は、クラックが生じることなく形成できる臨界膜厚以下が好ましい。  
40 第 4 の窒化物半導体層 1 0 6 の膜厚が、第 2 の窒化物半導体層 1 0 4 の膜厚よりも大きいことが好ましいが、これに限られない。例えば、第 4 の窒化物半導体層 1 0 6 の A l 組成比が第 2 の窒化物半導体層 1 0 4 の A l 組成比よりも大きい場合は、第 4 の窒化物半導体層 1 0 6 の膜厚を、第 2 の窒化物半導体層 1 0 4 の膜厚よりも小さくすることもできる。

#### 【 0 0 2 4 】

また、ゲート - ソース間及びゲート - ドレイン間に第 4 の窒化物半導体層 1 0 6 を形成することにより、ゲート - ソース間及びゲート - ドレイン間において半導体層の表面からチャンネルまでの距離を長くすることができる。このため、チャンネルが半導体層の表面に生じる表面準位の影響を受けにくくなり、電流コラプスを抑制することができる。

#### 【 0 0 2 5 】

電流コラプスは、表面準位にトラップされた電子に起因すると考えられる。もし、第 4

10

20

30

40

50

の窒化物半導体層 106 が形成されていない場合には、オフ時に数十V程度の高いドレインバイアスを印加した場合、第2の窒化物半導体層 104 の表面準位にトラップされた電子によりゲート - ドレイン間の2次元電子ガスも空乏化される。表面準位にトラップされた電子の放出時間は捕獲時間と比べて遅いためゲートをオンした直後もゲート - ドレイン間に空乏層が広がる。このため、チャンネルが完全に開かず、チャンネル抵抗が増大すると考えられる。

#### 【0026】

一方、第4の窒化物半導体層 106 を備えた本実施形態の窒化物半導体トランジスタにおいては、チャンネルと表面準位との距離が大きくなる。このため、オフ時に高いドレインバイアスを印加した場合においてもゲート - ドレイン間の2次元電子ガスが空乏化されない。従って、ゲートをオンした直後においてもチャンネルが全開しておりチャンネル抵抗は増大しない。

10

#### 【0027】

また、本実施形態によれば、第2の窒化物半導体層 104 を掘り込むことなく、すなわち第2の窒化物半導体層 104 に凹部を形成することなく、閾値が制御できる。

#### 【0028】

また、本実施形態では、第3の半導体層 105 よりも後に第4の窒化物半導体層 106 が形成されるため、第4の窒化物半導体層 106 の上面に第3の半導体層 105 がオーバーハングしていない。

20

#### 【0029】

なお、第3の半導体層 105 は、ソース電極 107 側に偏った位置に形成することが好ましい。ゲート電極 109 とドレイン電極 108 との距離を大きくすることにより、高いドレイン電圧が印加されたときに生じる電界を緩和して、トランジスタの破壊耐圧を向上することができる。

#### 【0030】

以上のように、本実施形態の半導体装置は、オン抵抗を低減することができる。また、オン抵抗の低減と閾値電圧の向上とを両立させることができ、さらに電流コラプスを改善できるという利点も有している。

#### 【0031】

以下に、一実施形態に係る半導体装置の製造方法を説明する。まず、図2(a)に示すように、サファイアからなる基板 101 の(0001)面上に厚さが100nmのAlNからなるバッファ層 102、厚さが2 $\mu$ mのアンドープGaNからなる第1の窒化物半導体層 103、厚さが15nmのアンドープAlGaNからなる第2の窒化物半導体層 104 及び厚さが100nmのp型GaNからなる第3の半導体層 105 を順次エピタキシャル成長する。エピタキシャル成長には、有機金属気相成長法(MOCVD: Metal Organic Chemical Vapor Deposition)を用いればよい。基板の材料は、窒化物半導体層を形成できる材料であればよく、サファイアに代えてSi又はSiC等としてもよい。

30

#### 【0032】

次に、ゲートメサ部を形成する領域にSiO<sub>2</sub>膜 111 を選択的に形成する。この後、図2(b)に示すように、SiO<sub>2</sub>膜 111 をエッチングマスクとして、例えばICP(Inductive-Coupled Plasma)エッチング等のドライエッチングにより第3の半導体層 105 を選択的に除去する。このとき、例えば、塩素ガスに酸素ガスを添加した選択ドライエッチングを用い、AlGaN層のエッチング速度をGaN層よりも小さくすることが望ましい。選択エッチングを用いることにより、AlGaNからなる第2の窒化物半導体層 104 をほとんどエッチングすることなく、p型のGaN層からなる第3の半導体層 105 のエッチング残りを小さくできるので、再現性良くゲートメサ部を形成することができる。この工程において、ゲートメサ部以外の第3の半導体層 105 は完全に除去することが好ましい。しかし、完全に除去する必要はなく、数nm程度のエッチング残りがあってもよい。また、第3の半導体層 105 を除去する際に第2の窒化物半導体層 104 が数nm程度エッチングされても問題ない。

40

50

## 【0033】

次に、図2(c)に示すように、 $\text{SiO}_2$ 膜111を残存させた状態において、厚さが35nmのアンダーペーストAlGaInからなる第4の窒化物半導体層106をMOCVD法等を用いてエピタキシャル成長する。 $\text{SiO}_2$ 膜111が成長マスクとなり第3の半導体層105の上には第4の窒化物半導体層106が形成されない。第4の窒化物半導体層106を第2の窒化物半導体層104の上のみに成長させた例を示したが、第4の窒化物半導体層106は第3の半導体層105の側壁からも成長することができる。この場合には第3の半導体層105の側壁を覆うように第4の窒化物半導体層106が形成される。

## 【0034】

次に、図3(a)に示すように、例えば塩素ガスを用いたICPEッチング等によりソース電極及びドレイン電極を形成する領域に、第4の窒化物半導体層106、第2の窒化物半導体層104及び第1の窒化物半導体層103の一部を選択的に除去し、オーミックリセス部を形成する。

10

## 【0035】

次に、図3(b)に示すように、オーミックリセス部にTi層とAl層とを形成した後、窒素雰囲気において650の熱処理を行い、ソース電極107及びドレイン電極108を形成する。このようにオーミックリセス部にソース電極107及びドレイン電極108を形成する場合、ソース電極107及びドレイン電極108の一部が、第4の窒化物半導体層106の上面の一部を覆うように形成される。これにより、ソース電極107及びドレイン電極108の側壁への密着性が高まる。続いて、第3の半導体層105の上にPdからなるゲート電極109を形成する。

20

## 【0036】

本実施形態においては、第3の半導体層105の上面を $\text{SiO}_2$ 膜により覆った状態で第4の窒化物半導体層を再成長する例を示した。しかし、図4(a)に示すように $\text{SiO}_2$ 膜を除去した後、第4の窒化物半導体層106を再成長し、次に、図4(b)に示すように第4の窒化物半導体層106に、第3の半導体層105を露出する開口部を形成してもよい。この場合には、図5に示すように第4の窒化物半導体層106が、第2の窒化物半導体層104の上だけでなく、第3の半導体層105の側壁及び上面の一部を覆う。 $\text{SiO}_2$ 膜からなるマスクを用いて選択的に再成長を行う場合には、第2の窒化物半導体層104と第4の窒化物半導体層106との界面に $\text{SiO}_2$ 膜に由来するSiが不純物として導入され、第4の窒化物半導体層106の結晶性が低下するおそれがある。しかし、このようにすれば、第4の窒化物半導体層106を再成長する際に $\text{SiO}_2$ 膜からなるマスクを用いる必要がなく、第4の窒化物半導体層106の結晶性を向上させることができる。その結果、分極効果が大きくなり2次元電子ガス濃度が増加するため、チャネル抵抗を低減し、オン抵抗をさらに低減することができる。

30

## 【0037】

開口部の形成は、例えば塩素ガスを用いたICPEッチング等により行えばよい。また、水酸化カリウム溶液を用いた紫外線照射を伴うウェットエッチングにより行ってもよい。

## 【0038】

本実施形態においては、第2の窒化物半導体層104を形成する工程と、第4の窒化物半導体層106を形成する工程との間に、第3の半導体層105を選択的に除去する工程を有する。よって、第2の窒化物半導体層104と、第4の窒化物半導体層106は、*in-situ*形成されない。なお、*in-situ*形成とは、2つの窒化物半導体層が同一のチャンバ内において連続的に形成されることを意味する。*in-situ*形成されているかどうかは、例えば、第3の半導体層105又は第4の窒化物半導体層106の断面形状等により判断することができる。すなわち、第2の窒化物半導体層104と第4の窒化物半導体層106が*in-situ*形成された場合、第4の窒化物半導体層106のゲート領域をドライエッチング等により開口した後、第3の半導体層105を成長する必要がある。このため、第4の窒化物半導体層106の一部を覆うように第3の半導体層10

40

50



5が形成される。一方、本実施形態では、第2の窒化物半導体層104と第4の窒化物半導体層106とがin-situ形成されず、間に第3の半導体層105を形成し、選択的除去する工程が入る。すなわち、第3の半導体層105よりも後に第4の窒化物半導体層106が成長されるため、第3の半導体層105は第4の窒化物半導体層106上を覆わない。

#### 【0039】

本実施形態においては、第2の窒化物半導体層104と第3の半導体層105とが接するように形成したが、これに限らず、第2の窒化物半導体層104と第3の半導体層105との間に別の層が挿入されてもよい。例えば、第3の半導体層105を選択的に除去する際の、エッチングストップ層が挿入されていてもよい。この場合、例えばAl組成比が15%である第2の窒化物半導体層104の上に、Al組成比が26%のアンドープAlGaNからなるエッチングストップ層を形成し、その上にAl組成比が15%のp型AlGaNからなる第3の半導体層105を形成すればよい。このように、エッチングストップ層を挿入する場合は、第3の半導体層105にAlGaNを用いても、エッチングストップ層とのAl組成比の差を利用することにより、第3の半導体層105を選択的に除去することができる。

10

#### 【0040】

本実施形態においては、第4の窒化物半導体層106を第2の窒化物半導体層104と同一のAl組成比を有するAlGaNにより形成した。このようにした場合には、第2の窒化物半導体層104と第4の窒化物半導体層106との間に第2の窒化物半導体層104の上に再成長する第4の窒化物半導体層106が格子整合するため、再成長界面に結晶欠陥が導入されにくくなるという利点がある。再成長界面の結晶欠陥を低減することにより電流コラプスをさらに抑制することができる。

20

#### 【0041】

一方、閾値電圧を高くし且つオン抵抗を低減するためには、先に述べたように第2の窒化物半導体層104のAl組成比を小さくし、第4の窒化物半導体層106のAl組成比を高くすることが好ましい。しかし、第2の窒化物半導体層104と第4の窒化物半導体層106とのAl組成比の差が大きくなると、再成長界面に結晶欠陥が導入されやすくなる。再成長界面への結晶欠陥の導入を低減しつつ、第4の窒化物半導体層106のAl組成比を高くするために、図6に示すように積層体である第4の窒化物半導体層106Bとしてもよい。この場合には、第4の窒化物半導体層106Bにおける第2の窒化物半導体層104と接する層のAl組成比を第2の窒化物半導体層104と等しくし、上側の層ほどAl組成比を高くすればよい。このようにすれば、第4の窒化物半導体層106B全体としてのAl組成比を高くしつつ、第4の窒化物半導体層106Bの最下層と第2の窒化物半導体層104とを格子整合させることができる。例えば、第4の窒化物半導体層106Bの最下層のAl組成比を第2の窒化物半導体層104と同じ15%とし、最上層のAl組成比を30%とすればよい。このようにすれば、結晶欠陥を低減すると共に、ゲートソース間及びゲートドレイン間の分極効果を大きくすることができる。従って、2DEG層の電子濃度が増加し、チャネル抵抗を低減でき、オン抵抗を小さくすることができる。図6において第4の窒化物半導体層106Bの積層数を4層としているがこれに限らず2層以上の何層としてもよい。第4の窒化物半導体層106Bの厚さ及び最下層と最上層とのAl組成比の差等に応じて積層数は決定すればよい。また、第4の窒化物半導体層106Bは異なる層を積層した積層体に限られず、単一層において、Al組成比を連続的又は段階的に変化させてもよい。第4の窒化物半導体層106Bの最下層におけるAl組成比を第2の窒化物半導体層104と同一とした場合においても、再成長であるためにTEM写真等により界面が確認される場合がある。但し、必ず界面が観察できるわけではない。また、本実施形態では第4の窒化物半導体層106BをAlGaNとし、Al組成比を変化させたが、これに限られない。例えばInAlGaNなどの4元化合物においてIn組成比とAl組成比を変化させてもよい。この場合、第2の窒化物半導体層104に格子整合させつつバンドギャップをさらに大きくできる。

30

40

50

## 【0042】

第1の窒化物半導体層～第4の窒化物半導体層の組成は適宜変更してかまわない。例えば、一般式が  $In_x Al_y Ga_{1-x-y} N$  ( $0 < x < 1$ 、 $0 < y < 1$ 、 $x + y < 1$ ) で表される化合物から選択すればよい。但し、第2の窒化物半導体層は第1の窒化物半導体層と比べてバンドギャップが大きい層とし、第3の半導体層はp型の層とする。また、第3の半導体層は、窒化物に限られない。例えば、 $ZnO$ 、 $MgO$ 又は $NiO$ 等の酸化物半導体としてもよい。

## 【産業上の利用可能性】

## 【0043】

本発明に係る半導体装置及びその製造方法は、接合型電界効果トランジスタ等の半導体装置においてオン抵抗を低減でき、特に窒化物半導体を用いたパワートランジスタ及びその製造方法等として有用である。

10

## 【図面の簡単な説明】

## 【0044】

【図1】本発明の一実施形態に係る半導体装置を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法の変形例を工程順に示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の変形例を示す断面図である。

20

【図6】本発明の一実施形態に係る半導体装置の変形例を示す断面図である。

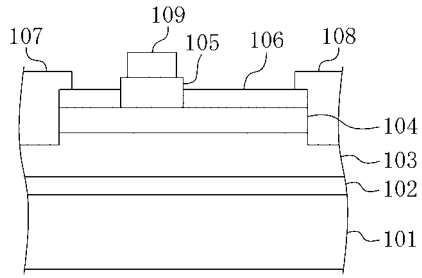
## 【符号の説明】

## 【0045】

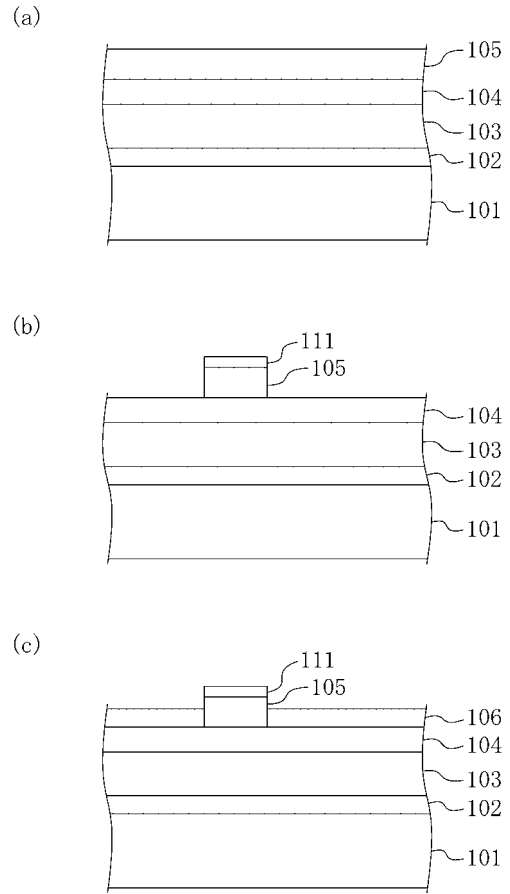
101	基板
102	バッファ層
103	第1の窒化物半導体層
104	第2の窒化物半導体層
105	第3の半導体層
106	第4の窒化物半導体層
106B	第4の窒化物半導体層
107	ソース電極
108	ドレイン電極
109	ゲート電極
111	$SiO_2$ 膜

30

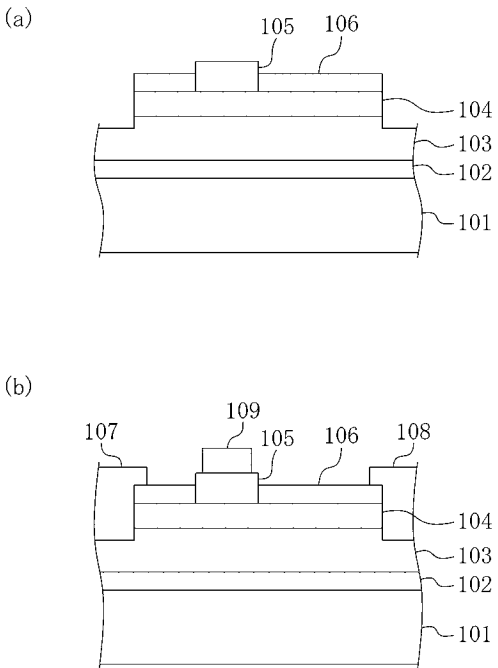
【 図 1 】



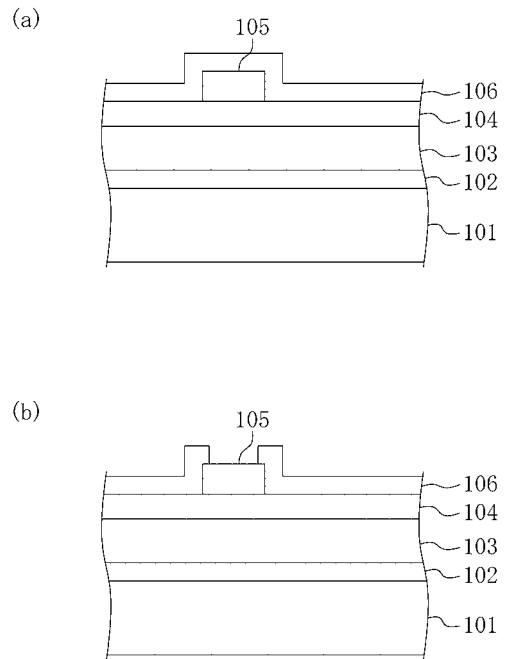
【 図 2 】



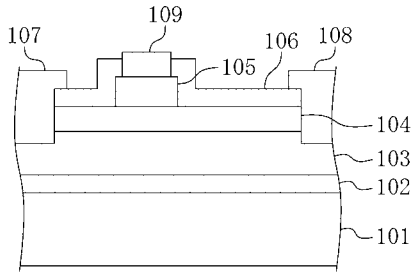
【 図 3 】



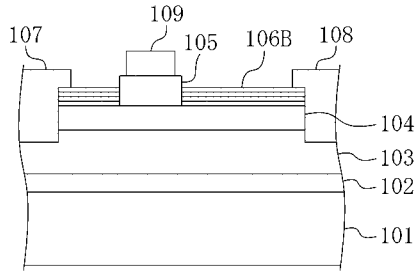
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 引田 正洋

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 田中 健一郎

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 上田 哲三

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 5F102 FA00 FA02 GB01 GC01 GD01 GD04 GJ02 GJ03 GJ10 GK04  
GK09 GL04 GM04 GQ01 GR01 GR12 GT01 GV05 GV06 GV08  
HC01 HC02 HC15 HC21