

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-278906

(P2006-278906A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int. Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501B

テーマコード (参考)

審査請求 未請求 請求項の数 30 O L (全 18 頁)

(21) 出願番号 特願2005-98591 (P2005-98591)  
 (22) 出願日 平成17年3月30日 (2005.3.30)

(71) 出願人 000000295  
 沖電気工業株式会社  
 東京都港区虎ノ門1丁目7番12号  
 (74) 代理人 100089093  
 弁理士 大西 健治  
 (72) 発明者 江川 良実  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内

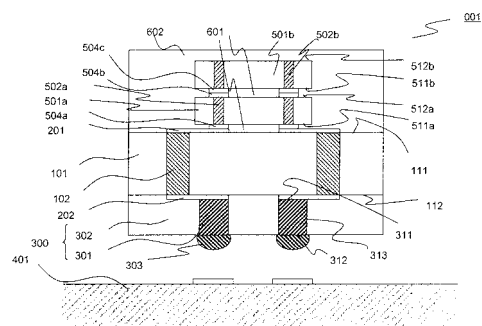
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 従来の配線基板（インターポーザ）に半導体材料を用いた3次元実装型の半導体装置の構造では、熱処理を伴う実装の際に実装基板と配線基板との線膨張係数の差から応力が発生し、半導体装置と実装基板との接続不良を引き起こす可能性があった。

【解決手段】 本願発明の半導体装置は、第1の面と、第1の面の裏面である第2の面とを備えており、第1の面と第2の面とを貫通する第1の貫通電極を有する半導体基板と、半導体基板の第1の面上に搭載され、半導体基板と同種の材料で構成されると共に、第1の貫通電極と電気的に接続された回路素子を有する半導体チップと、半導体基板の第2の面上に形成されており、半導体基板の第1の貫通電極と電気的に接続し、かつ、可撓性を具備する第1の導電体を備えた応力緩和部と、応力緩和部上に、第1の導電体と接続された外部接続端子とを有している。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

第 1 の面と、前記第 1 の面の裏面である第 2 の面とを備えており、前記第 1 の面と前記第 2 の面とを貫通する第 1 の貫通電極を有する半導体基板と、

前記半導体基板の前記第 1 の面上に搭載され、前記半導体基板と同種の材料で構成されると共に、前記第 1 の貫通電極と電気的に接続された回路素子を有する半導体チップと、

前記半導体基板の前記第 2 の面上に形成されており、前記半導体基板の前記第 1 の貫通電極と電気的に接続し、かつ、可撓性を具備する第 1 の導電体を備えた応力緩和部と、

前記応力緩和部上に、前記第 1 の導電体と接続された外部接続端子とを有することを特徴とする半導体装置。

10

**【請求項 2】**

請求項 1 記載の半導体装置であって、

前記応力緩和部の前記第 1 の導電体は、前記半導体基板の前記第 2 の面と対向し、前記第 1 の貫通電極と電気的に接続された第 3 の面と、前記第 3 の面の裏面であり、前記外部接続端子と接続された第 4 の面と、前記第 3 の面と前記第 4 の面とを繋ぐ側面とを備えていることを特徴とする半導体装置。

**【請求項 3】**

請求項 2 記載の半導体装置であって、

前記応力緩和部は、前記半導体基板の前記第 2 の面上に、前記第 1 の導電体の前記側面及び前記半導体基板の前記第 2 の面を覆うように形成され、弾力性を具備する第 1 の絶縁物を有することを特徴とする半導体装置。

20

**【請求項 4】**

請求項 3 記載の半導体装置であって、

前記第 1 の絶縁物は、樹脂で構成されていることを特徴とする半導体装置。

**【請求項 5】**

請求項 2 ~ 4 いずれか一つに記載の半導体装置であって、

前記半導体基板の前記第 1 の面に形成され、前記半導体基板の前記第 1 の貫通電極と接続する第 1 の部分と、前記半導体チップの前記回路素子と電気的に接続された第 2 の部分とを備えた第 1 の導電膜を有することを特徴とする半導体装置。

**【請求項 6】**

30

請求項 5 記載の半導体装置であって、

前記半導体基板と前記半導体チップとの間に、前記第 1 の導電膜を覆うように形成された封止層を有することを特徴とする半導体装置。

**【請求項 7】**

請求項 6 記載の半導体装置であって、

前記封止層は、樹脂で構成されていることを特徴とする半導体装置。

**【請求項 8】**

請求項 2 ~ 7 いずれか一つに記載の半導体装置であって、

前記半導体基板の前記第 2 の面に形成され、前記半導体基板の前記第 1 の貫通電極と接続する第 3 の部分と、前記第 1 の導電体の前記第 3 の面と接続された第 4 の部分とを備えた第 2 の導電膜を有することを特徴とする半導体装置。

40

**【請求項 9】**

請求項 8 記載の半導体装置であって、

前記半導体チップは、前記半導体基板の前記第 1 の面と対向する第 5 の面と、前記第 5 の面の裏面である第 6 の面とを備えると共に、前記第 5 の面と前記第 6 の面とを貫通し、前記回路素子と電気的に接続された第 2 の貫通電極とを備えており、

前記半導体基板の前記第 1 の面と前記半導体チップの前記第 5 の面との間に形成され、前記半導体基板の前記第 2 の導電膜の前記第 4 の部分と接続されるとともに、前記半導体チップの前記第 2 の貫通電極と接続された接続バンプを有することを特徴とする半導体装置。

50

## 【請求項 10】

請求項 1 ~ 9 いずれか一つに記載の半導体装置であって、  
前記半導体チップと前記半導体基板の前記第 1 の面とを被覆する封止体を有することを特徴とする半導体装置。

## 【請求項 11】

請求項 10 記載の半導体装置であって、  
前記封止体は、樹脂で構成されていることを特徴とする半導体装置。

## 【請求項 12】

請求項 10 又は 11 に記載の半導体装置であって、  
前記封止体は、材料にセラミックを含んでいることを特徴とする半導体装置。

10

## 【請求項 13】

請求項 1 記載の半導体装置であって、  
前記応力緩和部は、前記半導体基板の前記第 2 の面に前記第 1 の貫通電極の表面の少なくとも一部を露出するように形成され、弾力性を有する第 1 の絶縁物と、  
前記半導体基板の前記第 2 の面上に形成され、前記第 1 の貫通電極と接続された第 5 の部分と、前記外部接続端子と前記第 1 の絶縁物との間に形成され、前記外部接続端子と接続された第 6 の部分とを備えた第 1 の導電体を有することを特徴とする半導体装置。

## 【請求項 14】

請求項 13 記載の半導体装置であって、  
前記第 1 の絶縁物は、樹脂で構成されていることを特徴とする半導体装置。

20

## 【請求項 15】

請求項 1 ~ 14 いずれか一つに記載の半導体装置であって、  
前記半導体基板の前記第 2 の面と前記外部接続端子との距離は、50  $\mu\text{m}$  以上であることを特徴とする半導体装置。

## 【請求項 16】

第 1 の面と、前記第 1 の面の裏面である第 2 の面と、前記第 1 の面と前記第 2 の面とを貫通する第 1 の貫通電極とを備えたチップ領域がマトリックス状に複数形成されたウエハを準備する工程と、  
前記各チップ領域の前記第 2 の面に、前記第 1 の貫通電極と電気的に接続され、可撓性を具備する第 1 の導電体を備えた応力緩和部を形成する工程と、  
前記各応力緩和部上に、前記第 1 の導電体と電気的に接続するように、外部接続端子を形成する工程と、  
前記各チップ領域の前記第 1 の面に、半導体チップの回路素子と前記第 1 の貫通電極とが電気的に接続するように、前記半導体チップを搭載する工程と、  
前記ウエハを前記チップ領域ごとに個片に分割する工程とを有することを特徴とする半導体装置の製造方法。

30

## 【請求項 17】

請求項 16 記載の半導体装置の製造方法であって、  
前記各チップ領域の前記第 2 の面に、応力緩和部を形成する工程は、  
前記各チップ領域の前記第 2 の面上に、前記第 2 の面と対向し、前記第 1 の貫通電極と電気的に接続する第 3 の面と、前記第 3 の面の裏面であり、前記外部接続端子と接続された第 4 の面と、前記第 3 の面と前記第 4 の面とを繋ぐ側面とを備えた第 1 の導電体を形成する工程を有することを特徴とする半導体装置の製造方法。

40

## 【請求項 18】

請求項 17 記載の半導体装置の製造方法であって、  
前記各チップ領域の前記第 2 の面上に、前記第 1 の導電体を形成する工程を行った後、  
前記各チップ領域の前記第 2 の面上に、前記第 1 の導電体の前記第 4 の面及び前記側面及び前記第 2 の面を覆うように第 1 の絶縁物を形成する工程と、  
前記第 1 の導電体が露出するまで前記第 1 の絶縁物を研磨する工程とを有することを特徴とする半導体装置の製造方法。

50

## 【請求項 19】

請求項 18 記載の半導体装置の製造方法であって、  
前記第 1 の導電体が露出するまで前記第 1 の絶縁物を研磨する工程は、  
前記第 1 の導電体が 50  $\mu\text{m}$  から 200  $\mu\text{m}$  の範囲の厚さになるまで研磨することを特徴とする半導体装置の製造方法。

## 【請求項 20】

請求項 16 ~ 19 いずれか一つに記載の半導体装置の製造方法であって、  
さらに、前記各チップ領域の前記第 2 の面に、前記第 1 の貫通電極と接続する第 1 の部分と、前記第 1 の導電体の前記第 3 の面と接続する第 2 の部分とを備えた第 1 の導電膜を形成する工程を有することを特徴とする半導体装置の製造方法。

10

## 【請求項 21】

請求項 16 ~ 20 いずれか一つに記載の半導体装置の製造方法であって、  
さらに、前記各チップ領域の前記第 1 の面に、前記チップ領域の前記第 1 の貫通電極と接続する第 3 の部分と、前記半導体チップの前記回路素子と電気的に接続する第 4 の部分とを備えた第 2 の導電膜を形成する工程を有することを特徴とする半導体装置の製造方法。

## 【請求項 22】

請求項 21 記載の半導体装置の製造方法であって、  
さらに、前記チップ領域の前記第 1 の面と対向する第 5 の面と、前記第 5 の面の裏面である第 6 の面を備えた前記半導体チップに、前記回路素子と電気的に接続し、前記第 5 の面と前記第 6 の面とを貫通する第 2 の貫通電極を形成する工程と、  
前記半導体チップの前記第 5 の面に、前記第 2 の導電膜の前記第 4 の部分と接続する第 1 の接続パンプを形成する工程とを有することを特徴とする半導体装置の製造方法。

20

## 【請求項 23】

請求項 22 記載の半導体装置の製造方法であって、  
前記半導体チップに第 2 の貫通電極を形成する工程は、  
前記半導体チップの前記回路素子が形成された回路形成面に溝部を形成する工程と、  
前記溝部の少なくとも側部を絶縁膜で被覆する工程と、  
前記絶縁膜で被覆された前記溝部に第 2 の導電体を充填する工程と、  
前記半導体チップの前記回路形成面の裏面を前記第 2 の導電体が露出するまで研磨する工程とを有することを特徴とする半導体装置の製造方法。

30

## 【請求項 24】

請求項 23 記載の半導体装置の製造方法であって、  
前記半導体チップの前記回路素子形成面の前記裏面の研磨は、前記半導体チップが 20  $\mu\text{m}$  から 100  $\mu\text{m}$  の範囲の厚さになるように行われることを特徴とする半導体装置の製造方法。

## 【請求項 25】

請求項 23 又は 24 記載の半導体装置の製造方法であって、  
さらに、前記各チップ領域の前記第 1 の面と前記各半導体チップの前記第 5 の面との間に、前記第 2 の導電膜を被覆するように封止層を形成する工程を有することを特徴とする半導体装置の製造方法。

40

## 【請求項 26】

請求項 16 ~ 25 いずれか一つに記載の半導体装置の製造方法であって、  
さらに、前記各半導体チップと前記各第 1 の面とを封止体により被覆する工程と、  
前記封止体の上面を研磨する工程とを有することを特徴とする半導体装置の製造方法。

## 【請求項 27】

請求項 26 記載の半導体装置の製造方法であって、  
前記封止体の前記上面の研磨は、前記封止体の前記上面と前記半導体チップの前記第 6 の面との距離が 100  $\mu\text{m}$  以下になるように行われることを特徴とする半導体装置の製造方法。

50

## 【請求項 28】

請求項 16 記載の半導体装置の製造方法であって、

前記各チップ領域の前記第 2 の面に、可撓性を具備する第 1 の導電体を備えた応力緩和部を形成する工程は、

前記各チップ領域の前記第 2 の面に前記第 1 の貫通電極の表面の少なくとも一部を露出するように第 1 の絶縁物を形成する工程と、

前記各チップ領域の前記第 2 の面上に、前記第 1 の貫通電極と接続された第 5 の部分と、前記外部接続端子と前記第 1 の絶縁物との間に形成される第 6 の部分とを備えた第 1 の導電体を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【請求項 29】

第 1 の面と、前記第 1 の面の裏面である第 2 の面とを備えており、前記第 1 の面と前記第 2 の面とを貫通する第 1 の貫通電極を有する半導体基板と、

前記半導体基板の前記第 1 の面上に搭載され、前記半導体基板と同種の材料で構成されると共に、前記第 1 の貫通電極と電気的に接続された回路素子を有する半導体チップと、

前記半導体基板の前記第 2 の面上に形成されており、前記半導体基板の前記第 2 の面と対向し、前記第 1 の貫通電極と電気的に接続された第 3 の面と、前記第 3 の面の裏面である第 4 の面と、前記第 3 の面と前記第 4 の面とを繋ぐ側面とを備えた第 1 の導電体と、

前記第 1 の導電体の前記第 4 の面に形成された外部接続端子とを有することを特徴とする半導体装置。

## 【請求項 30】

請求項 29 記載の半導体装置であって、

前記半導体基板の前記第 2 の面上に、前記第 1 の導電体の前記側面及び前記半導体基板の前記第 2 の面を覆うように形成され、弾力性を具備する第 1 の絶縁物を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置及びその製造方法に関するものである。特に本発明は、3次元実装型の半導体装置及びその製造方法に関するものである。

## 【背景技術】

## 【0002】

従来、半導体装置の小型化の要求を満たすために、単一のパッケージに複数の半導体チップを搭載して半導体装置の実装密度を高めたマルチチップパッケージ (Multi Chip Package) が用いられている。その一つに、配線基板 (インターポーザ) に複数の半導体チップを垂直方向に積層し、配線基板、各半導体チップにそれぞれ設けられた貫通電極を介して信号伝送を行う 3次元実装型構造がある。貫通電極を備えた 3次元実装型構造は、配線基板に複数の半導体チップを平面的に実装した平面実装型構造と比較すると、チップが搭載される配線基板と半導体チップとの間の配線長、及び半導体チップ相互間の配線長を短くすることができるため、各半導体チップに形成された機能素子間の信号伝送を高速に行うことができる。また、配線基板の下面に設けた外部接続端子を介して実装基板に接続可能なため、外部接続のための配線長も短く、外部との信号の伝送も高速に行うことができる。

## 【0003】

この種の技術として、例えば特許文献 1 のように、配線基板に半導体材料を用いた 3次元実装型構造が知られている。半導体材料で構成された配線基板 1 は、半導体チップ搭載面 1 a にフォトリソエッチング等の半導体プロセスによる配線 (L11、L12、L13、L123) が形成されている。これにより、半導体プロセスを利用できない配線基板 (以下、絶縁基板と称す) の配線と比較して、配線幅や配線ピッチを狭くできる。また、配線基板 1 と半導体チップ 2 とを同種の半導体材料で構成することで、熱処理の際に線膨張係数の差から生じる配線基板 1 と半導体チップ 2 との間の接続不良を低減することができる。

10

20

30

40

50

【特許文献1】特開2003-110084号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、半導体装置が実装される基板（以下、実装基板と称す）は一般的には半導体材料でないため、特許文献1に開示された技術のように、半導体材料を配線基板として用いると、半導体材料で構成された配線基板1（以下、半導体基板と称す）と実装基板10との線膨張係数が異なる。線膨張係数が異なることから、半導体装置を実装基板10への搭載時に行う熱処理の際に、実装基板10と接続する外部接続端子8にクラックが発生するなど、実装後に接続不良を引き起こす可能性があった。

10

【課題を解決するための手段】

【0005】

上述した課題を解決するために、本願の代表的な発明の一つは、第1の面と、第1の面の裏面である第2の面とを備えており、第1の面と第2の面とを貫通する第1の貫通電極を有する半導体基板と、半導体基板の第1の面上に搭載され、半導体基板と同種の材料で構成されると共に、第1の貫通電極と電気的に接続された回路素子を有する半導体チップと、半導体基板の第2の面上に形成されており、半導体基板の第1の貫通電極と電気的に接続し、かつ、可撓性を具備する第1の導電体を備えた応力緩和部と、応力緩和部上に、第1の導電体と接続された外部接続端子とを有することを特徴とする半導体装置である。

20

【発明の効果】

【0006】

本願の代表的な発明によれば、熱処理の際に発生する配線基板と半導体チップとの間の接続不良を低減でき、かつ、熱処理を伴う実装を行った際に発生する、配線基板と実装基板との間の接続不良を低減できる半導体装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、全図面を通して同様の構成には同様の符号を付与する。

【0008】

（第1の実施の形態）

図1は本発明の第1の実施の形態における半導体装置001の構造を示す平面図であり、図2は図1の線2-2'での断面図である。なお、図1については、第1の実施の形態における半導体装置001の構造を理解しやすくするため、半導体チップ501、及び第1の導電膜201を透視した平面図としている。

30

【0009】

本発明の第1の実施の形態における半導体装置001は、図1及び図2に示すように、半導体基板101、半導体基板の101の第2の面112上に形成された応力緩和部300、応力緩和部300上に形成された外部接続端子303、半導体基板101の第1の面111上に積層された半導体チップ501aと半導体チップ501b、及び、半導体基板101の第1の面111と半導体チップ501aと半導体チップ501bとを被覆する封止体602とから構成されている。さらに、半導体基板101は、第1の貫通電極102を有している。

40

【0010】

また、応力緩和部300は、可撓性を具備する第1の導電体301を有しており、第1の導電体301は、第2の導電膜202を介して第1の貫通電極102と接続している。ここで、可撓性とは、熱処理を伴う実装の際に線膨張係数が異なる半導体基板101と実装基板401との間に発生する応力を緩和させ、かつ、外部接続端子303に接続不良を発生させない程度を示している。また、外部接続端子303は、第1の導電体301と接続している。また、半導体チップ501aは、第2の貫通電極502aと回路素子503a（図示せず）とを有しており、第2の貫通電極502aは、第1の導電膜201

50

と接続パンプ504aとを介して第1の貫通電極102と接続している。また、半導体チップ501bは、第2の貫通電極502aと回路素子503b(図示せず)を有しており、第2の貫通電極502bは、接続パンプ504b、接続パンプ504cを介して第2の貫通電極502aと接続している。また、半導体基板101と半導体チップ501aとの間及び半導体チップ501aと半導体チップ501bの間には、封止層601が形成されている。

#### 【0011】

次に、本実施形態における応力緩和部300の構成について説明する。

応力緩和部300は、図2に示すように、第2の面112と対向し、第2の導電膜202と接続された第3の面311と、外部接続端子303と接続された第4の面312と、第3の面311と第4の面312とを繋ぐ側面313とを備えた第1の導電体301を有している。第1の導電体301の形状は、例えば円柱状が望ましい。また、第1の導電体301は、例えば銅等で構成されている。さらに、応力緩和部300は、第1の導電体301の側面313を覆うように形成され、弾力性を有する第1の絶縁物302を有している。第1の絶縁物302は、例えばエポキシ樹脂等の樹脂で構成されている。

10

#### 【0012】

本実施形態では、応力緩和部300が形成されているため、熱処理を伴う実装の際に線膨張係数が異なる半導体基板101と実装基板401との間に熱膨張や熱収縮の差による応力が発生しても、第1の導電体301が、第2の面112の方向に傾くことで、外部接続端子303を、第2の面112方向に変位することができる。これにより、熱処理を伴う実装の際に発生する応力を緩和することが可能となり、実装時に発生する外部接続端子303のクラック等による接続不良を防止することが可能となる。また、第1の絶縁物302が、第1の導電体301の側面313を覆うように形成されていることで、第1の導電体301の傾斜角度を制御することができ、発生する応力による導電体301の断線等の接続不良を防ぐことが可能となる。さらに、発生する応力は、第1の導電体301が傾くことで緩和されるため、第1の導電体301の第3の面311と第4の面312との距離、すなわち導電体301の高さは、50 $\mu$ m~200 $\mu$ mの範囲であることが望ましい。第1の導電体301の高さを上記の条件に設定することで、応力を緩和することができ、かつ、半導体装置001の薄型化を達成することが可能となる。

20

#### 【0013】

次に、応力緩和部300以外の構成についてそれぞれ説明する。

まず、半導体基板101は搭載される半導体チップ501a、半導体チップ501bと同種の半導体材料(例えばシリコン)で構成されている。これにより、半導体基板101と半導体チップ501a、半導体チップ501bとの線膨張係数を一致させることができるので、熱膨張及び熱収縮の差から発生する応力を低減することができる。なお、半導体基板101と半導体チップ501a、半導体チップ501bの主要な材料が同種であれば良いので、例えば、シリコンとは異なる材料の薄膜が形成されたシリコン基板やSOI(Silicon on Insulator)は同種の半導体材料となる。

30

#### 【0014】

半導体基板101は、半導体チップ501aが搭載される第1の面111と第2の面112とを貫通する第1の貫通電極102を備えている。第1の貫通電極102は、搭載される半導体チップ501a、半導体チップ501b、第1の導電体301、及び外部接続端子303とに電気的に接続されている。第1の貫通電極102は、導電体により構成されており、例えば、銅、アルミニウム、ポリシリコン等で構成されている。また、第1の貫通電極102は、半導体プロセスによって形成され、例えば、フォトリソエッチングによりマスクを作製し、ドライエッチングで溝部を形成した後、溝部を電界メッキ法により導電体を充填させ、裏面を化学的機械的研磨を行うことで形成される。これにより、第1の貫通電極102の直径を10~20 $\mu$ m程度にすることができ、半導体装置001の多ピン化や高機能化にも対応することが可能となる。

40

#### 【0015】

50

第1の面111には、半導体チップ501aの第2の貫通電極502aと接続する第1の部分と半導体基板101の第1の貫通電極102と接続する第2の部分とを備えた第1の導電膜201が形成されている。第1の導電膜201は、例えば、銅やアルミニウム等の導電体で構成されている。第1の導電膜201は再配線と称され、図1に示すように、第1の導電膜201を第1の貫通電極102と接続バンプ504aとに亘って延在させることで、半導体チップ501aの第2の貫通電極502aの接合部である接続バンプ504aを所定の位置に設定することが可能となる。また、第1の導電膜201は、半導体プロセスによって形成され、例えば、導電膜をスパッタリングにより半導体基板101の第1の面111の全面に形成し、フォトリソエッチングでパターンングすることで形成される。これにより、半導体基板101の配線幅は5 $\mu$ m程度にすることができ、半導体装置001の多ピン化や高機能化にも対応することが可能となる。

10

**【0016】**

第2の面112には、第1の貫通電極102と接続する第3の部分と第1の導電体301と接続する第4の部分とを備えた第2の導電膜202が形成されている。第2の導電膜202を第1の貫通電極102と第1の導電体301とに亘って延在させることで第1の導電体301を所定の位置に設定することが可能となる。なお、第2の導電膜202は、第1の導電膜201と同様の構成を有するものとする。

**【0017】**

第1の導電体301の第4の面312には、外部接続端子303が接続されている。外部接続端子303は、実装の際に実装基板401と接続される。外部接続端子303は、例えば、半田、鉛フリー半田、鉛スズ等の導電体で構成されている。なお、図2では外部接続端子303は球形としているが、例えば、第1の導電体301の第4の面312にメッキ層を形成し、メッキ層を外部接続端子303としても良い。

20

**【0018】**

半導体基板101に搭載された半導体チップ501aには、回路素子503aを有する第5の面511aと第6の面512aとを貫通する第2の貫通電極502aが形成されている。第2の貫通電極502aは、第5の面511a上に形成された配線を介して回路素子503aと接続されている。第2の貫通電極502aは、導電体により構成されており、例えば、銅、アルミニウム、ポリシリコン等で構成されている。また、第2の貫通電極502aは、第2の貫通電極502aの端部が第5の面511aと第6の面512aに、少なくとも一部が露出するように形成されていれば良いので、第2の貫通電極502aの断面形状は特に指定されない。第2の貫通電極502aは、半導体プロセスにより形成される。これにより、回路素子503aの作製工程と同様の工程で形成できるため、製造コストを大幅に増やすことなく第2の貫通電極502aを作製することが可能となる。

30

**【0019】**

半導体チップ501aの第2の貫通電極502aの両端部には、それぞれ接続バンプ504a、接続バンプ504bが形成されている。接続バンプ504a、接続バンプ504bは、例えば、半田もしくは鉛フリー半田、銅、金等の導電体により構成されている。

**【0020】**

次に、半導体チップ501aに搭載された半導体チップ501bには、回路素子503bを有する第5の面511bと第6の面512bとを貫通する第2の貫通電極502bが形成されている。なお、半導体チップ501b、第2の貫通電極502bは、半導体チップ501a、第2の貫通電極502aと同様の構成を有するものとする。

40

**【0021】**

半導体チップ501bの第5の面511bには、第2の貫通電極502b、及び半導体チップ501aの接続バンプ504bと接続された接続バンプ504cが形成されている。なお、接続バンプ504cは、接続バンプ504a、接続バンプ504bと同様の構成を有するものとする。

**【0022】**

以上のように、半導体基板101と半導体チップ501aと半導体チップ501bとの

50



信号伝送を第2の貫通電極502a、第2の貫通電極502bを介して行うことで、半導体基板101と半導体チップ501aと半導体チップ501bとをワイヤーを介して接続する半導体装置と比較すると、半導体基板101と半導体チップ501aとの間、及び半導体チップ501aと半導体チップ501bとの間の配線長を短くすることができる。このため、回路素子503a、回路素子503bの信号伝送を高速に行うことが可能となり、かつ、実装密度を向上させることが可能となる。また、半導体基板101と半導体チップ501aと半導体チップ501bとの接続は、第2の貫通電極502a、第2の貫通電極502bを介して行うため、回路素子503a、503bが形成される面は特に指定されない。例えば、回路素子503aが半導体チップ501aの第5の面511aに形成されており、回路素子503bが半導体チップ501bの第6の面512bに形成されていても良い。

10

#### 【0023】

半導体基板101と半導体チップ501aとの間及び半導体チップ501aと半導体チップ501bの間には、半導体基板101の第1の導電膜201、接続バンプ504aと接続バンプ504bと接続バンプ504cの側部、第2の貫通電極502a、第2の貫通電極502b、回路素子503a、及び、回路素子503bとを被覆するように封止層601が形成されている。封止層601は、絶縁体で構成されており、例えばエポキシ等の固形樹脂、液状樹脂等で構成されている。これにより、所定の部位以外の場所で、第1の導電膜201、回路素子503a、回路素子503b、接続バンプ504a、接続バンプ504b、接続バンプ504cが接触し、ショートする可能性を低減することができる。また、第1の導電膜201、回路素子503a、回路素子503b、接続バンプ504a、接続バンプ504b、接続バンプ504cの一部が断線する可能性を低減することができる。さらに、封止層601は、接続バンプ504aを形成することで設けられた半導体基板101と半導体チップ501aとの間の空間と、接続バンプ504b、接続バンプ504cを形成することで設けられた半導体チップ501aと半導体チップ501bとの間の空間とを充填するように形成されていることが望ましい。これにより、半導体装置001のリフロー耐性が向上することが可能となる。

20

#### 【0024】

半導体基板の第1の面111及び半導体チップ501a、半導体チップ501bのまわりには、封止体602が、少なくとも半導体チップ501a、半導体チップ501bと第1の面111と第1の導電膜201とを被覆するように形成されている。封止体602は、絶縁体であり、例えば、エポキシ樹脂等の樹脂で構成されている。これにより、所定の部位以外の場所で第1の導電膜201が接触し、ショートする可能性を低減することができる。また、第1の導電膜201の一部が断線する可能性を低減することができる。さらに、封止体602は、封止層601によって封止された半導体チップ501aと半導体基板101との間の空間や半導体チップ501aと半導体チップ501bとの間の空間のうち、封止漏れの可能性のある部分についても封止するように形成されるため、半導体装置001のリフロー耐性を向上させることも可能である。また、封止体602に、ガラス粒子を混入することが望ましい。ガラス粒子を混入すると、ウエハを個片化する際に切断面が粗くなるが、リフロー耐性の向上、及び半導体装置001の反りの低減が可能となる。つまり、個片化加工のし易さは、リフロー耐性の向上、及び半導体装置001の反りの低減とはトレードオフの関係にある。これにより、ガラス粒子を混入することで、リフロー耐性、反り、個片化加工のし易さの三つを所定の条件に設定することが可能となる。さらに、封止体602にセラミックを含むことが望ましい。これにより、半導体装置001の放熱性を向上させることが可能となる。

30

40

#### 【0025】

次に、本発明の第1の実施の形態の変形例について説明する。図3は本発明の第1の実施の形態における半導体装置001の構造の変形例を示す平面図であり、図4は図3の線4-4'での断面図である。なお、図3については、第1の実施の形態の変形例における半導体装置001の構成を理解しやすくするため、半導体チップ501、及び第1の導電

50

膜 201 を透視した平面図としている。

【0026】

本実施形態の変形例では、応力緩和部 300 は、図 4 に示すように、半導体基板 101 の第 2 の面 112 に第 1 の貫通電極 102 の表面の少なくとも一部を露出するように形成され、弾力性を有する第 1 の絶縁物 321 と、第 2 の面 112 に形成され、第 1 の貫通電極 102 と接続された第 5 の部分と、外部接続端子 303 と第 1 の絶縁物 321 との間に形成される第 6 の部分とを備え、可撓性を具備する第 1 の導電体 322 とを有している。

【0027】

応力緩和部 300 は上記のような構成を有するため、線膨張係数が異なる半導体基板 101 と実装基板 401 との間に熱膨張や熱収縮の応力が発生しても、第 1 の絶縁物 321 が変形することで第 1 の導電体 322 が変形することができ、外部接続端子 303 の位置を第 2 の面 112 方向に変位することができる。これにより、熱処理を伴う実装の際に発生する応力を緩和することが可能となり、実装時に発生する外部接続端子 303 のクラック等による接続不良を防ぐことができる。また、第 1 の絶縁物 321 は、弾力性のある材料、例えばエポキシ樹脂等で構成されており、第 1 の絶縁物 321 の形状は、図 4 のように、例えば突部状が望ましい。また、第 1 の導電体 322 は、例えば銅等で構成されている。

なお、応力緩和部 300 以外の構成については、第 1 の実施の形態と同様の構成を有するものとする。

【0028】

(第 2 の実施の形態)

本発明の第 1 の実施の形態の半導体装置の製造方法を本発明の第 2 の実施の形態として説明する。説明を容易にするため、半導体チップ 501 a、半導体チップ 501 b にそれぞれ第 2 の貫通電極 502 a、第 2 の貫通電極 502 b、接続パンプ 504 a、接続パンプ 504 b、接続パンプ 504 c が形成されるまでの工程(半導体基板 101 に搭載される前に行われる半導体チップ 501 a、半導体チップ 501 b の製造工程)を第 1 の工程と称し、それ以降の工程を第 2 の工程と称し、それぞれ説明する。第 1 の工程は図 5 で示され、第 2 の工程は図 6、図 7 で示されている。

【0029】

まず、第 2 の実施の形態の第 1 の工程について説明する。なお、以下では、半導体チップ 501 a に第 2 の貫通電極 502 a、接続パンプ 504 a、接続パンプ 504 b を形成する工程のみを説明し、同様の工程である半導体チップ 501 b に第 2 の貫通電極 502 b、接続パンプ 504 c を形成する工程については省略する。

【0030】

まず、図 5 (a) に示すように、区画された複数の回路素子領域を有するウエハ 500 を準備する。

次に、ウエハ 500 の回路素子 503 a を有する第 5 の面 511 a に溝部 701 を形成する。溝部 701 は、例えば、フォトリソエッチングによりマスクを作製した後、ドライエッチングで形成される。溝部 701 の深さは、例えば、ウエハの厚さ 760  $\mu\text{m}$  に対して 100  $\mu\text{m}$  以上である。また、溝部 701 の径は、例えば、10 ~ 20  $\mu\text{m}$  である。

【0031】

次に、図 5 (b) に示すように、絶縁膜 702 で溝部 701 の側面及び底面を被覆する。絶縁膜 702 は、例えば、酸化シリコン等の絶縁体で構成されている。絶縁膜 702 は、化学気相成長法 (Chemical Vapor Deposition, CVD) 等により形成される。

さらに、絶縁膜 702 で被覆された溝部 701 を第 3 の導電膜 703 で被覆することが望ましい。第 3 の導電膜 703 は、例えば銅等の導電体で構成されている。第 3 の導電膜 703 は、CVD 等により形成され、電解メッキ法により形成される第 2 の導電体 704 の下地となる。

【0032】

10

20

30

40

50

次に、絶縁膜702、第3の導電膜703で被覆された溝部701を充填するように第2の導電体704を形成する。第2の導電体704は、例えば、銅やアルミニウム、ポリシリコン等の導電体で構成されている。第2の導電体704は、フォトリソエッチングにより溝部701を除く位置にマスクを形成したのち、電解メッキ法により溝部701に導電体を充填することで形成される。また、別の形成方法として、溝部701が形成されている第5の面511aに、電界メッキ法により溝部701が充填するまで第2の導電体704を堆積したのち、機械的研磨や化学的機械的研磨(Chemical Mechanical Polishing, CMP)等により、溝部701以外に形成された第2の導電体704を除去できるまで、第5の面511aを研磨する方法もある。

#### 【0033】

次に、溝部701の第2の導電体704と回路素子503aとを電氣的に接続する配線を、第5の面511aに形成する(図示せず)。例えば、銅、アルミニウム等の導電膜をCVD等によりウエハ500の第5の面511aに形成し、フォトリソエッチングでパターンニングすることで、溝部701の第2の導電体704と回路素子503aとを接続させる配線を形成することが可能となる。さらに、回路素子503aの形成工程で、予め電極パッドを形成しておき、電極パッド部分に溝部701、絶縁膜702、導電膜703、第2の導電体704を形成することが望ましい。これにより、第2の導電体704を形成した後、回路素子503aと電氣的に接続する配線を形成する工程を省くことが可能となる。

#### 【0034】

次に、第5の面511aに、溝部701の第2の導電体704と接続する接続パンプ504aを形成する。接続パンプ504aは、フォトリソエッチングにより第2の導電体704を除く位置にマスクを形成し、スパッタリング、メッキ等で第2の導電体704の上面に導電体を形成したのち、マスクを取り除くことで形成される。

#### 【0035】

次に、図5(c)に示すように、第5の面511aに形成された接続パンプ504aを支持台402に取り付け、第6の面512aを、少なくとも第2の導電体704が露出するまで研磨する。この研磨は、例えば、機械的研磨や化学的機械的研磨により行われる。溝部701の第2の導電体704が露出することにより、第2の貫通電極502aを形成することができる。第2の貫通電極502aの形成工程は、回路素子503aの形成工程と同様に半導体プロセスにより形成できるため、製造コストを大幅に増やすことなく第2の貫通電極502aを作製することが可能となる。さらに、個片化することで半導体チップ501aとなるウエハ500の厚さが20~100 $\mu\text{m}$ になるように研磨することが望ましい。上記の条件で研磨を行うことで、半導体チップ501aが割れることを防ぐことができ、かつ半導体チップ501aの薄片化が可能となり半導体装置001の実装密度を高めることが可能となる。

#### 【0036】

次に、図5(d)に示すように、第6の面512aに、第2の貫通電極502aと接続する接続パンプ504bを形成する。なお、接続パンプ504bの作製方法については、接続パンプ504aと同様の方法を有する。

#### 【0037】

最後に、図5(e)に示すように、複数の回路素子領域が形成されたウエハ500を、例えば機械的な工程により、各回路素子領域ごとに個片に分割することで、接続パンプ504a、接続パンプ504bと接続した半導体チップ501aが形成される。

#### 【0038】

なお、上記の第1の工程では、第5の面511aに接続パンプ504aを形成後、第6の面512aを研磨し、第6の面512aに接続パンプ504aを形成しているが、第6の面512aを研磨した後、第5の面511aと第6の面512aにそれぞれ接続パンプ504a、504bを形成しても良い。また、半導体チップ501aは、第2の貫通電極502aを介して、半導体チップ501bや半導体基板101との接続しているため、回

10

20

30

40

50

路素子503aは第5の面511a、第6の面512aのどちらに形成されていても良い。

#### 【0039】

次に、第2の実施の形態の第2の工程について説明する。

まず、図6(a)に示すように、半導体チップ501a、半導体チップ501bが搭載される複数のチップ領域を有するウエハ100を準備する。

#### 【0040】

次に、ウエハ100に第1の貫通電極102を形成する。なお、ウエハ100の第1の貫通電極102の作製方法は、本実施形態のウエハ500の第2の貫通電極502aの作製方法と同様の方法である。さらに、個片化することで半導体基板101となるウエハ100の厚さが200~500 $\mu\text{m}$ になるように研磨することが望ましい。上記の条件で研磨を行うことで、半導体チップ501a、半導体チップ501bの積層時に半導体基板101が撓むことを防ぐことができ、かつ半導体基板101の薄片化が可能となり半導体装置001の実装密度を高めることが可能となる。

10

#### 【0041】

次に、ウエハ100の第1の面111に第1の導電膜201を形成する。導電膜をスパッタリングにより、ウエハ100の第1の面111に形成し、フォトリソエッチングでパターンニングすることによって、ウエハ100の第1の面111に第1の導電膜201を形成する。

次に、ウエハ100を裏返した後、ウエハ100の第2の面112に第2の導電膜202を形成する。導電膜をスパッタリングにより、ウエハ100の第2の面112に形成し、フォトリソエッチングでパターンニングすることによって、ウエハ100の第2の面112に第2の導電膜202を形成する。

20

#### 【0042】

次に、図6(b)に示すように、ウエハ100の第2の面112に、第2の導電膜202と接続する第1の導電体301を形成する。フォトリソエッチングによりマスクをパターンニングし、その後、電解メッキ法により所定の位置に導電体を堆積し、その後、マスクを除去することで、第1の導電体301を形成する。

次に、第2の導電膜202、第1の導電体301が形成されているウエハ100の第2の面112に第1の絶縁物302、例えば、樹脂を形成する。このとき、ウエハ100の第2の面112と第2の導電膜202と第1の導電体301を覆うように第1の絶縁物302を形成する。

30

#### 【0043】

次に、図6(c)に示すように、第1の絶縁物302を、第1の導電体301の第4の面312が露出するように研磨する。研磨は、例えば、機械的研磨や化学的機械的研磨により行われる。上記のように第1の導電体301、第1の絶縁物302を形成することで、第1の導電体301と第1の絶縁物302からなる応力緩和部300が作製される。さらに、ウエハ100の第2の面112と第1の導電体301の第4の面312との距離が50~200 $\mu\text{m}$ となるように研磨することが望ましい。上記の条件で研磨を行うことで、実装後の接続不良を低減することができ、かつ応力緩和部300の薄片化が可能となり半導体装置001の実装密度を高めることが可能となる。

40

#### 【0044】

次に、ウエハ100を裏返した後、図6(d)に示すように、ウエハ100の第1の面111に、ウエハ100の複数のチップ領域ごとに半導体チップ501aを搭載する。このとき、第1の導電膜201と接続パンプ504aが接続するように形成する。さらに、半導体チップ501aの第6の面512aに、半導体チップ501bを搭載する。このとき、半導体チップ501aの接続パンプ504bと半導体チップ501bの接続パンプ504cとが接続するように形成する。

#### 【0045】

次に、ウエハ100、半導体チップ501a、半導体チップ501bの側部から、封止

50

層601をウエハ100と半導体チップ501aとの間、及び半導体チップ501aと半導体チップ501bとの間に注入する。このときの封止層601は例えば、液状樹脂で構成されている。また、半導体チップ501a、半導体チップ501bを搭載してから、一括して封止層601を注入しても良いし、半導体チップ501a、半導体チップ501bを、随時、封止層601を注入ながら積層、接続しても良い。

#### 【0046】

また、封止層601の形成方法には以下の方法もある。まず、封止層601をあらかじめ半導体チップ501a、半導体チップ501bの片面もしくは両面に塗布しておく。このとき、少なくとも回路素子503a(図示せず)、回路素子503b(図示せず)と接続パンプ504a、接続パンプ504b、接続パンプ504cの側部が被覆していれば良

10

#### 【0047】

次に、図7(a)に示すように、ウエハ100の第1の面111と第1の導電膜201と半導体チップ501aと半導体チップ501bとを被覆するように封止体602を形成する。

#### 【0048】

次に、図7(b)に示すように、封止体602の上面を研磨する。この研磨は、例えば、機械的研磨や化学的機械的研磨により行われる。さらに、半導体チップ501bの第6の面512bと封止体602の上面との距離が100 $\mu$ m以下になるように研磨することが望ましい。これにより、半導体装置001の実装密度を高めることが可能となる。なお、半導体チップ501bの第6の面512bと封止体602の上面との距離が100 $\mu$ m以下になるように、予め封止体602を形成しても良い。これにより、封止体602を研磨する工程を省くことが可能となる。

20

#### 【0049】

次に、図7(c)に示すように、第1の導電体301の第4の面312と接続する外部接続端子303を形成する。

#### 【0050】

最後に、図7(d)に示すように、例えば機械的な工程により、ウエハ100をチップ領域ごとに個片化することで、半導体基板101に半導体チップ501a、半導体チップ501bが積層された半導体装置001が得られる。なお、以上の工程では、半導体チップ501a、半導体チップ501bを搭載する前に、第2の面112に形成された第1の絶縁物302を、第1の導電体301が露出するまで研磨するが、半導体チップ501a、半導体チップ501bを搭載、第1の面111に封止体602を形成した後に研磨を行っても良い。

30

#### 【0051】

次に、本発明の第1の実施の形態の変形例に対応する製造方法を第2の実施の形態の変形例として説明する。なお、半導体チップ501a、半導体チップ501bに第2の貫通電極502a、第2の貫通電極502b、接続パンプ504a、接続パンプ504b、接続パンプ504cが形成されるまでの工程(半導体基板101に搭載される前に行われる半導体チップ501a、半導体チップ501bの製造工程)である第1の工程は第2の実施の形態と同様のため省略し、それ以降の工程である第2の工程のみ説明する。第2の工程は図8、図9で示されている。

40

#### 【0052】

まず、図8(a)に示すように、半導体チップ501a、半導体チップ501bが搭載される複数のチップ領域を有するウエハ100を準備する。

次に、ウエハ100に第1の貫通電極102を形成する。なお、第1の貫通電極102の作製方法は、本発明の第2の実施の形態と同様の方法である。

次に、ウエハ100を裏返した後、ウエハ100の第1の面111に第1の導電膜20

50

1を形成する。なお、第1の導電膜201の作製方法は、本発明の第2の実施の形態と同様の方法である。

【0053】

次に、図8(b)に示すように、ウエハ100の第2の面112に、第1の絶縁物321、例えば樹脂を形成する。このとき、第1の貫通電極102の少なくとも一部を露出するように形成される。

次に、第2の面112に、第1の貫通電極102と接続され、かつ、少なくとも第1の絶縁物321の上面を被覆するように第1の導電体322を形成する。

次に、第2の面112及び第1の絶縁物321上に、第2の絶縁物323、例えば、樹脂を形成する。このとき、ウエハ100の第2の面112と第1の導電体322が覆われるように、第2の絶縁物323を形成する。

【0054】

次に、図8(c)に示すように、第2の絶縁物323を、第1の導電体322の上部が露出するように研磨する。この研磨は、例えば、機械的研磨や化学的機械的研磨により行われる。

【0055】

次に、ウエハ100を裏返した後、図8(d)に示すように、ウエハ100の第1の面111に、ウエハ100の複数のチップ領域ごとに半導体チップ501a、半導体チップ501bを順次搭載し、接続パンプ504a、接続パンプ504b、接続パンプ504cを介して第1の貫通電極102、第2の貫通電極502a、第2の貫通電極502bをそれぞれ接続する。なお、半導体チップ501a、半導体チップ501bの搭載方法や接続方法は、本発明の第2の実施の形態と同様の方法である。

【0056】

次に、ウエハ100、半導体チップ501a、半導体チップ501bの側部から、封止層601をウエハ100と半導体チップ501aとの間、及び半導体チップ501aと半導体チップ501bとの間に注入する。なお、封止層601の作製方法は、本発明の第2の実施の形態と同様の方法である。

【0057】

次に、図9(a)に示すように、ウエハ100の第1の面111と第1の導電膜201と半導体チップ501a、半導体チップ501bを被覆するように封止体602を形成する。なお、封止体602の作製方法は、本発明の第2の実施の形態と同様の方法である。

【0058】

次に、図9(b)に示すように、封止体602の上面を研磨する。なお、封止体602の研磨方法は、本発明の第2の実施の形態と同様の方法である。

【0059】

次に、図9(c)に示すように、第2の絶縁物323から露出した第1の導電体322と接続する外部接続端子303を形成する。

【0060】

最後に、図9(d)に示すように、ウエハ100をチップ領域ごとに個片化することで、半導体基板101に半導体チップ501a、半導体チップ501bが積層された半導体装置001が得られる。なお、ウエハ100を個片に分割する方法は、本発明の第2の実施の形態と同様の方法である。

【図面の簡単な説明】

【0061】

【図1】第1の実施の形態の半導体装置の構造を説明する平面図である。

【図2】第1の実施の形態の半導体装置の構造を説明する断面図である。

【図3】第1の実施の形態の変形例である半導体装置の構造を説明する平面図である。

【図4】第1の実施の形態の変形例である半導体装置の構造を説明する断面図である。

【図5】第2の実施の形態の半導体装置の製造方法における第1の工程を説明する工程図である。

10

20

30

40

50

【図6】第2の実施の形態の半導体装置の製造方法における第2の工程を説明する工程図である。

【図7】第2の実施の形態の半導体装置の製造方法における第2の工程を説明する工程図である。

【図8】第2の実施の形態の変形例である半導体装置の製造方法における第2の工程を説明する工程図である。

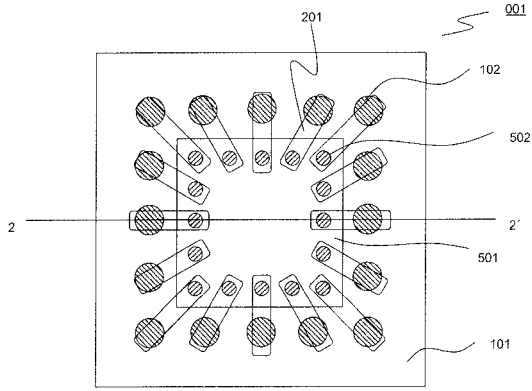
【図9】第2の実施の形態の変形例である半導体装置の製造方法における第2の工程を説明する工程図である。

【符号の説明】

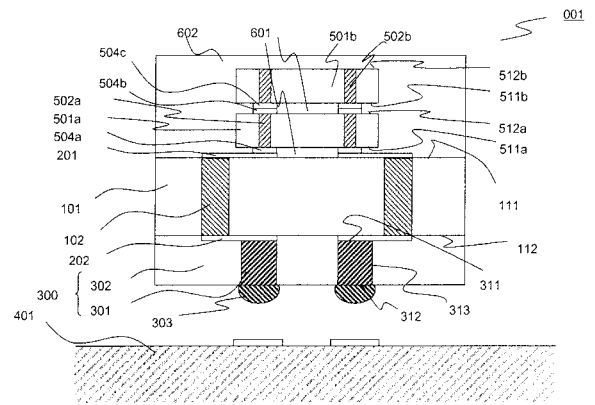
【0062】

|                |         |     |
|----------------|---------|-----|
| 001            | 半導体装置   | 10  |
| 100、500        | ウエハ     |     |
| 101            | 半導体基板   |     |
| 102            | 第1の貫通電極 |     |
| 201            | 第1の導電膜  |     |
| 202            | 第2の導電膜  |     |
| 111            | 第1の面    |     |
| 112            | 第2の面    |     |
| 300            | 応力緩和部   |     |
| 301、321        | 第1の導電体  | 20  |
| 302、322        | 第1の絶縁物  |     |
| 303            | 外部接続端子  |     |
| 311            | 第3の面    |     |
| 312            | 第4の面    |     |
| 313            | 側面      |     |
| 323            | 第2の絶縁物  |     |
| 401            | 実装基板    | 401 |
| 402            | 支持台     | 402 |
| 501a、501b      | 半導体チップ  |     |
| 502a、502b      | 第2の貫通電極 | 30  |
| 503a、503b      | 回路素子    |     |
| 504a、504b、504c | 接続バンプ   |     |
| 511a、511b      | 第5の面    |     |
| 512a、512b      | 第6の面    |     |
| 601            | 封止層     |     |
| 602            | 封止体     |     |
| 701            | 溝部      |     |
| 702            | 絶縁膜     |     |
| 703            | 第3の導電膜  |     |
| 704            | 第2の導電体  | 40  |

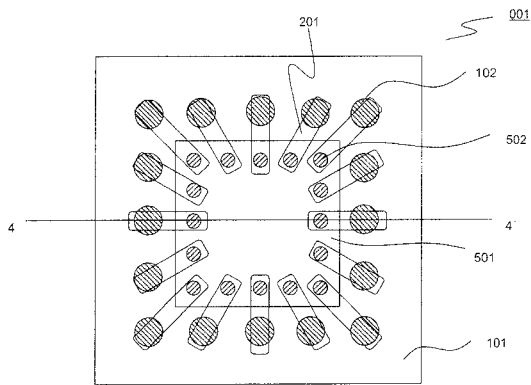
【 図 1 】



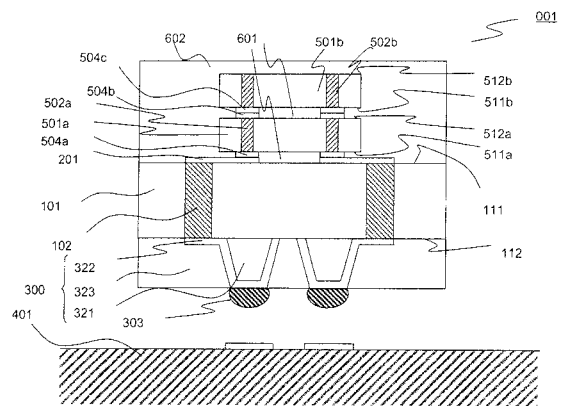
【 図 2 】



【 図 3 】

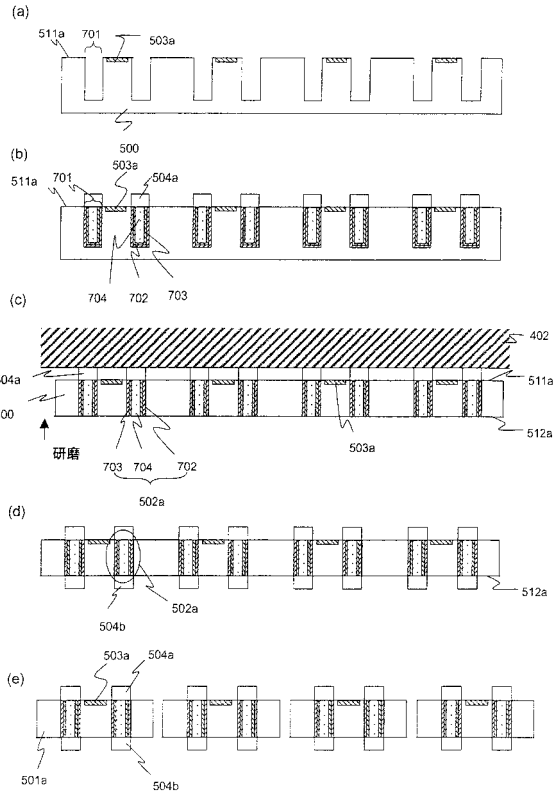


【 図 4 】

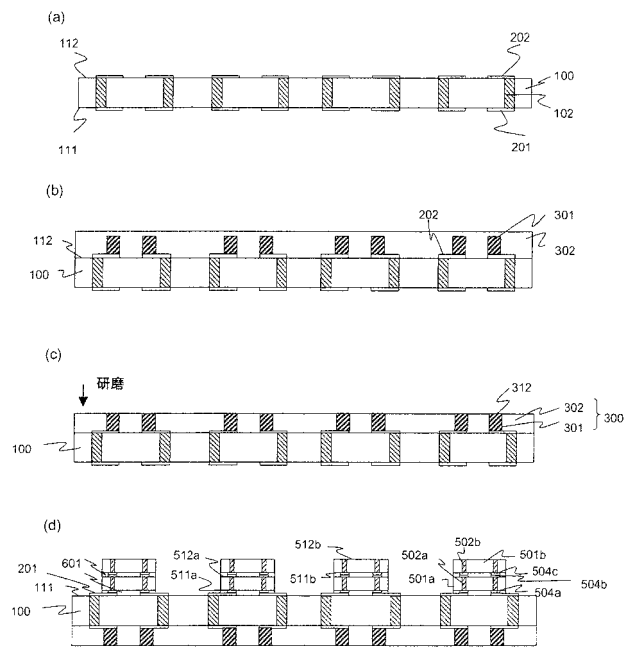




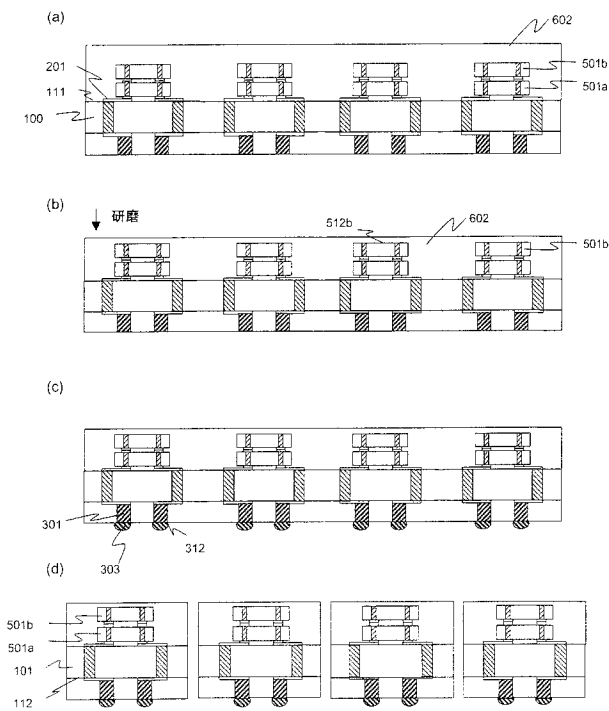
【 図 5 】



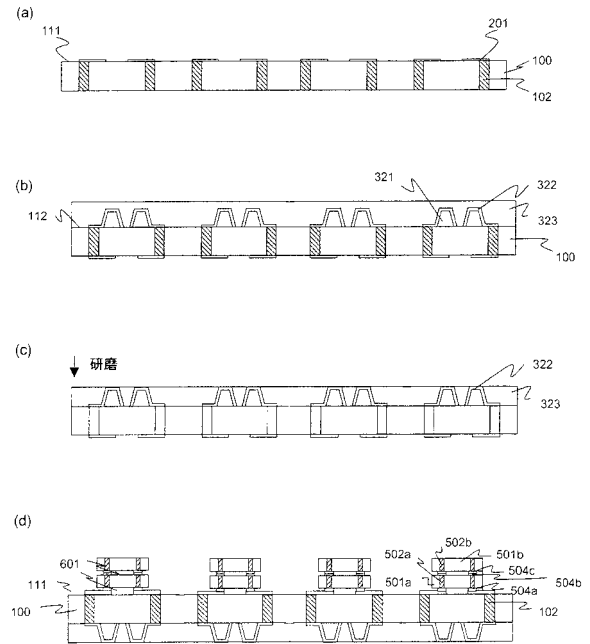
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

