



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0104244
(43) 공개일자 2010년09월29일

(51) Int. Cl.

H05K 1/18 (2006.01) H01L 23/12 (2006.01)

(21) 출원번호 10-2009-0022532

(22) 출원일자 2009년03월17일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 남대문로5가 541 서울스퀘어

(72) 발명자

윤혜선

경기도 안산시 상록구 사동 1271번지 LG소재부품 연구소 LG마이크론

이민석

경기도 안산시 상록구 사동 1271번지 LG소재부품 연구소 LG마이크론

(74) 대리인

서교준

전체 청구항 수 : 총 3 항

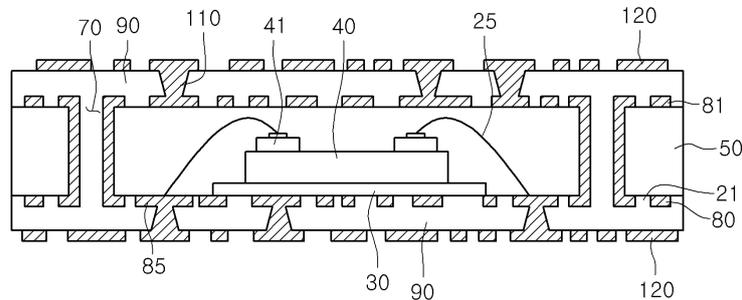
(54) 인쇄회로기판 및 그 제조 방법

(57) 요약

본 발명은 인쇄회로기판 및 그 제조방법에 관한 것이다.

실시에에 따른 인쇄회로기판의 제조방법은 제1 금속층이 형성된 캐리어가 준비되는 단계; 상기 제1 금속층 상에 칩을 부착하는 단계; 상기 칩의 연결단자와 제1 금속층을 연결와이어에 의해 연결하는 단계; 상기 제1 금속층 및 상기 칩 상에 절연층을 형성하고, 상기 절연층 상에 제2 금속층을 형성하는 단계; 상기 캐리어를 제거하는 단계; 및 상기 제1 금속층 및 제2 금속층을 선택적으로 제거하여 연결회로패턴을 포함하는 제1 회로패턴 및 제2 회로패턴을 형성하는 단계를 포함한다.

대표도 - 도11



특허청구의 범위

청구항 1

제1 금속층이 형성된 캐리어가 준비되는 단계;
 상기 제1 금속층 상에 칩을 부착하는 단계;
 상기 칩의 연결단자와 제1 금속층을 연결와이어에 의해 연결하는 단계;
 상기 제1 금속층 및 상기 칩 상에 절연층을 형성하고, 상기 절연층 상에 제2 금속층을 형성하는 단계;
 상기 캐리어를 제거하는 단계; 및
 상기 제1 금속층 및 제2 금속층을 선택적으로 제거하여 연결회로패턴을 포함하는 제1 회로패턴 및 제2 회로패턴을 형성하는 단계를 포함하는 인쇄회로기판 제조 방법.

청구항 2

제 1항에 있어서,
 상기 제1 금속층 상에 칩을 부착하는 단계 이전에,
 상기 제1 금속층을 선택적으로 제거하여 위치결정홈을 형성하는 단계를 포함하고,
 상기 연결회로패턴이 형성되는 위치는 상기 위치결정홈을 기준으로 하여 결정되는 것을 특징으로 하는 인쇄회로기판 제조 방법.

청구항 3

연결회로패턴을 포함하는 제1 회로패턴;
 상기 제1 회로패턴 상에 칩;
 상기 제1 회로패턴에 형성된 위치결정홈;
 상기 칩의 연결단자와 상기 연결회로패턴을 연결하는 연결와이어;
 상기 칩 및 제1 회로패턴 상에 절연층; 및
 상기 절연층 상에 제2 회로패턴을 포함하는 인쇄회로기판.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 인쇄회로기판 및 그 제조방법에 관한 것이다.

배경기술

- [0002] 최근 전자 제품이 미세화, 패키지화, 소형화되는 추세에 따라, 미세화, 패키지화, 소형화된 인쇄회로기판에 대한 수요도 증가하고 있다.
- [0003] 이에 따라, 인쇄회로기판에 칩을 내장한 내장형(Embedded) 인쇄회로기판에 대한 수요도 증가하고 있다.
- [0004] 내장형 인쇄회로기판을 제조하는 공정에는, 상기 인쇄회로기판에 내장되는 칩과, 상기 인쇄회로기판의 회로 패턴들을 연결하는 공정이 포함된다.
- [0005] 칩에는 베어 칩(Bare Chip)과, 상기 베어 칩에 재배선층이 형성된 웨이퍼 레벨 패키지 단계의 칩(Wafer Level Package : WLP)이 있을 수 있다. 그런데 베어 칩의 경우, 외부 회로나 소자 등과 연결되기 위한 연결단자가 너무 작거나, 연결단자 간의 피치(Pitch)가 좁아서 회로 패턴과의 연결이 어려운 문제가 있다. 따라서, 상기 베어 칩에 추가적으로 재배선층을 형성하여, 이러한 문제를 해결해왔으나, 상기 재배선층을 형성하는 추가적인

공정이 필요하여, 제조 공정이 효율적이지 못하고 수율이 떨어지며, 제조 단가가 상승하는 문제가 있다.

[0006] 따라서, 상기 베어 칩을 사용하여 외부 회로나 소자를 연결할 수 있는 인쇄회로기판의 제조 방법이 개발될 필요가 있다.

발명의 내용

해결 하고자하는 과제

[0007] 실시예는 새로운 구조의 인쇄회로기판 및 그 제조방법을 제공한다.

[0008] 실시예는 칩과 회로패턴을 간단한 공정에 의해 연결하는 인쇄회로기판 및 그 제조방법을 제공한다.

과제 해결수단

[0009] 본 발명은 인쇄회로기판 및 그 제조방법에 관한 것이다.

[0010] 실시예에 따른 인쇄회로기판은 연결회로패턴을 포함하는 제1 회로패턴; 상기 제1 회로패턴 상에 칩; 상기 제1 회로패턴에 형성된 위치결정홈; 상기 칩의 연결단자와 상기 연결회로패턴을 연결하는 연결와이어; 상기 칩 및 제1 회로패턴 상에 절연층; 및 상기 절연층 상에 제2 회로패턴을 포함한다.

[0011] 실시예에 따른 인쇄회로기판의 제조방법은 제1 금속층이 형성된 캐리어가 준비되는 단계; 상기 제1 금속층 상에 칩을 부착하는 단계; 상기 칩의 연결단자와 제1 금속층을 연결와이어에 의해 연결하는 단계; 상기 제1 금속층 및 상기 칩 상에 절연층을 형성하고, 상기 절연층 상에 제2 금속층을 형성하는 단계; 상기 캐리어를 제거하는 단계; 및 상기 제1 금속층 및 제2 금속층을 선택적으로 제거하여 연결회로패턴을 포함하는 제1 회로패턴 및 제2 회로패턴을 형성하는 단계를 포함한다.

효과

[0012] 실시예는 새로운 구조의 인쇄회로기판 및 그 제조방법을 제공할 수 있다.

[0013] 실시예는 칩의 연결단자가 작거나, 회로패턴이 미세한 경우에도, 연결와이어에 의해 간단하고 효율적으로 칩과 회로패턴을 연결하는 인쇄회로기판 및 그 제조방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 본 발명에 따른 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0015] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0016] 도 1 내지 도 11은 본 발명의 실시예에 따른 인쇄회로기판 및 그 제조방법을 설명한 도면이다.

[0017] 먼저, 도 11을 참조하면, 도 11에 도시된 인쇄회로기판은 본 발명의 바람직한 일 실시예에 따라 제조된 인쇄회로기판이다.

[0018] 상기 인쇄회로기판은, 연결회로패턴(85)을 포함하는 제1 회로패턴(80); 상기 제1 회로패턴(80) 상에 부착된 칩(40); 상기 칩(40)의 연결단자(41)와 상기 연결회로패턴(85)을 연결하는 연결와이어(25); 상기 칩(40) 및 제1 회로패턴(80) 상에 형성된 제1 절연층(50); 상기 제1 절연층(50) 상에 형성된 제2 회로패턴(81); 상기 제1, 제2 회로패턴(80)(81) 및 제1 절연층(50)을 관통하는 제1 도전비아(70); 상기 제1, 제2 회로패턴(80)(81) 및 제1 도전비아(70)에 형성된 제2 절연층(90); 상기 제2 절연층(90) 상에 형성된 제3 회로패턴(120); 제1, 제2 회로패턴(80)(81)과 제3 회로패턴(120)을 연결하는 제2 도전비아(110)를 포함한다.

[0019] 이하, 도 1 내지 도 11을 참조하여, 실시예에 따른 인쇄회로기판 및 그 제조방법에 대해 보다 상세히 설명하도록 한다.

[0020] 도 1을 참조하면, 제1 금속층(20)이 형성된 캐리어(10)가 준비된다.

- [0021] 상기 제1 금속층(20)은 금속, 예를 들어, 구리(Cu), 주석(Sn), 알루미늄(Al), 니켈(Ni), 금(Au), 은(Ag) 중 적어도 어느 하나로 형성될 수 있다.
- [0022] 상기 제1 금속층(20)은 상기 캐리어(10) 상에 전체적으로 형성되어 준비될 수 있다.
- [0023] 또는 상기 제1 금속층(20)은 상기 캐리어(10)가 준비된 후, 스퍼터링 공정, 도금 공정 및 적층 공정 등을 통해 형성될 수 있다.
- [0024] 상기 캐리어(10)는 금속 또는 수지 재질로 형성될 수 있다. 다만, 상기 캐리어(10)는 상기 제1 금속층(20)과 다른 재질로 형성된다.
- [0025] 도 2를 참조하면, 상기 제1 금속층(20)을 선택적으로 제거하여, 위치결정홈(21)을 형성할 수 있다. 상기 위치결정홈(21)은 상기 인쇄회로기판에 형성될 제1 회로패턴(80) 및 연결회로패턴(85)을 형성하는 위치, 칩(40)을 부착하는 위치 등에 대한 기준이 될 수 있다. 더 상세한 내용은 해당 공정에서 후술한다.
- [0026] 상기 위치결정홈(21)은 상기 제1 금속층(20) 상에 포토레지스트 패턴(미도시)을 형성한 후, 상기 포토레지스트 패턴(미도시)을 마스크로 하여, 상기 제1 금속층(20)에 에칭을 실시하여 형성할 수 있다.
- [0027] 예를 들어, 상기 위치결정홈(21)은 상기 제1 금속층(20)의 가장자리에 형성될 수 있다. 즉, 상기 위치결정홈(21)은 후에 형성될 제1 회로패턴(80)에 형성될 수 있으며, 바람직하게는 상기 제1 회로패턴(80)의 가장자리에 형성될 수 있다. 하지만 상기 위치결정홈(21)의 위치는 필요에 따라 다양하게 정해질 수 있다.
- [0028] 도 3을 참조하면, 상기 제1 금속층(20) 상에 접착층(30)을 형성한 후, 상기 접착층(30) 상에 칩(40)을 부착한다.
- [0029] 상기 접착층(30)은 상기 칩(40)이 부착되는 위치에 국부적으로 형성된 것으로 도시되었으나, 필요에 따라, 상기 제1 금속층(20)에 전체적으로 도포될 수 있다.
- [0030] 상기 접착층(30)은 접착력을 가진 재질, 예를 들어, 에폭시 수지 또는 페놀 수지로 형성될 수 있다.
- [0031] 상기 칩(40)은 베어 칩(Bare Chip) 이거나, 상기 베어 칩에 재배선층을 형성한 웨이퍼 레벨 패키지(Wafer Level Package : WLP) 단계의 칩 또는 와이어 본딩(Wire Bonding)에 의해 연결될 수 있는 칩을 모두 포함할 수 있다.
- [0032] 상기 칩(40)은 상기 칩(40)을 외부 회로나 소자 등과 전기적으로 연결하는 연결단자(41)를 포함할 수 있다.
- [0033] 상기 칩(40)이 부착되는 위치는 상기 위치결정홈(21)에 의해 결정될 수 있다. 상세히 설명하면, 상기 접착층(30)을 상기 위치결정홈(21)을 기준으로, 미리 설계되어 정해진 상기 칩(40)의 부착 위치에 형성하고, 상기 접착층(30) 상에 상기 칩(40)을 부착할 수 있다.
- [0034] 도 4를 참조하면, 상기 칩(40)의 연결단자(41)와 상기 제1 금속층(20)을 연결와이어(25)에 의해 연결할 수 있다.
- [0035] 상기 연결와이어(25)와 연결되는 상기 제1 금속층(20) 상의 위치는, 상기 위치결정홈(21)에 의해 결정될 수 있다.
- [0036] 상기 연결와이어(25)와 연결되는 상기 제1 금속층(20) 상의 위치에는 후에 연결회로패턴(85)이 형성된다. 더 자세한 내용은 후술한다.
- [0037] 종래에는 칩과 회로패턴을 연결할 때, 상기 칩과 회로패턴 사이의 절연층에 도전비아를 형성하여 연결하였다.
- [0038] 그런데, 상기한 대로, 상기 칩(40)은 베어 칩(Bare Chip) 이거나, 상기 베어 칩에 재배선층을 형성한 웨이퍼 레벨 패키지(Wafer Level Package : WLP) 단계의 칩 또는 와이어 본딩으로 연결될 수 있는 모든 칩을 포함할 수 있는데, 상기 칩(40)이 베어 칩인 경우, 상기 칩(40)의 연결단자(41) 간의 간격(Pitch)이 좁고(150 μ m 이하), 상기 연결단자(41)의 너비도 좁아서(100 μ m 이하), 상기 도전비아를 형성하여 외부 회로나 소자와 연결하기가 어려운 문제가 있다.
- [0039] 그래서 종래에는 베어 칩(Bare Chip)에 추가적인 공정을 실시하여, 효율성이 떨어지더라도 상기 베어 칩에 재배선층(Redistribution Layer)을 형성함으로써, 외부 회로나 소자와의 연결을 용이하게 하였다.
- [0040] 하지만 본 발명의 실시예에 따른 인쇄회로기판은, 상기 연결와이어(25)에 의해 상기 칩(40)의 연결단자(41)와 제1 금속층(20)을 연결하므로, 상기 칩(40)이 베어 칩(Bare Chip)인 경우에도 용이하게 공정을 진행할 수

있다. 즉, 상기 칩(40)에 재배선층을 형성하는 추가적인 공정 및 상기 도전비아를 형성하는 공정이 불필요하여, 제조 공정이 간단하고 효율적인 효과가 있다.

- [0041] 상기 연결와이어(25)는 금속, 예를 들어, 구리(Cu), 주석(Sn), 알루미늄(Al), 니켈(Ni), 금(Au), 은(Ag) 중 적어도 어느 하나일 수 있다.
- [0042] 도 5를 참조하면, 상기 제1 금속층(20) 및 상기 칩(40) 상에 반경화 상태(B-stage)의 제1 절연층(50)이 준비되고, 상기 제1 절연층(50) 상에 제2 금속층(60)이 준비된다.
- [0043] 상기 제1 절연층(50)은, 상기 제1 금속층(20)의 상면 및 상기 칩(40)을 둘러싸며, 상기 칩(40)의 높이에 상응하는 제 1층(51)과, 상기 칩(40)의 상면 및 상기 제1 층(51)을 덮는 제2 층(52)을 포함한다. 또한, 상기 제 1 층(51) 및 제 2층(52)은 각각 하나의 층으로 형성되는 것에 한정되지 않고, 각각 여러 개 층으로 형성될 수 있다.
- [0044] 상기 제1 절연층(50)은 접착력과 절연성을 가진 재료로 준비될 수 있다. 예를 들어, 상기 제1 절연층(50)은 에폭시 수지, 페놀 수지 등의 수지 재료로 형성될 수 있다. 또는, 상기 제1 절연층(50)은 프리프레그(Prepreg), 폴리이미드(Polyimide) 필름, ABF 필름 등으로 형성될 수도 있다. 즉, 상기 제1 절연층(50)의 재료는 필요에 따라 다양하게 선택될 수 있다.
- [0045] 상기 제2 금속층(60)은 금속, 예를 들어, 구리(Cu), 주석(Sn), 알루미늄(Al), 니켈(Ni), 금(Au), 은(Ag) 중 적어도 어느 하나일 수 있다.
- [0046] 도 6을 참조하면, 반경화 상태로 준비된 상기 제1 절연층(50) 및 상기 제1 절연층(50) 상에 준비된 제2 금속층(60)을, 상기 제1 금속층(20) 및 상기 칩(40)과, 열 및 압력을 가해 압착한다. 이후, 상기 제1 절연층(50)을 열 및 자외선을 가해 경화시킬 수 있다.
- [0047] 상기 제1 절연층(50)은 반경화 상태로 준비되기 때문에, 상기 연결와이어(25)를 손상하지 않고, 상기 압착에 의해, 상기 칩(40) 및 상기 제1 금속층(20) 상에 형성될 수 있다.
- [0048] 또한, 상기 연결와이어(25)는 상기 제1 절연층(50)을 관통하여, 상기 칩(40)의 연결단자(41)와 상기 제1 금속층(20)을 연결하게 된다.
- [0049] 도 7을 참조하면, 상기 캐리어(10)를 제거하고, 상기 제1, 제2 금속층(20)(60) 및 제1 절연층(50)을 관통하는 제1 도전비아(70)를 형성할 수 있다.
- [0050] 상기 제1 도전비아(70)는 상기 인쇄회로기판 상면 및 하면에 형성될 회로패턴이 전기적으로 도통될 필요가 있는 경우 형성될 수 있다.
- [0051] 상기 제1 도전비아(70)는 상기 제1, 제2 금속층(20)(60) 및 제1 절연층(50)을 관통하는 비아홀(미도시)을 레이저 드릴링(Laser Drilling) 등을 사용해 형성한 후, 상기 비아홀(미도시)에 도금 공정을 실시하여 형성할 수 있다.
- [0052] 상기 도금 공정은 무전해도금(Electroless Plating)을 실시하여 씨드층(Seed Layer)를 형성한 후, 전기도금(Electro Plating)을 실시하여 형성될 수 있다.
- [0053] 도 8을 참조하면, 상기 제1, 제2 금속층(20)(60)을 선택적으로 제거하여, 상기 제1 회로패턴(80) 및 제2 회로패턴(81)을 형성한다. 상기 제1 회로패턴(80)은 연결회로패턴(85)을 포함한다.
- [0054] 상기 제1, 제2 회로패턴(80)(81) 및 연결회로패턴(85)은 상기 제1, 제2 금속층(20)(60)에 포토레지스트 패턴(미도시)을 형성한 후, 상기 포토레지스트 패턴(미도시)을 마스크로 하여, 상기 제1, 제2 금속층(20)(60)에 에칭을 실시하여 형성할 수 있다.
- [0055] 이때, 상기 제1, 제2 회로패턴(80)(81) 및 연결회로패턴(85)이 형성되는 위치는 상기 위치결정홈(21)을 기준으로 결정될 수 있다.
- [0056] 상기 연결회로패턴(85)은 상기 연결와이어(25)가 연결되는 위치에 형성되며, 상기 연결와이어(25)에 의해 상기 칩(40)의 연결단자(41)와 전기적으로 연결된다.
- [0057] 상기와 같이 상기 제1 금속층(20)을 선택적으로 제거하여 상기 제1, 제2 회로패턴(80)(81) 및 연결회로패턴(85)을 동시에 형성함으로써, 제조 공정이 간단해지는 효과가 있다.

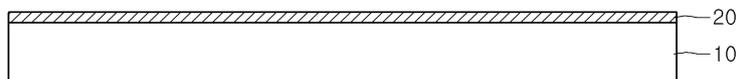
- [0058] 도 9를 참조하면, 상기 제1, 제2 회로패턴(80)(81) 및 상기 제1 도전비아(70)에 제2 절연층(90)을 형성하고, 상기 제2 절연층(90) 상에 제3 금속층(100)을 형성할 수 있다.
- [0059] 상기 제2 절연층(90)은 상기 제1 절연층(50)과 같은 재질일 수 있으므로 상세한 설명은 생략한다.
- [0060] 상기 제2 절연층(90) 및 제3 금속층(100)은, 상기 제1, 제2 회로패턴(80)(81) 상에 반경화 상태(B-stage)의 상기 제2 절연층(90)을 준비하고, 상기 제2 절연층(90) 상에 상기 제3 금속층(100)을 준비한 후, 이들을 상기 제1, 제2 회로패턴(80)(81) 및 제1 도전비아(70)에 열과 압력에 의해 압착하여 형성할 수 있다. 이후, 상기 제2 절연층(90)을 경화시킬 수 있다.
- [0061] 상기 제3 금속층(100)은 상기 제1, 제2 금속층(20)(60)과 같은 재질일 수 있다.
- [0062] 도 10을 참조하면, 상기 제3 금속층(100)과 제1, 제2 회로패턴(80)(81)이 전기적으로 연결될 필요가 있는 경우, 제2 도전비아(110)를 형성할 수 있다.
- [0063] 상기 제2 도전비아(110)는 상기 제2 절연층(90)에 비아홀(미도시)을 형성하고, 상기 비아홀(미도시)에 도금 공정을 실시하여 형성할 수 있다.
- [0064] 도 11을 참조하면, 상기 제3 금속층(100)을 선택적으로 제거하여 제3 회로패턴(120)을 형성할 수 있다.
- [0065] 상기 제3 회로패턴(120)을 형성하는 과정은, 상기 제1, 제2 회로패턴(80)(81)을 형성하는 과정과 같을 수 있으므로, 상세한 설명은 생략한다.
- [0066] 한편, 상기 제1, 제2, 제3 회로패턴(80)(81)(120)을 형성하고, 상기 제1, 제2, 제3 회로패턴(80)(81)(120) 사이에 제1, 제2 절연층(50)(90)을 형성하는 공정은 상기 인쇄회로기판 상의 회로구현의 필요에 따라 생략 혹은 반복될 수 있으며, 당업자가 용이하게 실시할 수 있는 범위 내에서 변형되어 실시될 수 있다.
- [0067] 이후, 상기 인쇄회로기판의 회로구현의 필요에 따라, 상기 제3 회로패턴(120) 상에 솔더마스크(Solder Mask) 및 솔더볼(Solder Ball) 등을 형성하여, 다른 회로나 소자, 혹은 기판들과 연결할 수 있다.
- [0068] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

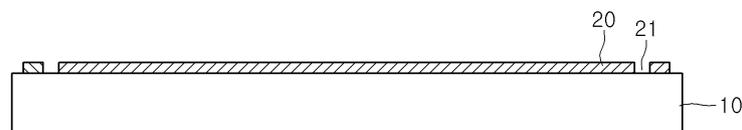
[0069] 도 1 내지 도 11은 실시예에 따른 인쇄회로기판 및 그 제조방법을 설명하는 도면이다.

도면

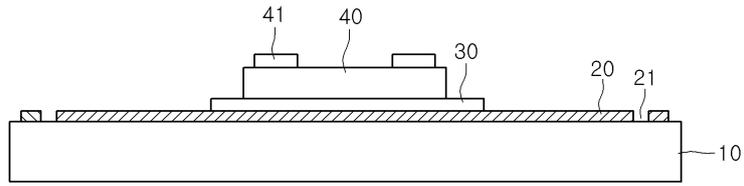
도면1



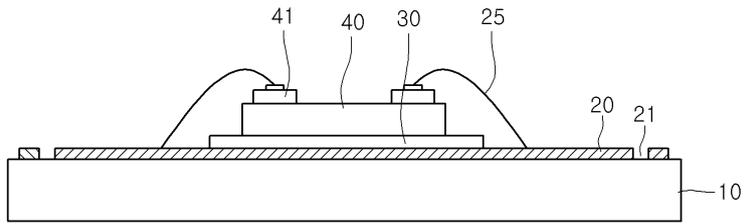
도면2



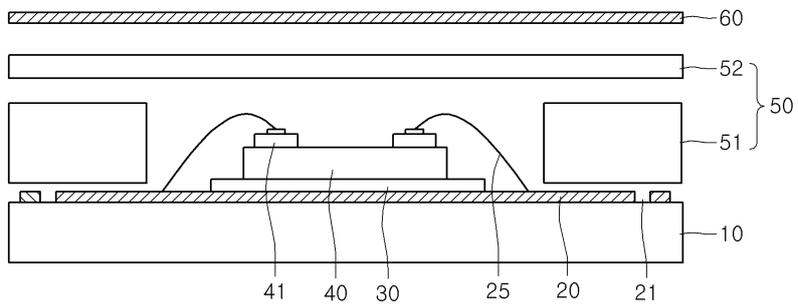
도면3



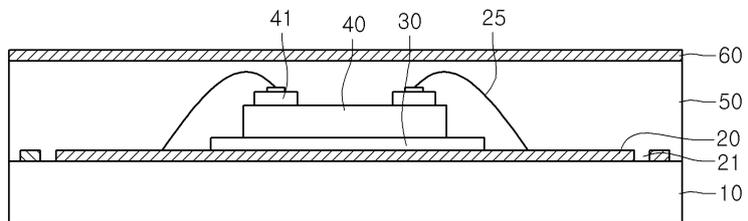
도면4



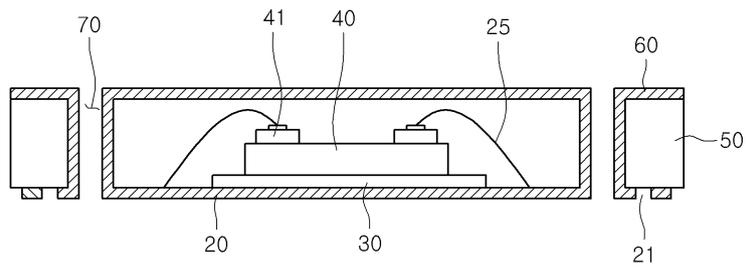
도면5



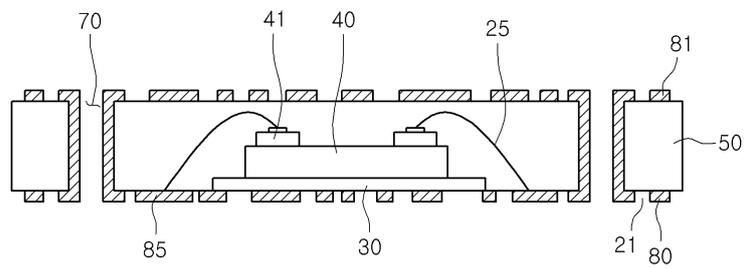
도면6



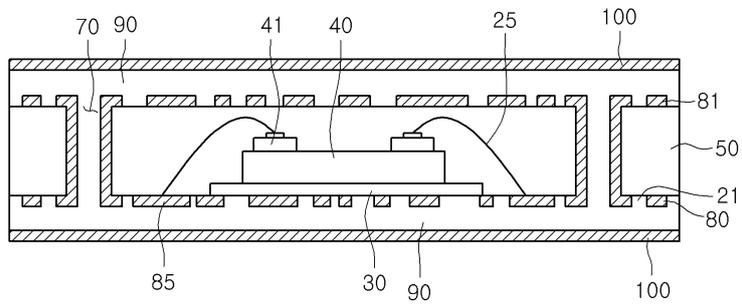
도면7



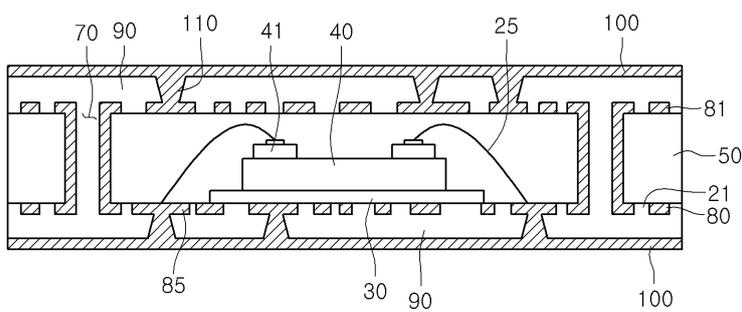
도면8



도면9



도면10



도면11

