

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-515034
(P2020-515034A)

(43) 公表日 令和2年5月21日(2020.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04	C 5 H 7 7 O
HO 1 L 25/18 (2006.01)	HO 2 M 7/48	Z
HO 2 M 7/48 (2007.01)		

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2019-532140 (P2019-532140)
 (86) (22) 出願日 平成29年12月14日 (2017.12.14)
 (85) 翻訳文提出日 令和1年7月12日 (2019.7.12)
 (86) 国際出願番号 PCT/EP2017/082777
 (87) 国際公開番号 W02018/109069
 (87) 国際公開日 平成30年6月21日 (2018.6.21)
 (31) 優先権主張番号 16204843.3
 (32) 優先日 平成28年12月16日 (2016.12.16)
 (33) 優先権主張国・地域又は機関 欧州特許庁 (EP)

(71) 出願人 505056845
 アーバーバー・シュバイツ・アーゲー
 スイス、5400 バーデン、ブルッガー
 シュトラッセ、66
 (71) 出願人 591006586
 アウディ アクチェンゲゼルシャフト
 AUDI AG
 ドイツ連邦共和国 85045 インゴル
 シュタット (番地なし)
 (74) 代理人 100114890
 弁理士 アインゼル・フェリックス＝ライ
 ンハルト
 (74) 代理人 100098501
 弁理士 森田 拓

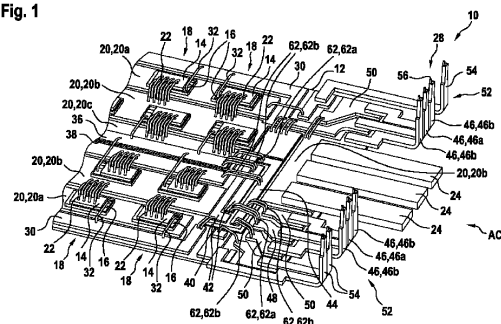
最終頁に続く

(54) 【発明の名称】 ゲートパスインドクタンスが低いパワー半導体モジュール

(57) 【要約】

パワー半導体モジュール(10)は、ハウジング(60)と、ハウジング(60)内のパワー半導体チップ(14)と、ハウジング(60)から突出しておりかつ半導体チップ(14)の電源電極(18)に電氣的に相互接続されている電源端子(24)と、ハウジング(60)から突出しておりかつゲート電極(16)と、電源電極(18)のうちの1つに電氣的に相互接続されている補助端子(46)と、を有しており、3つの補助端子(46a、46b)は、共軸補助端子装置(52)に配置されており、共軸補助端子装置(52)は、1つの内側の補助端子(46a)と、内側の補助端子(46a)の、互いに反対の2つの側に配置されている2つの補助端子(46b)と、を有する。内側の補助端子(46a)は、ゲート電極(16)に、または複数の電源電極(18)のうちの1つに電氣的に相互接続されており、2つの外側の補助端子(46b)は、複数のゲート電極(16)のうちの別の1つと、複数の電源電極(18)のうちの1つと、に電氣的に接続されている。

Fig. 1



【特許請求の範囲】

【請求項 1】

パワー半導体モジュール(10)であって、前記パワー半導体モジュール(10)では、

ハウジング(60)と、

前記ハウジング(60)内の少なくとも2つのパワー半導体チップ(14)と、

前記ハウジング(60)から突出しておりかつ前記半導体チップ(14)の複数の電源電極(18)に電氣的に相互接続されている複数の電源端子(24)と、

前記ハウジング(60)から突出しておりかつ前記半導体チップ(14)のゲート電極(16)および前記半導体チップ(14)の前記電源電極(18)に電氣的に相互接続されている複数の補助端子(46)と、

少なくとも2つの共軸端子装置(52)と、

を有しており、それぞれの前記共軸端子装置(52)は、1つの内側の補助端子(46a)と、前記内側の補助端子(46a)の、互いに反対の2つの側に配置されている2つの外側の補助端子(46b)と、を有し、

前記内側の補助端子(46a)は、前記ゲート電極(16)に、または複数の前記パワー半導体チップ(14)のうちの1つの、複数の前記電源電極(18)のうちの1つに電氣的に相互接続されており、2つの前記外側の補助端子(46b)は、複数の前記ゲート電極(16)うちの別の1つと、複数の前記電源電極(18)のうちの1つと、に電氣的に接続されている、

パワー半導体モジュール(10)。

【請求項 2】

少なくとも2つの前記共軸端子装置(52)の2つの前記外側の補助端子(46b)は、それぞれの前記共軸端子装置(52)の前記内側の補助端子(46a)に関して軸方向に対称に配置されており、かつ/または、2つの前記共軸端子装置(52)間の間隔は、前記共軸端子装置(52)のうちの1つの前記補助端子(46a、46b)間の間隔よりも大きい、

請求項1記載のパワー半導体モジュール(10)。

【請求項 3】

少なくとも1つの前記共軸端子装置(52)の複数の前記補助端子(46a、46b)は、前記ハウジング(60)の外部で共軸に配置されており、かつ/または、少なくとも1つの前記共軸端子装置(52)の複数の前記補助端子(46a、46b)は、前記ハウジング(60)の内部で共軸に配置されている、

請求項1または2記載のパワー半導体モジュール(10)。

【請求項 4】

少なくとも1つの前記共軸端子装置(52)の前記補助端子(46a、46b)は、第1メタライゼーション層(42、48)と、前記電源電極(18)がボンディングされているメタライゼーション層(20)とは別の第2メタライゼーション層(44、50)と、に電氣的に接続されており、

前記第1メタライゼーション層(42、48)および前記第2メタライゼーション層(44、50)により、並んで延在する導体パスが形成される、

請求項1から3までのいずれか1項記載のパワー半導体モジュール(10)。

【請求項 5】

少なくとも1つの前記共軸端子装置(52)の前記補助端子(46a、46b)は、前記パワー半導体モジュール(10)の1つの基板(12)上の3つのメタライゼーション層(48、50; 50、30、20)に電氣的に接続されており、3つの前記メタライゼーション層(48、50; 50、30、20)は、互いに共軸に配置されている、

請求項1から4までのいずれか1項記載のパワー半導体モジュール(10)。

【請求項 6】

少なくとも1つの前記共軸端子装置(52)の前記補助端子(46a、46b)は、前

10

20

30

40

50

記ハウジング(60)の内部の複数の導体および/またはメタライゼーション層(36、42、44、48、50)に電氣的に接続されており、複数の前記導体および/または前記メタライゼーション層(42、44)は、ワイヤボンダ(62)によって相互接続されており、

前記ワイヤボンダ(62)は、1つの内側のワイヤボンダ集合(62a)と、2つの外側のワイヤボンダ集合(62b)と、に分配されており、2つの前記外側のワイヤボンダ集合(62b)は、前記内側のワイヤボンダ集合(62a)の、互いに反対の2つの側に配置されており、

前記内側のワイヤボンダ集合(62a)は、前記ゲート電極(16)に、または、複数の前記電源電極(18)のうちの1つに電氣的に相互接続されており、2つの前記外側のワイヤボンダ集合(62b)は、複数の前記ゲート電極(16)のうちの別の1つと、複数の前記電源電極(18)のうちの1つと、に電氣的に接続されている、
請求項1から5までのいずれか1項記載のパワー半導体モジュール(10)。

10

【請求項7】

前記ワイヤボンダ(62)により、異なる基板(12、38、40)上の複数のメタライゼーション層が相互接続される、
請求項6記載のパワー半導体モジュール(10)。

【請求項8】

前記補助端子(46a、46b)に電氣的に相互接続されているメタライゼーション層(48、50)は、前記電源端子(24)に電氣的に相互接続されているメタライゼーション層(20)と同じ基板(12)上に形成されている、
請求項1から7までのいずれか1項記載のパワー半導体モジュール(10)。

20

【請求項9】

少なくとも1つの前記共軸補助端子装置(52)は、少なくとも1つの第1、第2、第3および第4補助端子(46)を有し、前記第1、第2、第3および第4補助端子(46)は、順次に配置されており、これにより、前記第2補助端子は、前記第1補助端子と前記第3補助端子との間に配置されており、前記第3補助端子は、前記第2補助端子と前記第4補助端子との間に配置されており、

前記第1補助端子および前記第3補助端子は、前記ゲート電極(16)に、または、複数の前記電源電極(18)のうちの1つに電氣的に相互接続されており、前記第2補助端子および前記第3補助端子は、複数の前記ゲート電極(16)のうちの別の1つと、複数の前記電源電極(18)うちの1つと、に電氣的に接続されている、
請求項1から8までのいずれか1項記載のパワー半導体モジュール(10)。

30

【請求項10】

前記ハウジング(60)は、プラスチック材料によって形成されており、前記ハウジング(60)内には、少なくとも前記パワー半導体チップ(14)と、前記電源端子(24)と、前記補助端子(46a、46b)と、が成形されている、
請求項1から9までのいずれか1項記載のパワー半導体モジュール(10)。

【請求項11】

前記電源端子(24)および/または前記補助端子(46a、46b)は、同じレベルで前記ハウジング(60)から突出している、
請求項1から10までのいずれか1項記載のパワー半導体モジュール(10)。

40

【請求項12】

前記補助端子(46a、46b)は、曲げられており、これにより、前記補助端子(46a、46b)の先端部(56)は、前記補助端子(46a、46b)が前記ハウジング(60)から突出する方向に対して垂直方向を指し示している、
請求項1から11までのいずれか1項記載のパワー半導体モジュール(10)。

【請求項13】

少なくとも2つの前記パワー半導体チップ(14)は、前記電源端子(24)および/または前記補助端子(46a、46b)がボンディングされている基板(12)にボンデ

50

イングされている、

請求項 1 から 1 2 までのいずれか 1 項記載のパワー半導体モジュール (1 0) 。

【請求項 1 4】

前記パワー半導体モジュール (1 0) は、少なくとも 2 つの前記パワー半導体チップ (1 4) がボンディングされているメイン基板 (1 2) と、前記メイン基板 (1 2) にボンディングされている第 2 の基板 (3 8、4 0) と、を有し、

前記第 2 の基板 (4 0) 上のメタライゼーション層 (4 2、4 4) は、少なくとも 1 つの前記共軸補助端子装置 (5 2) の前記補助端子 (4 6 a、4 6 b) に電氣的に接続されている、

請求項 1 から 1 3 までのいずれか 1 項記載のパワー半導体モジュール (1 0) 。

10

【請求項 1 5】

少なくとも 2 つのパワー半導体チップが、直流電流を交流電流に変換する 1 つ以上のハーフブリッジに電氣的に相互接続されている、

請求項 1 から 1 4 までのいずれか 1 項記載のパワー半導体モジュール (1 0) 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー半導体のパッケージングの分野に関する。特に、本発明は、パワー半導体モジュールに関する。

【背景技術】

20

【0002】

パワー半導体モジュールは、電気駆動装置、トラクションアプリケーション、電気路上車両などのための高出力コンバータのような多くの応用に使用可能である。一般に、パワー半導体モジュールは、このパワー半導体モジュールによってスイッチングされる電流を導通するための数個の電力端子と、モジュール内の 1 つ以上のパワー半導体チップのゲート電極にゲート信号を導通することが可能な補助端子と、を有する。ゲート信号は、外部のゲートドライバによって供給することが可能である。補助端子は、パワー半導体モジュールのゲート電極に接続されているゲート端子と、エミッタに接続されている補助エミッタ端子と、を含んでいてよい。ゲート端子、補助エミッタ端子およびパワー半導体モジュール内の別の導体は、パワー半導体モジュールを通るゲートパスを形成することが可能である。ゲートパスまたはゲート回路の浮遊インダクタンスは、パワー半導体モジュールのスイッチングの正確さおよびスイッチング速度を制限してしまうことがある。

30

【0003】

このことの理由の 1 つになり得るのは、浮遊インダクタンスにより、ゲート電流の初期の上昇が制限されることである。このことは、特にスイッチング遅延時間、すなわちゲート電圧が閾値電圧に到達するのに要する時間を増大させることがある。さらに、ゲート回路の浮遊インダクタンス L は、ゲートエミッタキャパシタンス C に直列接続されて、共振回路を形成することがある。この共振回路は、一般に、値 $R > 2 \sqrt{L/C}$ のゲート抵抗を導入することによって減衰させなければならない。ゲート抵抗が大きくなると、スイッチング遷移は、減速されることがあり、すなわち、結果的にスイッチング遅延時間、転流時間が増大し、したがってスイッチング損失も増大することになる。さらに、ゲート回路における不足減衰共振回路により、結果的に、ゲート回路における無制御の共振に対する傾向が増大することになり得る。特にゲート電圧は、スイッチング中に電圧オーバーシュートを示すことがあり、これにより、ゲート酸化物が劣化され得る。最終的に浮遊インダクタンスは、外部磁場に結合されて、不所望のゲート・エミッタ電圧を誘導することがあり、これによりスイッチング性能に影響が及ぼされる。

40

【0004】

例えば、ゲート回路のインダクタンスは、幅の広い導体領域によって低下させることができる。というのは幅の広い導体は、大量の電流を伝えるために極めて低い電流密度しか必要としないためである。同時に磁場は、極めて長い有効パスを有することができ、これ

50

により、結果的にインダクタンスが低くなる。

【0005】

別の可能性は、ストリップライン設計を使用することであり、このストリップライン設計では、ゲート導体および補助エミッタ導体は、極めて接近して配置され、これにより、結果的にこれらの2つの導体の磁場を打ち消せるようになり得る。したがってこのような装置は、極めて低い浮遊インダクタンスを有し得る。これらの2つの導体は、導体間の距離を可能な限りに最小化するため、固体の絶縁部を使用して分離可能である。

【0006】

さらに、パワーモジュール内部のゲート信号と外部接続部との間で分配を区別しなければならない。パワーモジュール内部では、ゲート信号および補助エミッタ信号は、例えば、PCBまたはDBCなどのような基板ベース材料の積層された層として、形成された幅の広い導体上で伝送可能であり、これにより、インダクタンスの低い装置が形成される。他方、外部ゲート端子は、ねじ式コネクタを有する垂直端子（ハイパワー導体モジュールに対して一般的である）によって、またはプレスピン（出力の小さいパワー半導体モジュールに一般的である）によって、または上方に曲げられたリードフレーム（トランスファ成形されたモジュールに一般的である）によって形成することが可能である。

【0007】

補助端子単独では、一般に、浮遊インダクタンスはかなり高くなる。というのは、スペースを節約しかつ圧入接続を可能にするため、これらの補助端子は、短くかつ幅の広い導体ではなく、長くかつ幅が狭いからである。さらに、（例えば汚染環境において）これらをより頑強にするため、また受け手側のゲートドライバボード上でのねじ接続または圧入接続に必要なスペースを考慮するため、これらは、これらの間の低い電圧に必要なスペースよりも、格段に離されて間隔が空けられる。

【0008】

発振を抑制するスプリット・ゲートパワーモジュールに関する米国特許第7342262号明細書（US 7,342,262 B2）には、内部ゲート回路レイアウトと、モジュール内でダイを平行化するためにゲートワイヤボンドの長さを設計することが記載されている。

【0009】

欧州特許出願公開第2182551号明細書（EP 2182551 A2）は、半導体パワーモジュール用の接続配置に関しており、複数の基板を備えたパワーモジュール用の最適な端子配置が記載されている。

【0010】

国際公開第2013/089242号（WO 2013/089242 A1）には、3相アクティブ整流器を有するパワー半導体モジュールが示されている。3つのチップ用の端子配置は、等間隔の6個の端子によって形成される。これらの端子のうち2つは、同じ電位に接続されており、これらの間にゲート端子をサンドイッチしている。

【0011】

特開2013-138234（JP 2013 138 234 A）には、1つの基板上に数個のチップを有するパワー半導体モジュールが示されている。

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明の目的は、ゲートパスインダクタンスの低いパワー半導体モジュールを提供することである。

【課題を解決するための手段】

【0013】

この目的は、独立請求項の対象によって達成される。さらなる例示的な実施形態は、従属請求項および以下の説明から明らかである。

【0014】

本発明は、パワー半導体モジュールに関する。パワー半導体モジュールは、1つ以上の

10

20

30

40

50

パワー半導体チップと、電気導体および端子と、を機械的および電氣的に相互接続し、これにより、パワー半導体モジュールが、整流器、インバータ、電気駆動装置などのような、より大きな機械用の構成要素として使用できるようにするデバイスであってよい。特に、パワー半導体モジュールは、電気またはハイブリッド車両の電気インバータに、すなわち電池からの直流電流から、電動モータ用の交流電流を生成するために使用可能である。

【0015】

パワー半導体モジュールおよび/またはパワー半導体チップにおける「パワー」という用語は、10Aを上回る、かつ/または100Vを上回る電流を処理できる能力に関連してよい。

【0016】

本発明の一実施形態によれば、パワー半導体モジュールは、ハウジングと、ハウジング内の少なくとも2つのパワー半導体チップと、ハウジングから突出しておりかつ半導体チップの複数の電源電極に電氣的に相互接続されている電源端子と、ハウジングから突出しておりかつ半導体チップのゲート電極および半導体チップの電源電極に電氣的に相互接続されている複数の補助端子と、を有する。

【0017】

ハウジングは、プラスチック材料から構成することができ、このプラスチック材料には、少なくとも2つのパワー半導体チップと、少なくとも2つのパワー半導体チップがボンディングされておりかつ端子が接続される基板と、端子と、が埋め込まれている。電源端子は、例えばリードフレームから成る、ハウジングから突出する電気導体であってよい。また補助端子も、例えば同じまたは別のリードフレームから成る、ハウジングから突出する電気導体であってよい。電源端子は、補助端子よりも大きな断面を有してよい。

【0018】

パワー半導体チップは、SiCのようなワイドバンドギャップ材料ベースであってよく、かつ/またはサイリスタまたはトランジスタを含んでよい。サイリスタの場合、電源電極により、アノードおよびカソードが形成される。IGBTの場合、電源電極により、エミッタおよびコレクタが形成される。MOSFETの場合、電源電極により、ドレインおよびソースが形成される。以下では、パワー半導体チップが、IGBTを収容し、複数の補助端子のうちの1つが、エミッタに接続されていること、すなわち、補助エミッタ端子であることを仮定する。しかしながら、電源電極に接続されている1つまたは複数の補助端子が、コレクタ、アノード、カソード、ドレインおよびソースにそれぞれ接続されていることも可能である。

【0019】

3つの補助端子は、少なくとも2つの共軸補助端子装置に配置されている。それぞれの共軸端子装置は、1つの内側の補助端子、および内側の補助端子の、互いに反対の2つの側に配置されている2つの外側の補助端子とを有し、内側の補助端子は、1つ以上の半導体チップのゲート電極に、または1つ以上のパワー半導体チップの電源電極のうちの1つに電氣的に相互接続されており、2つの外側の補助端子は、複数のゲート電極のうちの別の1つと、複数の電源電極のうちの1つと、に電氣的に接続されている。

【0020】

第1実施形態において、内側の補助端子は、ゲート電極に電氣的に相互接続されており、2つの外側の補助端子は、エミッタ電極またはソース電極のような電源電極に電氣的に接続されている。

【0021】

第2実施形態において、内側の補助端子は、エミッタ電極またはソース電極のような電源電極に電氣的に相互接続されており、2つの外側の補助端子は、ゲート電極に電氣的に接続されている。

【0022】

いずれのケースにおいても、2つの外側の補助端子は、互いに電氣的に接続されており、かつ/または少なくとも3つの補助端子を有する。

10

20

30

40

50

【0023】

一般に、ゲート端子または補助エミッタは、2つの補助端子に分割され、これらの補助端子により、複数の端子のうちの別の1つが、間にサンドイッチされる。複数のゲート制御端子（ゲート端子および補助エミッタ端子）のうちの1つを2つの端子に分割することが可能であり、これにより、2つのゲート端子および1つの補助エミッタ端子、または2つの補助エミッタ端子および1つのゲート端子が、ハウジングから突出し、1つの端子が、それぞれ逆の極性の1つの端子により、両側で取り囲まれるように配置される。

【0024】

シミュレーションおよびテストによって示されたのは、補助端子を共軸に配置することにより、例えば、共軸端子装置と同じ幅を有する2つの補助電極だけを使用するのに比べて、結果的に浮遊インダクタンスが低くなることである。

10

【0025】

本発明の一実施形態によれば、2つの外側の補助端子は、複数の内側の補助端子に関して軸方向に対称に配置されている。これは、共軸端子についての定義と見なすことができる。2つの外側の補助端子は、内側の補助端子に対して同じ間隔を有してよい。

【0026】

本発明の一実施形態によれば、2つの共軸端子装置間の間隔は、1つの共軸端子装置の補助端子間の間隔よりも大きい。一方の共軸端子装置の補助端子が、他方の共軸端子装置の補助端子装置から分離されていることもあり得る。2つの共軸端子装置間のギャップは、1つの共軸端子装置の補助端子間のギャップよりも大きくてよい。例えば、1つ以上の電源端子は、2つの共軸端子装置間に配置可能である。

20

【0027】

本発明の一実施形態によれば、少なくとも1つの共軸端子装置の複数の端子は、ハウジングの外部で共軸に配置されており、かつ/またはハウジングの内部で共軸に配置されている。少なくとも1つの共軸端子装置の複数の端子は、その全体的な長さに沿って実質的に平行であってよい。

【0028】

本発明の一実施形態によれば、少なくとも1つの共軸端子装置の3つの端子は、第1メタライゼーション層と、電源電極がボンディングされているメタライゼーション層とは別の第2メタライゼーション層と、に電気的に接続されている。すべてのメタライゼーション層は、DBC (direct bonded copper) 基板のような基板によって形成することができる。例えば、ゲートの第1および第2メタライゼーション層により、メインエミッタパスとは別の補助エミッタパスを形成してよい。この補助エミッタパスは、メインエミッタパスを介して（例えば、パワー半導体チップから第2メタライゼーション層に至る別のワイヤボンドによって）電源電流から直流的に減結合されることが可能である。

30

【0029】

本発明の一実施形態によれば、第1メタライゼーション層および第2メタライゼーション層により、並んで延在する導体パスが形成される。補助エミッタパスは、少なくとも部分的に、ゲートパスに接近して配置することが可能である。このことによっても浮遊インダクタンスの低いゲート回路が得られる。

40

【0030】

本発明の一実施形態によれば、少なくとも1つの共軸端子装置の3つの端子は、パワー半導体モジュールの1つの基板上の3つのメタライゼーション層に電気的に接続されており、これらの3つのメタライゼーション層は、互いに共軸に配置されている。ゲートパスおよびエミッタパスの共軸配置は、1つの基板における複数のメタライゼーション層のような、共軸に配置された3つの導体により、パワー半導体モジュール内部で継続することができる。

【0031】

本発明の一実施形態によれば、少なくとも1つの共軸端子装置の3つの端子は、ハウジング内部の複数の導体および/またはメタライゼーション層に電気的に接続されている。

50

これらの導体および/またはメタライゼーション層は、ゲート導体および補助エミッタ導体と見なすことが可能である。同様にこれらの導体を相互接続するワイヤボンドを共軸に配置することも可能である。3つのワイヤボンド集合は、並べて配置することができ、外側の2つの集合は、内側の集合の電位とは相補的な電位に接続される。

【0032】

ワイヤボンドは、1つの内側のワイヤボンド集合と、2つの外側のワイヤボンド集合と、に分配することが可能であり、2つの外側のワイヤボンド集合は、内側のワイヤボンド集合の、互いに反対の2つの側に配置されており、内側のワイヤボンド集合は、ゲート電極に、または複数の電源電極のうちの1つに電氣的に相互接続されており、2つの外側のワイヤボンド集合は、複数のゲート電極のうちの別の1つと、複数の電源電極のうちの1つと、に電氣的に接続されている。

10

【0033】

異なるメタライゼーション層上のゲート導体/補助エミッタ導体のペア間の相互接続は、3つのワイヤボンド集合の配置によって実現することが可能である。それぞれの集合は、少なくとも1つのワイヤボンドを有している。ワイヤボンド集合は、1つの電位についての1つのワイヤボンド集合(すなわちゲート電位または補助エミッタ電位)が、それぞれの側において、相補的な電位(すなわちそれぞれ補助エミッタ電位またはゲート電位)の1つのワイヤボンド集合によって包囲されるように配置可能である。

【0034】

本発明の一実施形態によれば、ワイヤボンドにより、異なる基板上的複数のメタライゼーション層が相互接続される。例えば、補助端子は、1つ以上のパワー半導体チップもボンディングされているメイン基板にボンディングすることが可能である。ゲートバスおよび補助エミッタバスは、メイン基板にボンディングされている付加的な基板上的メタライゼーション層によって形成することが可能である。2つの基板は、DBC基板および/またはPCBであってよい。

20

【0035】

付加的なDBC層またはPCB層によって実現可能な付加的なメタライゼーション層は、電源電流(すなわちパワー半導体デバイスのコレクタ電流またはエミッタ電流)用の導体として使用することが可能である。

【0036】

付加的な端子は、はんだ付けまたは溶接によってパワー半導体モジュール内部のメタライゼーション層に装着することが可能である。メタライゼーション層は、垂直方向の同じレベル上に設けることが可能であるが、互いに垂直方向にシフトさせることも可能である。

30

【0037】

本発明の一実施形態によれば、補助端子に電氣的に相互接続されているメタライゼーション層は、電源端子に電氣的に相互接続されているメタライゼーション層と同じ基板上に形成されている。例えば、補助エミッタ導体は、メイン基板上または付加的な基板上的パワーエミッタメタライゼーション層と部分的に重なることが可能である。

【0038】

本発明の一実施形態によれば、少なくとも1つの共軸補助端子装置は、少なくとも第1、第2、第3および第4補助端子を有し、これらの補助端子は、順次に配置されており、これにより、第2補助端子は、第1補助端子と第3補助端子との間に配置されており、第3補助端子は、第2補助端子と第4補助端子との間に配置されている。少なくとも1つの共軸端子装置は、より一般的な交互配置される装置であってよく、少なくとも2つのゲート端子には、少なくとも2つの補助電源電極(エミッタ)端子が交互配置される。

40

【0039】

第1補助端子および第3補助端子は、ゲート電極に、または複数の電源電極のうちの1つに電氣的に相互接続可能であり、第2補助端子および第3補助端子は、複数のゲート電極のうちの別の1つと、複数の電源電極のうちの1つと、に電氣的に接続可能である。

50

【0040】

本発明の一実施形態によれば、電源端子および/または補助端子は、1つ以上のリードフレームから作製される。特に補助ゲート制御端子は、平面的なリードフレームによって実現可能である。平面的なリードフレーム端子は、トランスファ成形されるパワー半導体モジュールまたはディスクリットなパワー半導体モジュールに使用可能である。

【0041】

1つ以上のリードフレームは、銅プレートから構成されていてよい。モールド成形の後、電源端子および/または補助端子は、端子間のリッジを切り取ることによって仕上げることが可能である。

【0042】

本発明の一実施形態によれば、ハウジングは、プラスチック材料によって形成されており、このハウジング内には、少なくとも2つのパワー半導体チップと、電源端子と、補助端子と、が成形されている。トランスファ成形のパワー半導体モジュールについては、付加的なリードフレーム端子は、基本的にコストゼロで得ることができる。というのはリードフレームは、一般に、金属プレートから切り取られ、材料をより小さく切り取ることによって、コストが増大することはないからである。

【0043】

本発明の一実施形態によれば、電源端子および/または補助端子は、同じレベルまたは層でハウジングから突出している。これは、パワー半導体モジュールのメイン基板にボンディングされている1つ以上のリードフレームから、端子が作製される場合であってよい。少なくとも1つの共軸端子装置の端子は、垂直方向の同じレベルに実現することができ、かつ/またはハウジングを垂直方向の同じレベルにとどめることができる。しかしながら、パワー半導体モジュールが、1つよりも多くの共軸端子装置を有する場合、異なる共軸端子装置の端子は、垂直方向の異なるレベルに配置することができ、かつ/またはハウジングを垂直方向の異なるレベルにとどめることができる。

【0044】

本発明の一実施形態によれば、補助端子は曲げられており、これにより、これらの先端部は、補助端子がハウジングから突出している方向に対して垂直方向を指し示している。例えば、端子を曲げることができ、これにより、これらが、L字形をしており、Lの第1のアームが、ハウジング内の基板に向かって曲げられており、かつハウジングから突出しており、第2のアームが、上述の垂直方向の1つまたは複数のレベルに対して実質的に垂直方向に延在する。

【0045】

本発明の一実施形態によれば、少なくとも1つのパワー半導体チップは、電源端子および/または補助端子がボンディングされている基板にボンディングされている。1つ以上のパワー半導体チップは、DBC (Direct-Bond-Copper) 基板またはPCB (Printed-Circuit-Board) 基板のような基板ベースの担体に組み立てることができる。このメイン基板は、メイン基板から垂直方向に切り離された付加的なメタライゼーション層によって補うことができ、このメタライゼーション層は、ゲート信号を共軸の端子または交互配置された補助端子に分配するために使用される。この付加的なメタライゼーション層は、付加的な基板によって形成することが可能である。

【0046】

本発明の一実施形態によれば、パワー半導体モジュールは、少なくとも1つのパワー半導体チップがボンディングされている第1のメイン基板と、メイン基板にボンディングされている付加的な第2の基板と、を有する。第2の基板上のメタライゼーション層は、少なくとも1つの共軸補助端子装置の補助端子に電氣的に接続可能である。付加的な第2の基板は、パワー半導体モジュール内でゲート信号を分配するため、かつ/またはゲート回路パスを形成するために使用可能である。付加的な第2の基板上において、ゲート電極および/または対応する電源電極に電氣的に接続されているメタライゼーション層は、実質的に平行に延在しており、かつ/または共軸的な仕方位置合わせすることが可能である

10

20

30

40

50

。

【0047】

本発明の一実施形態によれば、パワー半導体モジュールは、直流電流を交流電流に変換する1つ以上のハーフブリッジに電氣的に相互接続されているパワー半導体チップを有する。例えば、パワー半導体モジュールは、電気またはハイブリッド車両、特に自動車に使用されるインバータのフェーズまたはすべてのフェーズを含んでよい。パワー半導体モジュールは、すべて上述したようにまた以下で述べるように作製可能な2つ以上の共軸端子装置を有してよい。

【0048】

第1の共軸端子装置が、ハーフブリッジの第1の半分のために形成され、第2の共軸端子装置が、ハーフブリッジの第2の半分のために形成されるようにすることが可能である。ハーフブリッジの第1の半分のすべてのゲートは、第1の共軸端子装置の補助端子と相互接続可能である。ハーフブリッジの第2の半分のすべてのゲートは、第2の共軸端子装置の補助端子と相互接続可能である。

【0049】

要約すると、パワー半導体モジュールのゲート回路の浮遊インダクタンスは、平面的なリードフレームから作製することが可能な、特別に位置合わせした補助端子を使用することにより、減少させることが可能である。補助端子は、共軸的に配置され、ここでは、1つの補助端子（ゲート端子または補助エミッタ端子）は、2つの相補的な補助端子（すなわちそれぞれ補助エミッタ端子またはゲート端子）の間にサンドイッチされている。この共軸補助端子装置は、付加的なDBC基板のような、付加的な基板によって実現されるゲート分配回路と組み合わせることができる。この付加的な基板とメイン基板とを相互接続するワイヤボンドも、ゲート回路の浮遊インダクタンスをさらに減少させるために共軸的な仕方で配置することができる。

【0050】

本発明の上記および別の様相は、以下に述べる実施形態から明らかになり、また以下に述べる実施形態を参照して説明される。

【0051】

図の簡単な説明

添付した図面に示した例示的な実施形態を参照し、以下のテキストにおいて、本発明の対象をさらに詳細に説明する。

【図面の簡単な説明】

【0052】

【図1】ハウジングのない、本発明によるパワー半導体モジュールの一部分を示す斜視図である。

【図2】ハウジングを備えた、図1のパワー半導体モジュールを示す斜視図である。

【0053】

図面で使用されている参照符号およびそれらの意味は、要約した形で、符号の説明にリストアップされている。図面では、基本的に同じ部分に同じ参照符号が付されている。

【発明を実施するための形態】

【0054】

図1には、数個のパワー半導体チップ14がボンディングされているメイン基板12を有するパワー半導体モジュール10が示されている。例えば、それぞれの半導体チップ14により、サイリスタ、IGBT、MOSFET、または別の半導体スイッチが実現され、この半導体チップ14には、ゲート電極16と、サイリスタまたはIGBTの場合にはエミッタまたはコレクタのような2つの電源電極18と、が含まれている。

【0055】

1つの電源電極18により、複数のパワー半導体チップ14が、メイン基板12の数個のメタライゼーション層20にボンディングされている。別の電源電極18は、ワイヤボンド22の集合に接続されており、このワイヤボンド22の集合は、それぞれのパワー半

10

20

30

40

50

導体チップ 14 と、それぞれのパワー半導体チップ 14 がボンディングされているメタライゼーション層 20 とは異なる、メイン基板 12 上のメタライゼーション層 20 と、を電氣的に相互接続する。

【0056】

図 2 についていうと、パワー半導体モジュール 10 は、さらに複数の電源端子 24 を有しており、これらの電源端子 24 は、メイン基板 12 上のメタライゼーション層 20 にボンディングされており、かつ DC +、DC - および AC 用の外部接続部を形成している。それぞれの DC +、DC - および AC に対し、同じメタライゼーション層 20 にボンディングされている 2 つ以上の電源端子 24 が設けられている。DC + および DC - 用の電源端子 24 は、実質的に平行であり、パワー半導体モジュール 10 の第 1 の側面 26 において基板 12 から突出している。さらに、DC - および DC + のうちの 1 つ用の電源端子 24 は、DC + および DC - 用の共軸接続を実現するため、DC - および DC + のうちの別の 1 つ用の電源端子 24 の間に配置されている。

10

【0057】

AC 用の電源端子 24 は、実質的に平行であり、第 1 の側面 26 とは反対側の、パワー半導体モジュール 10 の第 2 の側面 28 において基板 12 から突出している。

【0058】

図 1 に戻ると、複数の半導体チップ 14 は、ハーフブリッジに電氣的に相互接続されており、2 つの外側のメタライゼーション層 20、20a に接続されている半導体チップ 14 により、ハーフブリッジの第 1 のアームが形成されており、中間のメタライゼーション層 20、20b に接続されている半導体チップ 14 により、第 2 のアームが形成されている。

20

【0059】

メイン基板 12 はまた、ゲート信号を分配するのに使用されるメタライゼーション層 30 も支持している。ハーフブリッジの一方のアームの半導体チップ 14 のゲート電極 16 は、ワイヤボンド 32 により、これらのメタライゼーション層 30 に接続されている。ハーフブリッジの他方のアームの半導体チップ 14 のゲート電極 16 は、ワイヤボンド 32 により、メイン基板 12 上の内側のメタライゼーション層 20 に取り付けられている基板 38 のメタライゼーション層 36 に接続されている。基板 38 のメタライゼーション層 36 は、中間のメタライゼーション層 20、20b 内に配置されている。

30

【0060】

別の基板 40 は、中間のメタライゼーション層 20、20b に取り付けられており、この基板 40 は、ゲート信号を分配するためのメタライゼーション層 42 と、補助エミッタ信号を分配するためのメタライゼーション層 44 と、を支持している。

【0061】

メイン基板 12 および基板 38、40 は、DBC 基板であってよい。

【0062】

パワー半導体モジュールは、第 2 の側面 28 に補助端子 46 を有しており、この補助端子 46 は、メイン基板 12 の別のメタライゼーション層 48、50 に部分的にボンディングされている。メタライゼーション層 48 は、ゲート信号を分配するために使用される。メタライゼーション層 50 は、補助エミッタ信号を分配するのに使用される。

40

【0063】

補助端子 46 は、2 つの共軸補助端子装置 52 に配置されており、これらの共軸補助端子装置 52 は、交流電源端子 24 の両側に配置されている。それぞれの共軸補助端子装置 52 は、1 つの内側の補助端子 46a と、2 つの外側の補助端子 46b と、を有しており、これらの外側の補助端子 46b は、内側の補助端子 46a の、互いに反対の 2 つの側に配置されている。図 1 の実施形態において、内側の補助端子 46a は、ゲート端子であるのに対し、外側の補助端子 46b は、補助エミッタ端子である。

【0064】

さらに、温度センサを接続するための補助直流接続用の補助端子 54 を設けてもよい。

50

補助端子 5 4 も、メイン基板 1 2 上のメタライゼーション層にボンディングしてもよい。

【 0 0 6 5 】

電源端子 2 4 は、第 1 のリードフレームから作製することができ、補助端子 4 6、5 4 は、第 1 のリードフレームよりも薄くてよい第 2 のリードフレームから作製することができる。

【 0 0 6 6 】

補助端子 4 6、5 4 は、曲げられており、これにより、それらの先端部 5 6 は、補助端子 4 6、5 4 および電源端子 2 4 がメイン基板 1 2 から突出している方向に対して垂直方向を指し示している。先端部 5 6 は、圧縮可能な圧入先端部として形成することができ、この圧縮先端部には、ゲートドライバを支持することが可能な PCB 5 8 を押し付けることができる。

10

【 0 0 6 7 】

図 2 には、ハウジング 6 0 を有するパワー半導体モジュール 1 0 が示されており、ハウジング 6 0 には、パワー半導体チップ 1 4 と、基板 1 2、3 8、4 0 と、ワイヤボンド 2 2、3 2 と、端子 2 4、4 6、5 4 の内側部分と、が例えば、RTM 成形を介して成形されている。

【 0 0 6 8 】

電源端子 2 4 および補助端子 4 6、5 4 の外側部分は、同じレベルでハウジングから突出している。

【 0 0 6 9 】

図 1 に戻ると、パワー半導体モジュール 1 0 は、浮遊インダクタンスが極めて小さいゲート回路を有し、この浮遊インダクタンスは、共軸補助端子装置 5 2 と、平行に延在するゲート導体 4 2、4 8、エミッタ導体 4 4、および共軸に配置されたワイヤボンド（以下を参照されたい）のような別の複数の手段と、によってもたらされる。

20

【 0 0 7 0 】

共軸補助端子装置 5 2 の補助端子 4 6 a、4 6 b は、その延在方向に沿って実質的に平行に延在しており、第 1 の電位（ここではゲート電圧）に電氣的に接続されている内側の補助端子 4 6 a は、第 2 の電位（ここではエミッタ電圧）に電氣的に接続されている 2 つの外側の補助端子 4 6 b の間にサンドイッチされている。2 つの外側の補助端子 4 6 b が、第 1 の電位に電氣的に接続され、内側の補助端子が、第 2 の電位に電氣的に接続されていてもよい。

30

【 0 0 7 1 】

補助端子 4 6 a、4 6 b は、ハウジング 6 0 の外部およびハウジング 6 0 の内部で共軸的に延在している。電気導体の共軸配置は、半導体モジュール 1 0 の内部で、すなわちハウジング 6 0 の内部で継続してよい。特に、外部端子 4 6 b が取り付けられているメタライゼーション層 2 0、5 0 の部分と、端子 4 6 a が取り付けられているメタライゼーション層 3 0、4 8 の部分と、は並んで延在することも可能であり、すなわち共軸に配置することも可能である。

【 0 0 7 2 】

さらに、電源回路からゲート回路を良好に減結合するために、ゲート導体と補助電流導体とに対して別の電流パスを形成することも可能である。例えば、比較的低い共軸補助端子装置 5 2 が取り付けられているメタライゼーション層 4 8、5 0 は、メイン基板上のメタライゼーション層 4 8、5 0 であるが、電源電流を導通するためのメタライゼーション層 2 0 からは切り離されているメタライゼーション層 4 8、5 0 である。

40

【 0 0 7 3 】

メタライゼーション層 4 8、5 0 は、ワイヤボンド 6 2 を介して、これらの層および / または半導体チップだけに接続されている。これらのワイヤボンド 6 2 は、メイン基板 1 2 と、基板 4 0 および / または基板 3 8 と、を電氣的に接続するために使用される、ワイヤボンド 6 2 の共軸の集合に配置されている。ワイヤボンド集合 6 2 は、それらの接続点の間で実質的に平行に延在している。第 1 の電位（ここではゲート電圧）に電氣的に接続

50

されている、内側のワイヤボン集合 6 2 a は、第 2 の電位（ここではエミッタ電圧）に電氣的に接続されている、外側のワイヤボン集合 6 2 b の間にサンドイッチされている。2 つの外側のワイヤボン集合 6 2 b が、第 1 の電位に接続され、内側のワイヤボン集合 6 2 a が、第 2 の電位に接続されていてもよい。

【 0 0 7 4 】

このようにして、異なるゲート分配基板 3 8、4 0 間、および / または、メイン基板 1 2 とゲート分配基板 4 0 との間のワイヤボン 6 2 についても共軸設計アプローチが使用される。ゲート分配基板 3 8、4 0 がメイン基板 1 2 上に積層されることにより、ワイヤボン 6 2 によって形成されるワイヤボン接続を短くかつフレキシブルに設計することが可能である。

10

【 0 0 7 5 】

基板 4 0 によって示したように、補助エミッタ用の電流バスも付加的な基板上に形成することができる。補助エミッタ用の基板 4 0 上のメタライゼーション層 4 4 は、ゲート用の基板 4 0 上のメタライゼーション層 4 2 と平行に、かつ / またはこれと並んで延在している。

【 0 0 7 6 】

浮遊インダクタンスが極めて低いこととは別に、この設計は、外部磁場の結合によって生じる外乱に対して極めて頑強である。外側の補助端子 4 6 b と、内側の補助端子 4 6 a と、によって形成されるゲート回路は、第 1 のゲート・エミッタループを形成し、別の外側の補助端子 4 6 b と、内側の補助端子 4 6 a と、によって形成されるゲート回路は、第 2 のゲート・エミッタループを形成する。隣接する 2 つのゲート・エミッタループに外部磁場が対称に結合されることにより、またこれらの方向が逆であることにより、2 つのループからの作用が打ち消される。したがってこのゲート回路は、同じまたは隣接するパワー半導体モジュールにおいて、 dI/dt の電流を整流する間の磁場のような、時間変化する外部磁場からの寄生結合に対して極めて頑強である。

20

【 0 0 7 7 】

付加的には、異なるゲート分配基板 3 8、4 0 を接続するために、外部磁場に対する不感受性は、ゲート回路とパワー回路との間の結合を減じるために重要である。そうでなければ、近接する導体における整流電流の dI/dt により、結果的に、印加されるゲート電圧のひずみが引き起こされることになる。したがって、とりわけ、共軸に配置されるワイヤボン 6 2 によって低結合が実現される。

30

【 0 0 7 8 】

図面および上記の説明において本発明を例証して説明して来たが、このような例証および説明は、例証的または例示的なものであり、制限的なものではないと考えるべきであり、本発明は、開示した実施形態に限定されない。図面、開示内容および添付の特許請求の範囲を精査することから、当業者は、開示した実施形態の別の変形形態を理解しかつ生じさせることができ、また請求した発明を実施することが可能である。特許請求の範囲において、「有する」は、別の要素またはステップを除外せず、「1 つの」は、複数を除外しない。単一のプロセッサまたはコントローラまたは別のユニットは、特許請求の範囲に挙げた複数の項目の複数の機能を実行することができる。特定の複数の手段が互いに異なる従属請求項に挙げられているという単なる事実は、これらの手段の組み合わせが、有利になるように利用できないことを示してはいない。特許請求の範囲における任意の参照符号は、範囲を制限するものと考えてはならない。

40

【 符号の説明 】

【 0 0 7 9 】

- 1 0 パワー半導体モジュール
- 1 2 メイン基板
- 1 4 パワー半導体チップ
- 1 6 ゲート電極
- 1 8 電源電極

50

2 0	メタライゼーション層	
2 0 a	外側のメタライゼーション層	
2 0 b	中間のメタライゼーション層	
2 0 c	内側のメタライゼーション層	
2 2	ワイヤボンド	
2 4	電源端子	
2 6	第 1 の側面	
2 8	第 2 の側面	
3 0	メタライゼーション層	
3 2	ワイヤボンド	10
3 6	メタライゼーション層	
3 8	ゲート分配基板	
4 0	ゲート分配基板	
4 2	メタライゼーション層	
4 4	メタライゼーション層	
4 6	補助端子	
4 6 a	内側の補助端子、ゲート端子	
4 6 b	外側の補助端子、補助エミッタ端子	
4 8	メタライゼーション層	
5 0	メタライゼーション層	20
5 2	共軸補助端子装置	
5 4	補助端子	
5 6	圧入先端部	
5 8	P C B	
6 0	ハウジング	
6 2	ワイヤボンド集合	
6 2 a	内側のワイヤボンド集合	
6 2 b	外側のワイヤボンド集合	

【 図 1 】

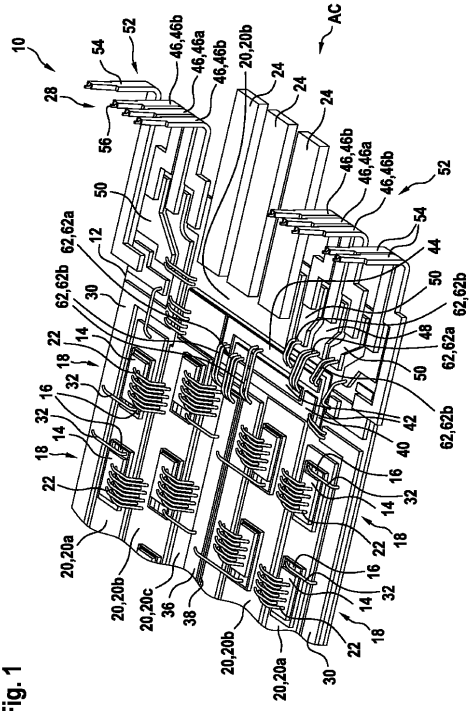


Fig. 1

【 図 2 】

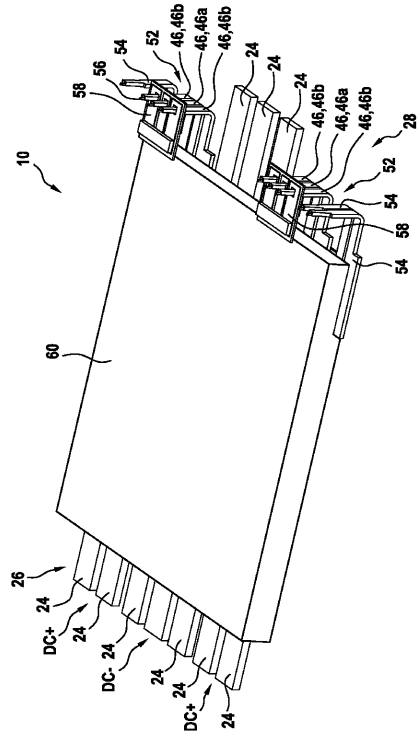


Fig. 2

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/EP2017/082777

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/498 ADD. H01L25/07		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, COMPENDEX, INSPEC, IBM-TDB, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/089242 A1 (ROHM CO LTD [JP]) 20 June 2013 (2013-06-20) figures 2, 4,5,6,8,13, 14,17, -----	1-15
A	JP 2013 138234 A (MITSUBISHI ELECTRIC CORP) 11 July 2013 (2013-07-11) figures 2,3 -----	1
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
21 February 2018		28/02/2018
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Gélébart, Jacques

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/082777

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2013089242 A1	20-06-2013	JP 2013125848 A WO 2013089242 A1	24-06-2013 20-06-2013
JP 2013138234 A	11-07-2013	JP 5494851 B2 JP 2013138234 A	21-05-2014 11-07-2013

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74)代理人 100116403

弁理士 前川 純一

(74)代理人 100135633

弁理士 二宮 浩康

(74)代理人 100162880

弁理士 上島 類

(72)発明者 ディディエ コテ

スイス国 チューリッヒ ピアヒシュトラーセ 1 8 5

(72)発明者 フェリックス トラウブ

スイス国 ビアメンシュトアフ シュトレールガス 1 0

(72)発明者 ユアゲン シューデラー

スイス国 チューリッヒ シュッツェンライン 2

(72)発明者 アンドレアス アペルスマイアー

ドイツ連邦共和国 ボレンフェルト ハウプトシュトラーセ 7

(72)発明者 ヨハン アーザム

ドイツ連邦共和国 アーデルツハウゼン アーデルシュトラーセ 1 0

Fターム(参考) 5H770 JA10X QA01 QA05 QA06 QA27