



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월29일
 (11) 등록번호 10-1848244
 (24) 등록일자 2018년04월06일

(51) 국제특허분류(Int. Cl.)
 H01L 21/338 (2006.01) H01L 29/812 (2006.01)
 (21) 출원번호 10-2011-0133715
 (22) 출원일자 2011년12월13일
 심사청구일자 2016년11월14일
 (65) 공개번호 10-2013-0066934
 (43) 공개일자 2013년06월21일
 (56) 선행기술조사문헌
 KR1020000039191 A*
 JP63015475 X2*
 *는 심사관에 의하여 인용된 문헌
 기술이전 희망 : 기술양도, 실시권허여, 기술지도

(73) 특허권자
 한국전자통신연구원
 대전광역시 유성구 가정로 218 (가정동)
 (72) 발명자
 윤형섭
 대전광역시 유성구 가정로 63 106동 202호 (신성동, 럭키하나아파트)
 민병규
 대전광역시 유성구 유성대로783번길 38, 107동 2003호 (장대동, 월드컵패밀리타운)
 (뒷면에 계속)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 11 항

심사관 : 김중호

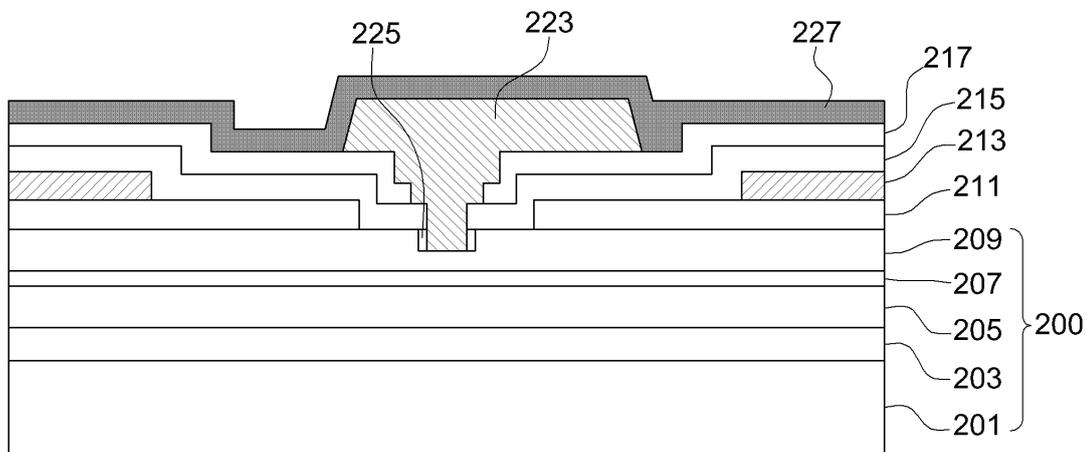
(54) 발명의 명칭 계단형 게이트 전극을 포함하는 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 계단형 게이트 전극을 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다. 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법은, 다수의 에피택셜층(epitaxial layer) 구조의 반도체 기판 상에 캡층(cap layer)을 형성하고 상기 캡층의 일부를 식각하여 활성영역을 형성하는 단계, 상기 활성영역과 상기 캡층 상에 제

(뒷면에 계속)

대표도 - 도2h



1 질화막, 제 2 질화막 및 게이트 형성을 위한 레지스트 패턴을 순차적으로 형성하는 단계, 상기 레지스트 패턴을 통해 상기 제 2 질화막과 상기 제 1 질화막을 순차적으로 식각하고 상기 레지스트 패턴을 제거하여 계단형의 게이트 절연막 패턴을 형성하는 단계, 상기 제 2 질화막 상에 게이트 헤드 패턴을 형성하는 단계, 상기 게이트 절연막 패턴을 통해 상기 반도체 기판 최상부의 쇼트키층 일부를 식각하여 언더컷(under-cut) 영역을 형성하는 단계, 상기 게이트 절연막 패턴과 상기 게이트 헤드 패턴을 통해 내열성 금속을 증착하여 계단형의 게이트 전극을 형성하는 단계 및 상기 게이트 헤드 패턴을 제거하고 절연막을 증착하는 단계를 포함한다.

(72) 발명자

이종민

대전광역시 유성구 지족동 반석마을 1단지

김성일

대전광역시 유성구 배울1로 35 408동 202호 (관평동, 쌍용스윗닷홈)

강동민

대전광역시 유성구 장대로71번길 34, 105동 903호 (장대동, 장대푸르지오)

안호균

대전광역시 유성구 반석서로 109 704동 1303호 (반석동, 반석마을7단지아파트)

임종원

대전광역시 유성구 배울2로 42, 대덕테크노밸리 504동 1101호 (관평동)

문재경

대전광역시 유성구 왕가봉로 23, 1112동 202호 (노은동, 열매마을11단지)

남은수

대전광역시 서구 청사로 70, 106동 203호 (월평동, 누리아파트)

명세서

청구범위

청구항 1

다수의 에피택셜층(epitaxial layer) 구조의 반도체 기판 상에 캡층(cap layer)을 형성하고 상기 캡층의 일부를 식각하여 활성영역을 형성하는 단계;

상기 활성영역과 상기 캡층 상에 제 1 질화막, 제 2 질화막 및 게이트 형성을 위한 레지스트 패턴을 순차적으로 형성하는 단계;

상기 레지스트 패턴을 통해 상기 제 2 질화막과 상기 제 1 질화막을 순차적으로 식각하고 상기 레지스트 패턴을 제거하여 계단형의 게이트 절연막 패턴을 형성하는 단계;

상기 제 2 질화막 상에 게이트 헤드 패턴을 형성하는 단계;

상기 게이트 절연막 패턴을 통해 상기 반도체 기판 최상부의 쇼트키층 일부를 식각하여 언더컷(under-cut) 영역을 형성하는 단계;

상기 게이트 절연막 패턴과 상기 게이트 헤드 패턴을 통해 내열성 금속을 증착하여 계단형의 게이트 전극을 형성하는 단계; 및

상기 게이트 헤드 패턴을 제거하고 절연막을 증착하는 단계

를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1항에 있어서,

상기 언더컷 영역에는 상기 게이트 전극과 상기 쇼트키층 사이에 공기공동(air-cavity)이 형성되는

반도체 소자의 제조 방법.

청구항 3

제 1항에 있어서,

상기 반도체 기판은 SiC 기판, AlN 버퍼층, GaN 채널층, AlGaIn 스페이서층 및 AlGaIn 쇼트키층이 적층된 구조를 가지는

반도체 소자의 제조 방법.

청구항 4

제 1항에 있어서,

상기 제 1 질화막은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정을 통해 섭씨 320도 내지 350도에 서 1500Å의 두께로 증착되는

반도체 소자의 제조 방법.

청구항 5

제 1항에 있어서,
 상기 제 2 질화막은 PECVD 공정을 통해 섭씨 100도에서 1500Å의 두께로 증착되는
 반도체 소자의 제조 방법.

청구항 6

제 1항에 있어서,
 상기 게이트 전극은 스퍼터링(Sputtering)법에 의해 WNx, WSix, W 및 Mo 중 적어도 하나의 내열성 금속을 증착
 하여 형성되는
 반도체 소자의 제조 방법.

청구항 7

제 1항에 있어서,
 상기 제 2 질화막의 형성 이전에, 상기 캡층의 양 측면 상에 Ti, Al, Ni, Pd 및 Au 중 적어도 하나의 금속을 증
 착하여 오믹(Ohmic) 전극을 형성하는 단계
 를 더 포함하는 반도체 소자의 제조 방법.

청구항 8

다수의 에피택셜층(epitaxial layer) 구조를 가지고, 최상부의 쇼트키층 일부에는 언더컷(under-cut) 영역이 형
 성되는 반도체 기판;
 상기 반도체 기판 상에 순차적으로 형성되어 계단형의 게이트 절연막 패턴을 형성하는 캡층(cap layer), 제 1
 질화막 및 제 2 질화막;
 상기 캡층과 상기 제 1 질화막 사이의 양 측면에 형성된 오믹 전극; 및
 상기 게이트 절연막 패턴을 통해 내열성 금속이 증착되어 형성되는 계단형의 게이트 전극
 을 포함하고, 상기 언더컷 영역에는 상기 게이트 전극과 상기 쇼트키층 사이에 공기공동(air-cavity)이 형성되
 며,
 상기 제 1 질화막은 상기 쇼트키층의 상면, 상기 캡층의 상면 및 상기 오믹 전극의 상면과 접하는
 반도체 소자.

청구항 9

제 8항에 있어서,
 상기 반도체 기판은 SiC 기판, AlN 버퍼층, GaN 채널층, AlGaN 스페이서층 및 AlGaN 쇼트키층이 적층된 구조를
 가지는
 반도체 소자.

청구항 10

제 8항에 있어서,
 상기 게이트 전극은 스퍼터링(Sputtering)법에 의해 증착된 WNx, WSix, W 및 Mo 중 적어도 하나의 내열성 금속

으로 형성되는
반도체 소자.

청구항 11

제 8항에 있어서,
상기 오믹 전극은 Ti, Al, Ni, Pd 및 Au 중 적어도 하나의 금속으로 형성되는
반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 전계효과형 고주파 반도체 소자에 관한 것으로, 계단형 게이트 전극을 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 도 1a 내지 도 1d는 종래 기술에 의한 고전자 이동도 트랜지스터(HEMT) 또는 금속-반도체 전계효과 트랜지스터(MESFET)과 같은 전계효과형 고주파 반도체 소자의 제조 방법을 나타낸 도면이다.

[0003] 먼저, 도 1a와 같이, SiC 기판(101), AlN 버퍼층(103), 도핑되지 않은 GaN 채널층(105), 도핑되지 않은 AlGaN 스페이서층(107) 및 도핑되지 않은 AlGaN 쇼트키층(109)이 적층된 구조의 반도체 기판을 건식 식각(dry etching)하여 활성영역을 정의한다.

[0004] 이어서, 도 1b와 같이, 오믹(Ohmic) 금속 전극(111)을 형성한 후 PMMA와 co-polymer 레지스트를 도포하고 전자선 리소그래피 방법으로 노광하여 T형 레지스트 패턴(113)을 형성한다.

[0005] 이어서, 도 1c와 같이, 진공증착 장비를 사용하여 Ni/Au로 구성된 게이트 금속(115)을 증착하고, 리프트 오프(Lift-off) 공정을 통해 레지스트 패턴(113)을 제거하면 도 1d와 같은 T형 게이트 전극(117)이 완성된다.

[0006] 그러나, 위와 같은 방법으로 형성된 종래의 반도체 소자에서는 PMMA와 co-polymer를 사용하여 T형 레지스트 패턴을 형성하였기 때문에, 미세한 게이트 길이를 갖는 T형 게이트 전극을 형성할 경우에는 게이트 패턴의 좁은 개구부 부근에서 게이트 금속이 균일하게 증착되지 않는 문제가 있다. 또한, 게이트 전극의 저항을 낮추기 위해 게이트 금속을 두껍게 증착할 경우에는 진공증착 장비의 온도가 높아져 레지스트 패턴이 변형되기 때문에, T형 게이트 전극을 안정적으로 형성할 수 없게 된다.

[0007] 또한, 기존의 T형 게이트 전극을 사용하여 고주파 반도체 소자를 제작하는 경우에는 게이트와 드레인 전극 사이에 높은 전기장이 발생하여 반도체 소자의 파괴전압이 낮아지고 소자의 신뢰성이 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기한 문제점을 해결하기 위해 제안된 것으로, 미세한 길이를 갖는 게이트 전극을 포함하는 고주파 반도체 소자를 안정적으로 제조할 수 있는 방법을 제공하는 것을 목적으로 한다.

[0009] 또한, 계단형의 게이트 전극을 형성하여 저항 값이 작고, 게이트와 드레인 전극 사이의 전기장을 완화할 수 있으며, 파괴전압이 높은 고주파 반도체 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 이러한 목적을 달성하기 위한 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법은, 다수의 에피택셜층(epitaxial layer) 구조의 반도체 기판 상에 캡층(cap layer)을 형성하고 상기 캡층의 일부를 식각하여 활성영역을 형성하는 단계, 상기 활성영역과 상기 캡층 상에 제 1 질화막, 제 2 질화막 및 게이트 형성을 위한 레지스트 패턴을 순차적으로 형성하는 단계, 상기 레지스트 패턴을 통해 상기 제 2 질화막과 상기 제 1 질화막을 순차적으로 식각하고 상기 레지스트 패턴을 제거하여 계단형의 게이트 절연막 패턴을 형성하는 단계, 상기 제 2 질화막 상에 게이트 헤드 패턴을 형성하는 단계, 상기 게이트 절연막 패턴을 통해 상기 반도체 기판 최상부의 쇼트키층 일부를 식각하여 언더컷(under-cut) 영역을 형성하는 단계, 상기 게이트 절연막 패턴과 상기 게이트 헤드 패턴을 통해 내열성 금속을 증착하여 계단형의 게이트 전극을 형성하는 단계 및 상기 게이트 헤드 패턴을 제거하고 절연막을 증착하는 단계를 포함한다.
- [0011] 상기 언더컷 영역에는 상기 게이트 전극과 상기 쇼트키층 사이에 공기공동(air-cavity)이 형성될 수 있다.
- [0012] 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법은, 상기 제 2 질화막의 형성 이전에 상기 캡층의 양 측면 상에 Ti, Al, Ni, Pd 및 Au 중 적어도 하나의 금속을 증착하여 오믹(Ohmic) 전극을 형성하는 단계를 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 의한 반도체 소자는, 다수의 에피택셜층 구조를 가지고, 최상부의 쇼트키층 일부에는 언더컷 영역이 형성되는 반도체 기판, 상기 반도체 기판 상에 순차적으로 형성되어 계단형의 게이트 절연막 패턴을 형성하는 캡층, 제 1 질화막 및 제 2 질화막 및 상기 게이트 절연막 패턴을 통해 내열성 금속이 증착되어 형성되는 계단형의 게이트 전극을 포함하고, 상기 언더컷 영역에는 상기 게이트 전극과 상기 쇼트키층 사이에 공기공동이 형성되는 것을 특징으로 한다.

발명의 효과

- [0014] 본 발명에 의하면, 광 포토레지스트와 식각물이 서로 다른 2층의 질화막을 이용하여 미세한 계단형의 게이트 전극을 가지는 고주파 반도체 소자를 안정적으로 제조할 수 있다.
- [0015] 또한, 계단형의 게이트 전극 및 게이트 전극과 쇼트키층과의 접촉 부분에 공기공동을 형성함으로써, 낮은 게이트 저항을 가지고 파괴전압이 높은 반도체 소자를 제조할 수 있다.

도면의 간단한 설명

- [0016] 도 1a 내지 도 1d는 종래 기술에 의한 전계효과형 고주파 반도체 소자의 제조 방법을 나타낸 도면.
 도 2a 내지 도 2h는 본 발명의 일 실시예에 의한 계단형 게이트 전극을 포함하는 반도체 소자의 제조 방법을 나타낸 도면.

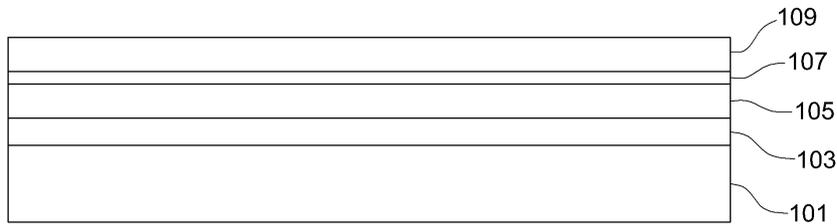
발명을 실시하기 위한 구체적인 내용

- [0017] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다.
- [0018] 도 2a 내지 도 2h는 본 발명의 일 실시예에 의한 계단형 게이트 전극을 포함하는 반도체 소자의 제조 방법을 나타낸 도면이다.
- [0019] 도 2a 내지 도 2h를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법은, 다수의 에피택셜층(epitaxial layer) 구조의 반도체 기판(200) 상에 캡층(cap layer)(211)을 형성하고 캡층(211)의 일부를 식각

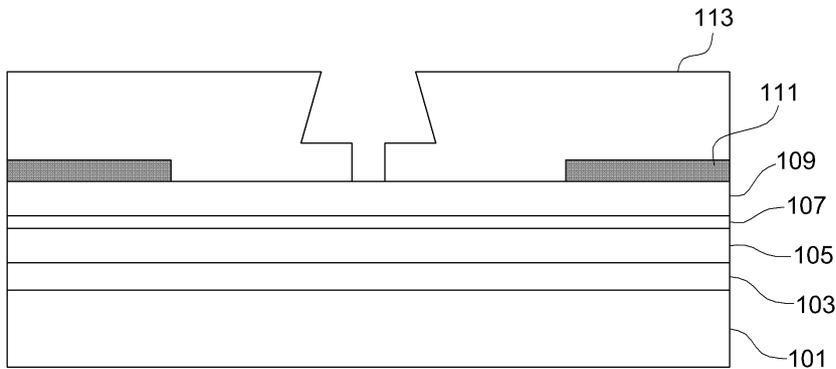
- | | |
|-----------------------------------|------------------|
| 109, 209 : AlGa _N 쇼트키층 | 111 : 오믹 금속 전극 |
| 113 : T형 레지스트 패턴 | 115 : 게이트 금속 |
| 117 : T형 게이트 전극 | 200 : 반도체 기판 |
| 210 : 활성영역 | 220 : 게이트 절연막 패턴 |
| 230 : 언더컷 영역 | 211 : 캡층 |
| 213 : 오믹 전극 | 215 : 제 1 절화막 |
| 217 : 제 2 절화막 | 219 : 레지스트 패턴 |
| 221 : 게이트 헤드 패턴 | 223 : 내열성 금속 |
| 225 : 게이트 전극 | 227 : 절연막 |

도면

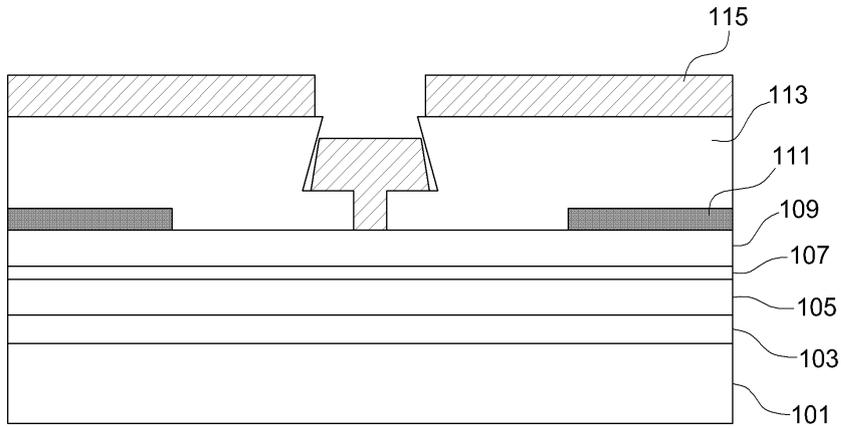
도면1a



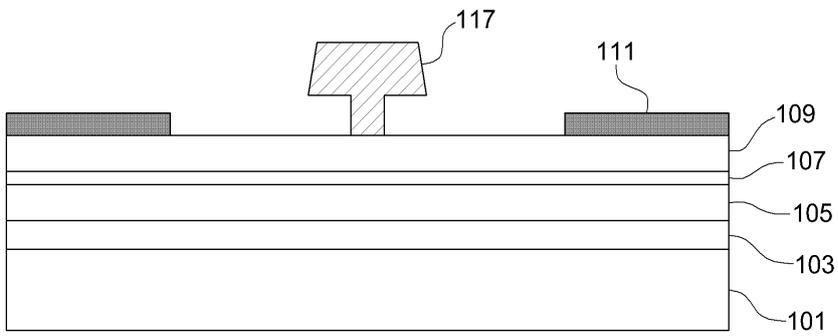
도면1b



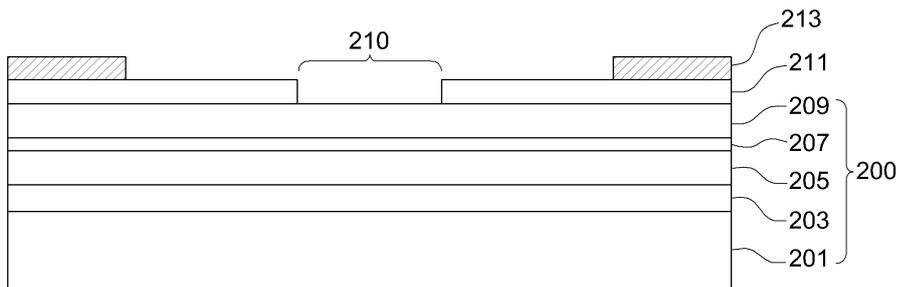
도면1c



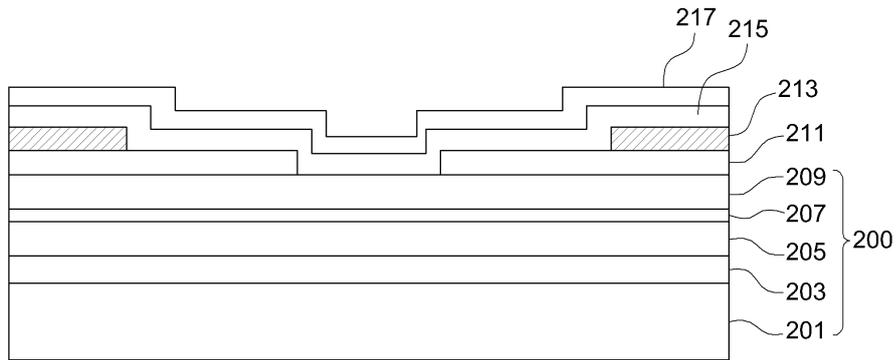
도면1d



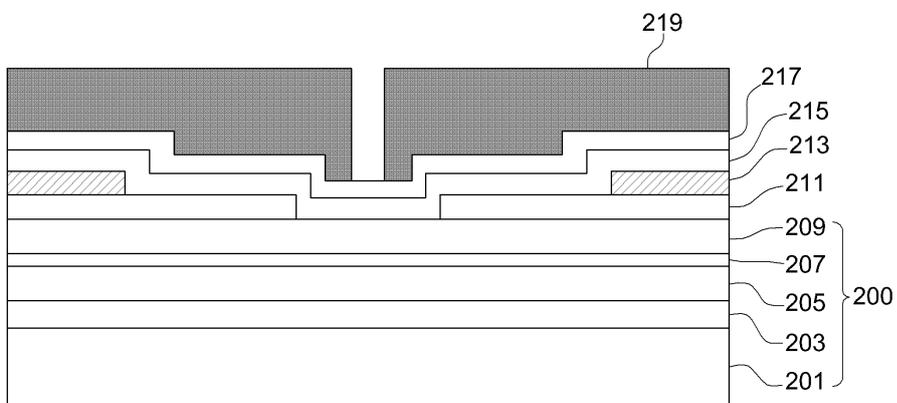
도면2a



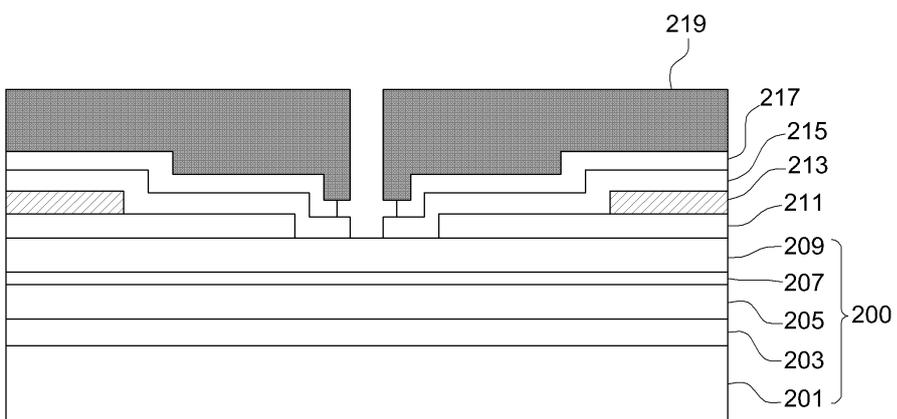
도면2b



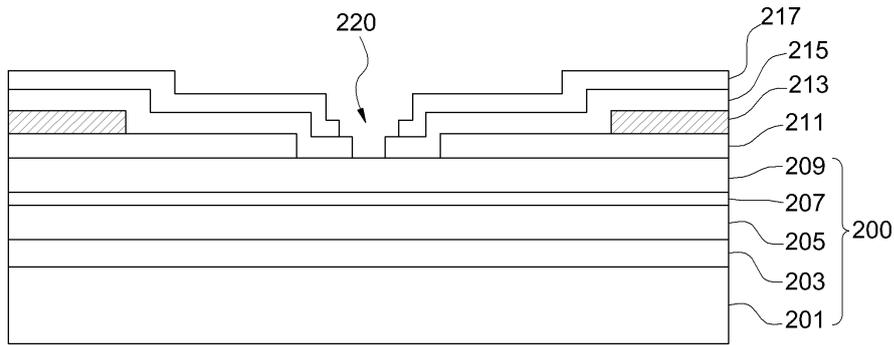
도면2c



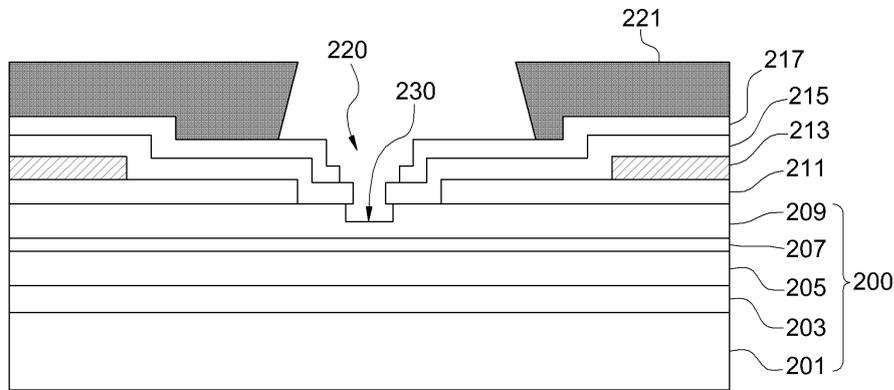
도면2d



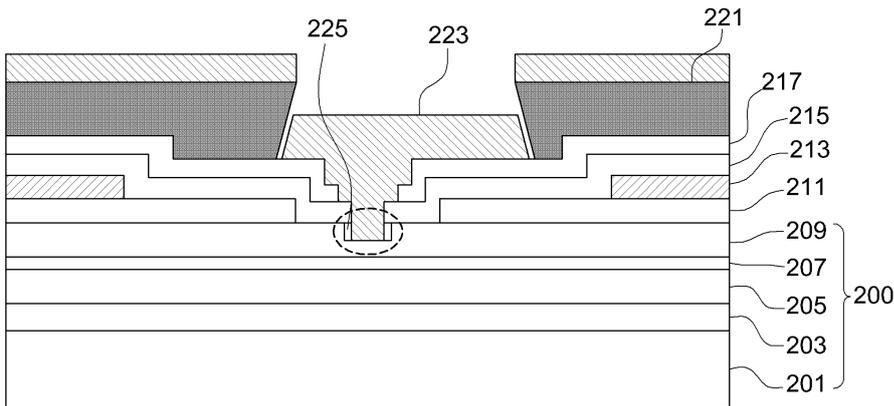
도면2e



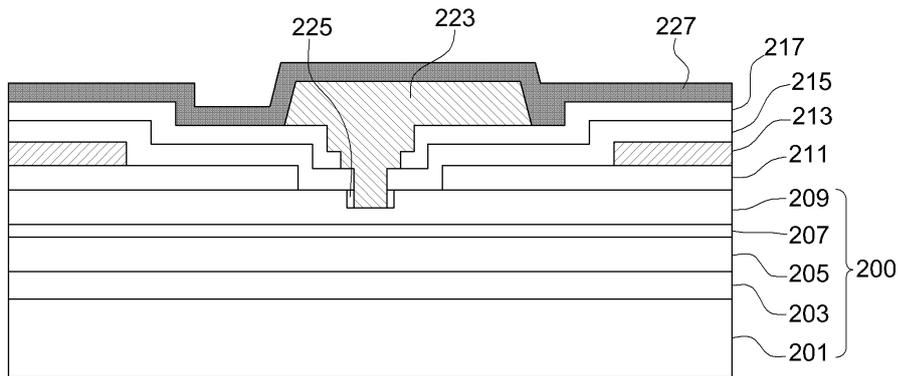
도면2f



도면2g



도면2h



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11

【변경전】

상기 오믹층은

【변경후】

상기 오믹 전극은