

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6834366号
(P6834366)

(45) 発行日 令和3年2月24日(2021.2.24)

(24) 登録日 令和3年2月8日(2021.2.8)

(51) Int.Cl. F I
HO2M 7/48 (2007.01) HO2M 7/48 F
 HO2M 7/48 P

請求項の数 7 (全 28 頁)

(21) 出願番号	特願2016-216548 (P2016-216548)	(73) 特許権者	000201113 船井電機株式会社 大阪府大東市中垣内7丁目7番1号
(22) 出願日	平成28年11月4日(2016.11.4)	(74) 代理人	100148460 弁理士 小俣 純一
(65) 公開番号	特開2018-74881 (P2018-74881A)	(74) 代理人	100168125 弁理士 三藤 誠司
(43) 公開日	平成30年5月10日(2018.5.10)	(72) 発明者	若林 尚之 大阪府大東市中垣内7丁目7番1号 船井電機株式会社内
審査請求日	令和1年9月4日(2019.9.4)	(72) 発明者	西川 隆文 大阪府大東市中垣内7丁目7番1号 船井電機株式会社内

最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項1】

負荷に電力を供給するための電源装置であって、
 スイッチング部と、
 前記スイッチング部の電圧を検出する検出部と、
 前記スイッチング部を制御する駆動部と、
 前記電源装置の入力電力を検出する入力電力検出部と、
 前記電源装置の出力電力を検出する出力電力検出部と、
 前記電圧が所定の閾値以下であることに基づいて、前記スイッチング部のデューティ比を調節することにより、前記スイッチング部をオフからオンに切り替える制御部と、を備え、
 前記制御部は、前記入力電力及び前記出力電力に基づいて電力効率を決定し、前記電力効率に基づいて前記デューティ比を制御する
 電源装置。

10

【請求項2】

前記所定の閾値は、前記スイッチング部のスイッチング素子端子間電圧の最大値の10%以下である
 請求項1に記載の電源装置。

【請求項3】

前記制御部は、前記デューティ比を制御することにより、前記電力効率が最大となるよ

20

うに制御する

請求項 1 又は 2 に記載の電源装置。

【請求項 4】

負荷に電力を供給するための電源装置であって、
スイッチング部と、
前記スイッチング部の電圧を検出する検出部と、
前記スイッチング部を制御する駆動部と、
前記電圧が所定の閾値以下であることに基づいて、前記スイッチング部をオフからオン
に切り替える制御部と、
前記スイッチング部とグラウンドとの間に接続された複数の第 1 のコンデンサと、 を備え

10

、
 前記制御部は、前記第 1 のコンデンサの接続を切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を制御する
 電源装置。

【請求項 5】

前記電源装置は、さらに、前記スイッチング部と前記負荷との間に接続された複数の第 2 のコンデンサを備え、
 前記制御部は、前記複数の第 1 のコンデンサの接続及び前記複数の第 2 のコンデンサの接続のうち少なくとも一方を切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を調節する

20

請求項 4 に記載の電源装置。

【請求項 6】

前記電源装置は、さらに、前記スイッチング部と前記負荷との間に接続された複数のインダクタを備え、
 前記制御部は、前記複数の第 1 のコンデンサの接続、前記複数の第 2 のコンデンサの接続及び前記複数のインダクタの接続のうち少なくともいずれかを切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を制御する

請求項 5 に記載の電源装置。

【請求項 7】

前記制御部は、前記スイッチング部のデューティ比に基づいて、前記接続を切り替える
 請求項 4 ~ 6 のいずれか 1 項に記載の電源装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷に電力を供給するための電源装置に関する。

【背景技術】

【0002】

負荷に電力を供給するための電源装置の一つとして、E 級増幅器 (ZVS: Zero Voltage Switching) が知られている。E 級増幅器では、スイッチング素子の端子間の電圧が 0 (零) V であり、且つ、当該電圧の微分値 (すなわち、電圧の傾き) が 0 (零) であるタイミングで、スイッチング素子がオフからオンに切り替わることにより、スイッチング損失を小さく抑えて高効率で動作することができる。

40

【0003】

上述した E 級増幅器では、負荷の変動等に応じて E 級増幅器の動作点が変わることにより、E 級増幅器の効率が低下することがある。そのため、特許文献 1 の E 級増幅器では、負荷の変動等に応じて、例えばスイッチング素子と負荷との間に並列に接続された複数のコンデンサの接続状態を機械的に切り替えることにより、E 級増幅器の動作点を調節している。

【先行技術文献】

【特許文献】

50

【 0 0 0 4 】

【特許文献 1】特開平 6 - 2 4 3 9 8 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、上述した複数のコンデンサの接続状態を機械的に切り替える方法では、E 級増幅器の動作点を精度良く調節することが難しく、E 級増幅器の効率を十分に高めることができないという課題が生じる。

【 0 0 0 6 】

本発明は、上述した課題を解決しようとするものであり、その目的は、効率を十分に高めることができる電源装置を提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

上記目的を達成するために、本発明の一態様に係る電源装置は、負荷に電力を供給するための電源装置であって、スイッチング部と、前記スイッチング部の電圧を検出する検出部と、前記スイッチング部を制御する駆動部と、前記電圧が所定の閾値以下であることに基づいて、前記スイッチング部をオフからオンに切り替える制御部と、を備える。

【 0 0 0 8 】

本態様によれば、制御部は、電圧が所定の閾値以下であることに基づいて、スイッチング部をオフからオンに切り替える。これにより、例えば負荷の変動等に応じて電源装置の動作点が変わった場合（例えば、電圧の極小点が変わった場合）であっても、スイッチング部をオフからオンに切り替えるタイミングを適宜変更することによって、スイッチング損失を十分に小さく抑えることができ、電源装置の効率を十分に高めることができる。

【 0 0 0 9 】

例えば、本発明の一態様に係る電源装置において、前記制御部は、前記スイッチング部のデューティ比を調節することにより、前記スイッチング部をオフからオンに切り替えるように構成してもよい。

【 0 0 1 0 】

本態様によれば、スイッチング部のデューティ比は連続的に調節することができるので、スイッチング部をオフからオンに切り替えるタイミングを精度良く調節することができる。

【 0 0 1 1 】

例えば、本発明の一態様に係る電源装置において、前記電源装置は、さらに、前記電圧に基づいて、前記電圧の微分値を検出する微分検出部を備え、前記制御部は、前記微分値に基づいて、前記スイッチング部のデューティ比を制御するように構成してもよい。

【 0 0 1 2 】

例えば、本発明の一態様に係る電源装置において、前記制御部は、前記スイッチング部がオフからオンに切り替わることに基づいて前記微分値が正の値である場合には、前記スイッチング部の前記デューティ比を大きくし、前記スイッチング部がオフからオンに切り替わることに基づいて前記微分値が負の値である場合には、前記スイッチング部の前記デューティ比を小さくするように構成してもよい。

【 0 0 1 3 】

本態様によれば、スイッチング部がオフからオンに切り替わるタイミングにおける微分値の正負の符号に基づいて、スイッチング部のデューティ比を増減する。これにより、例えば電圧が極小となるタイミングで、スイッチング部をオフからオンに切り替えることができる。

【 0 0 1 4 】

例えば、本発明の一態様に係る電源装置において、前記所定の閾値は、前記スイッチング部のスイッチング素子端子間電圧の最大値の 1 0 % 以下であるように構成してもよい。

【 0 0 1 5 】

10

20

30

40

50

例えば、本発明の一態様に係る電源装置において、前記電源装置は、さらに、前記電源装置の入力電力を検出する入力電力検出部と、前記電源装置の出力電力を検出する出力電力検出部と、を備え、前記制御部は、前記入力電力及び前記出力電力に基づいて電力効率を決定し、前記電力効率に基づいて前記デューティ比を制御するように構成してもよい。

【0016】

例えば、本発明の一態様に係る電源装置において、前記制御部は、前記デューティ比を制御することにより、前記電力効率が最大となるように制御するように構成してもよい。

【0017】

本態様によれば、電力効率が最大値となるように、デューティ比を調節することにより、例えば電圧が極小となるタイミングで、スイッチング部をオフからオンに切り替えることができ、電源装置の効率をより精度良く高めることができる。

10

【0018】

例えば、本発明の一態様に係る電源装置において、前記電源装置は、さらに、前記スイッチング部とグラウンドとの間に接続された複数の第1のコンデンサを備え、前記制御部は、前記第1のコンデンサの接続を切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を制御するように構成してもよい。

【0019】

本態様によれば、第1のコンデンサの接続を切り替えることにより、電圧の極小点を任意の方向に移動させることができる。その結果、電圧の極小値を0(零)Vに近付けることができ、電源装置の効率をより精度良く高めることができる。

20

【0020】

例えば、本発明の一態様に係る電源装置において、前記電源装置は、さらに、前記スイッチング部と前記負荷との間に接続された複数の第2のコンデンサを備え、前記制御部は、前記複数の第1のコンデンサの接続及び前記複数の第2のコンデンサの接続のうち少なくとも一方を切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を調節するように構成してもよい。

【0021】

本態様によれば、複数の第1のコンデンサの接続及び複数の第2のコンデンサの接続のうち少なくとも一方を切り替えることにより、電圧の極小点を任意の方向に移動させることができる。その結果、電圧の極小値を0(零)Vに近付けることができ、電源装置の効率をより精度良く高めることができる。

30

【0022】

例えば、本発明の一態様に係る電源装置において、前記電源装置は、さらに、前記スイッチング部と前記負荷との間に接続された複数のインダクタを備え、前記制御部は、前記複数の第1のコンデンサの接続、前記複数の第2のコンデンサの接続及び前記複数のインダクタの接続のうち少なくともいずれかを切り替えることにより、前記電圧が極小となるタイミング又は前記電圧の極小値を制御するように構成してもよい。

【0023】

本態様によれば、複数の第1のコンデンサの接続、複数の第2のコンデンサの接続及び複数のインダクタの接続のうち少なくともいずれかを切り替えることにより、電圧の極小点を任意の方向に移動させることができる。その結果、電圧の極小値を0(零)Vに近付けることができる。

40

【0024】

例えば、本発明の一態様に係る電源装置において、前記制御部は、前記スイッチング部のデューティ比に基づいて、前記接続を切り替えるように構成してもよい。

【0025】

本態様によれば、上記接続を切り替えることにより、スイッチング部のデューティ比を所定値(例えば50%)に容易に近付けることができる。

【発明の効果】

【0026】

50

本発明の一態様に係る電源装置によれば、効率を十分に高めることができる。

【図面の簡単な説明】

【0027】

【図1】実施の形態1に係る電源装置の回路構成を示す回路図である。

【図2】実施の形態1に係る電源装置の機能構成を示すブロック図である。

【図3】実施の形態1に係る電源装置の動作の流れを示すフローチャートである。

【図4A】実施の形態1に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図4B】実施の形態1に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

10

【図5】実施の形態2に係る電源装置の回路構成を示す回路図である。

【図6】実施の形態2に係る電源装置の動作の流れを示すフローチャートである。

【図7A】実施の形態2に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図7B】実施の形態2に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図7C】実施の形態2に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図7D】実施の形態2に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

20

【図7E】実施の形態2に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図8】実施の形態2の変形例に係る電源装置の回路構成を示す回路図である。

【図9】実施の形態3に係る電源装置の回路構成を示す回路図である。

【図10】実施の形態4に係る電源装置の回路構成を示す回路図である。

【図11】実施の形態4に係る電源装置の機能構成を示すブロック図である。

【図12】実施の形態4に係る電源装置の動作の流れを示すフローチャートである。

【図13】実施の形態4に係る電源装置における、スイッチング素子の端子間の電圧とスイッチング信号との関係を示すグラフである。

【図14】実施の形態5に係る電源装置の機能構成を示すブロック図である。

30

【図15】実施の形態5に係る電源装置の動作の流れを示すフローチャートである。

【図16】実施の形態6に係る電源装置の機能構成を示すブロック図である。

【図17】実施の形態6に係る電源装置の動作の流れを示すフローチャートである。

【図18】実施の形態7に係る電源装置の回路構成を示す回路図である。

【図19】実施の形態8に係る電源装置の回路構成を示す回路図である。

【図20】実施の形態9に係る電源装置の回路構成を示す回路図である。

【発明を実施するための形態】

【0028】

以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。各図は、必ずしも各寸法または各寸法比等を厳密に図示したものである。

40

【0029】

(実施の形態1)

[1-1. 電源装置の回路構成]

まず、図1を参照しながら、実施の形態1に係る電源装置2の回路構成について説明する。図1は、実施の形態1に係る電源装置2の回路構成を示す回路図である。

【0030】

50

電源装置 2 は、負荷 4 に電力を供給するための装置である。電源装置 2 は、例えば、直流電力を交流電力（高周波電力）に変換する E 級増幅器であり、非接触給電装置等に搭載される。

【0031】

図 1 に示すように、電源装置 2 は、回路構成として、直流電源 6 と、チョークコイル 8 と、スイッチング素子 10（スイッチング部の一例）と、駆動部 12 と、シャントコンデンサ 14 と、共振回路 16 とを備えている。

【0032】

直流電源 6 は、直流電力を生成するための可変電源である。直流電源 6 は、スイッチング素子 10 の端子間に直流電圧を印加する。

【0033】

チョークコイル 8 は、直流電源 6 とスイッチング素子 10 のドレイン端子（後述する）との間に接続されている。チョークコイル 8 は、直流電源 6 からの直流電流を略一定にする。

【0034】

スイッチング素子 10 は、ゲート端子、ソース端子及びドレイン端子を有する N 型の MOSFET（Metal Oxide Semiconductor Field-Effect Transistor）である。スイッチング素子 10 は、駆動部 12 からのスイッチング信号（後述する）に基づいて、高周波でオン・オフ動作する。スイッチング素子 10 のソース端子は、グランドに接続されている。なお、スイッチング素子 10 は、N 型の MOSFET に代えて、P 型の MOSFET であってもよく、あるいは、バイポーラトランジスタ又は IGBT（Insulated Gate Bipolar Transistor）等であってもよい。

【0035】

駆動部 12 は、ゲート抵抗 18 を介してスイッチング素子 10 のゲート端子に接続されている。駆動部 12 は、スイッチング素子 10 をオン・オフ動作させるためのスイッチング信号を生成する。駆動部 12 は、生成したスイッチング信号をスイッチング素子 10 のゲート端子に出力する。なお、駆動部 12 とスイッチング素子 10 のゲート端子との間に接続されたゲート抵抗 18 は、寄生振動等を抑制するためのものである。

【0036】

後述する図 4 A に示すように、スイッチング信号は、一定の周期 T でハイ（High）とロー（Low）とを繰り返すパルス信号である。なお、スイッチング信号は、例えば、三角波生成回路からの三角波と DAC（Digital Analog Converter）からの基準電圧とを比較することにより生成される。

【0037】

スイッチング信号がローからハイに立ち上がった際には、スイッチング素子 10 がオフからオンに切り替わり、ドレイン端子からソース端子に電流が流れる。スイッチング信号がハイからローに立ち下がった際には、スイッチング素子 10 がオンからオフに切り替わり、ドレイン端子からソース端子に電流が流れない。なお、スイッチング信号の周波数は、出力端子 20 から出力される交流電力の周波数と同一である。

【0038】

シャントコンデンサ 14 は、スイッチング素子 10 に対して並列に接続されている。すなわち、シャントコンデンサ 14 は、スイッチング素子 10 のドレイン端子とグランドとの間に接続されている。スイッチング素子 10 がオフの時に、直流電源 6 からの直流電力がチョークコイル 8 を介してシャントコンデンサ 14 に充電される。

【0039】

共振回路 16 は、直列に接続されたシリーズインダクタ 22 及びシリーズコンデンサ 24 を有している。共振回路 16 は、スイッチング素子 10 のドレイン端子と出力端子 20（負荷 4）との間に接続されている。共振回路 16 は、出力端子 20 から出力される交流電力の周波数付近に固有周波数を有している。なお、出力端子 20 には負荷 4 が接続され

10

20

30

40

50

ている。

【 0 0 4 0 】

[1 - 2 . 電源装置の機能構成]

次に、図 2 を参照しながら、実施の形態 1 に係る電源装置 2 の機能構成について説明する。図 2 は、実施の形態 1 に係る電源装置 2 の機能構成を示すブロック図である。

【 0 0 4 1 】

図 2 に示すように、電源装置 2 は、機能構成として、電圧検出部 2 6 (検出部の一例) と、微分検出部 2 8 と、制御部 3 0 とを備えている。

【 0 0 4 2 】

電圧検出部 2 6 は、スイッチング素子 1 0 の端子間の電圧、具体的には、ドレイン端子とソース端子との間の電圧を検出する。

【 0 0 4 3 】

微分検出部 2 8 は、電圧検出部 2 6 により検出された電圧に基づいて、当該電圧の微分値 (すなわち、電圧の傾き) を検出する。

【 0 0 4 4 】

制御部 3 0 は、電圧検出部 2 6 により検出された電圧及び微分検出部 2 8 により検出された微分値に基づいて、駆動部 1 2 を制御する。具体的には、制御部 3 0 は、スイッチング信号のデューティ比 (すなわち、スイッチング素子 1 0 のデューティ比) を調節することにより、電圧が極小となる (すなわち、電圧が所定の閾値以下となる) タイミングでスイッチング素子 1 0 をオフからオンに切り替える。なお、所定の閾値とは、電圧の極小値以上の値であり、例えば、スイッチング素子 1 0 の端子間電圧の最大値の 1 0 % 以下である。また、「電圧が極小となる」とは、電圧が減少から増加に転じ、且つ、当該電圧の微分値が 0 (零) となることを意味する。このとき、極小となる電圧は、厳密な極小値だけでなく、その近傍の電圧であってもよい。

【 0 0 4 5 】

ここで、後述する図 4 A に示すように、スイッチング信号の周期を T、オン期間 (スイッチング信号がハイの期間) を H としたとき、デューティ比は、 $H / T \times 100$ (%) で表される。制御部 3 0 は、オン期間 H を変更することにより、スイッチング信号のデューティ比を調節する。

【 0 0 4 6 】

[1 - 3 . 電源装置の動作]

次に、図 3 ~ 図 4 B を参照しながら、実施の形態 1 に係る電源装置 2 の動作について説明する。図 3 は、実施の形態 1 に係る電源装置 2 の動作の流れを示すフローチャートである。図 4 A 及び図 4 B は、実施の形態 1 に係る電源装置 2 における、スイッチング素子 1 0 の端子間の電圧 V とスイッチング信号との関係を示すグラフである。

【 0 0 4 7 】

図 4 A の (a) に示すように、スイッチング素子 1 0 をオンからオフに切り替えた際には、直流電源 6 からの直流電力がシャントコンデンサ 1 4 に充電されることにより、スイッチング素子 1 0 の端子間の電圧 V が 0 (零) V から立ち上がる。その後、共振回路 1 6 の作用によってシャントコンデンサ 1 4 の放電が始まることにより、スイッチング素子 1 0 の端子間の電圧 V が低下するようになる。その後、シャントコンデンサ 1 4 への充電が再度始まることにより、スイッチング素子 1 0 の端子間の電圧 V が極小値 V_m から立ち上がり始める。一方、スイッチング素子 1 0 をオフからオンに切り替えた際には、スイッチング素子 1 0 の端子間の電圧 V が 0 (零) V まで瞬時に低下する。以下、同様の動作を繰り返す。

【 0 0 4 8 】

本実施の形態では、スイッチング信号のデューティ比を調節することにより、電圧 V が極小値 V_m となる (すなわち、電圧 V が極小となる) タイミングでスイッチング素子 1 0 をオフからオンに切り替える動作に特徴がある。以下、この特徴的な動作について詳細に説明する。

10

20

30

40

50

【 0 0 4 9 】

図 3 に示すように、電圧検出部 2 6 は、スイッチング素子 1 0 の端子間の電圧 V を検出する (S 1)。その後、微分検出部 2 8 は、電圧検出部 2 6 により検出された電圧 V に基づいて、当該電圧 V の微分値 dV を検出する (S 2)。その後、制御部 3 0 は、スイッチング素子 1 0 がオフからオンに切り替わるタイミングにおける微分値 dV が負の値であるか否かを判定する (S 3、S 4)。

【 0 0 5 0 】

図 4 A の (a) に示す例では、電圧 V が極小値 V_m から立ち上がった直後に、スイッチング素子 1 0 がオフからオンに切り替わっている。この場合、制御部 3 0 は、スイッチング素子 1 0 がオフからオンに切り替わるタイミングで、微分値 dV が正の値であると判定し (S 3 で N O、S 4 で Y E S)、スイッチング信号のデューティ比を大きくする (S 5)。これにより、図 4 A の (b) に示すように、スイッチング信号のオン期間 H' が増大する (すなわち、スイッチング信号がローからハイに立ち上がるタイミングが早くなる) ことにより、電圧 V が極小値 V_m となるタイミングで、スイッチング素子 1 0 がオフからオンに切り替わるようになる。

10

【 0 0 5 1 】

一方、図 4 B の (a) に示す例では、電圧 V が極小値 V_m まで低下する直前に、スイッチング素子 1 0 がオフからオンに切り替わっている。この場合、制御部 3 0 は、スイッチング素子 1 0 がオフからオンに切り替わるタイミングで、微分値 dV が負の値であると判定し (S 3 で Y E S)、スイッチング信号のデューティ比を小さくする (S 6)。これにより、図 4 B の (b) に示すように、スイッチング信号のオン期間 H' が減少する (すなわち、スイッチング信号がローからハイに立ち上がるタイミングが遅くなる) ことにより、電圧 V が極小値 V_m となるタイミングで、スイッチング素子 1 0 がオフからオンに切り替わるようになる。

20

【 0 0 5 2 】

なお、制御部 3 0 は、スイッチング素子 1 0 がオフからオンに切り替わるタイミングで、微分値 dV が 0 (零) であると判定した場合には (S 3 で N O、S 4 で N O)、スイッチング信号のデューティ比を維持する (S 7)。すなわち、この場合には、電圧 V が極小値 V_m になったタイミングで、スイッチング素子 1 0 がオフからオンに切り替わっていると考えられるため、スイッチング信号のデューティ比を調節しなくてもよい。

30

【 0 0 5 3 】

[1 - 4 . 効果]

次に、実施の形態 1 に係る電源装置 2 により得られる効果について説明する。上述したように、電圧 V が極小値 V_m となるタイミングでスイッチング素子 1 0 がオフからオンに切り替わるように、スイッチング信号のデューティ比を調節する。スイッチング信号のデューティ比は連続的に調節することができるので、電圧 V が極小値 V_m となるタイミングでスイッチング素子 1 0 をオフからオンに精度良く切り替えることができる。その結果、スイッチング損失を十分に小さく抑えることができ、電源装置 2 の効率を十分に高めることができる。

【 0 0 5 4 】

(実施の形態 2)

[2 - 1 . 電源装置の回路構成]

次に、図 5 を参照しながら、実施の形態 2 に係る電源装置 2 A の回路構成について説明する。図 5 は、実施の形態 2 に係る電源装置 2 A の回路構成を示す回路図である。なお、以下の各実施の形態では、上記実施の形態 1 と同一の構成要素には同一の符号を付して、その説明を省略する。

40

【 0 0 5 5 】

図 5 に示すように、実施の形態 2 に係る電源装置 2 A では、シャントコンデンサ群 1 4 A と、シリーズコンデンサ群 2 4 A と、第 1 の切替スイッチ 3 2 と、第 2 の切替スイッチ 3 4 とを備える点が上記実施の形態 1 と相違している。

50

【 0 0 5 6 】

シャントコンデンサ群 1 4 A は、並列に接続された 2 つのシャントコンデンサ 1 4 A a 及び 1 4 A b (複数の第 1 のコンデンサの一例) を有している。

【 0 0 5 7 】

第 1 の切替スイッチ 3 2 は、シャントコンデンサ 1 4 A b に対して直列に接続されている。第 1 の切替スイッチ 3 2 は、2 つのシャントコンデンサ 1 4 A a 及び 1 4 A b の接続を切り替えるためのスイッチである。具体的には、第 1 の切替スイッチ 3 2 がオンすると、シャントコンデンサ 1 4 A b がシャントコンデンサ 1 4 A a に対して並列に接続される。このとき、シャントコンデンサ群 1 4 A の全体容量 $C 1$ は、シャントコンデンサ 1 4 A a の容量 $C 1 a$ 及びシャントコンデンサ 1 4 A b の容量 $C 1 b$ の合成容量 $C 1 a + C 1 b$ と等しくなる。一方、第 1 の切替スイッチ 3 2 がオフすると、シャントコンデンサ 1 4 A b がシャントコンデンサ 1 4 A a から切断される。このとき、シャントコンデンサ群 1 4 A の全体容量 $C 1$ は、シャントコンデンサ 1 4 A a の容量 $C 1 a$ ($< C 1 a + C 1 b$) と等しくなる。

10

【 0 0 5 8 】

シリーズコンデンサ群 2 4 A は、共振回路 1 6 A の一部を構成し、並列に接続された 2 つのシリーズコンデンサ 2 4 A a 及び 2 4 A b (複数の第 2 のコンデンサの一例) を有している。

【 0 0 5 9 】

第 2 の切替スイッチ 3 4 は、シリーズコンデンサ 2 4 A b に対して直列に接続されている。第 2 の切替スイッチ 3 4 は、2 つのシリーズコンデンサ 2 4 A a 及び 2 4 A b の接続を切り替えるためのスイッチである。具体的には、第 2 の切替スイッチ 3 4 がオンすると、シリーズコンデンサ 2 4 A b がシリーズコンデンサ 2 4 A a に対して並列に接続される。このとき、シリーズコンデンサ群 2 4 A の全体容量 $C 2$ は、シリーズコンデンサ 2 4 A a の容量 $C 2 a$ 及びシリーズコンデンサ 2 4 A b の容量 $C 2 b$ の合成容量 $C 2 a + C 2 b$ と等しくなる。一方、第 2 の切替スイッチ 3 4 がオフすると、シリーズコンデンサ 2 4 A b がシリーズコンデンサ 2 4 A a から切断される。このとき、シリーズコンデンサ群 2 4 A の全体容量 $C 2$ は、シリーズコンデンサ 2 4 A a の容量 $C 2 a$ ($< C 2 a + C 2 b$) と等しくなる。

20

【 0 0 6 0 】

制御部 3 0 A は、電圧検出部 2 6 (図 2 参照) により検出された電圧と微分検出部 2 8 (図 2 参照) により検出された微分値とスイッチング信号のデューティ比とに基づいて、第 1 の切替スイッチ 3 2 及び第 2 の切替スイッチ 3 4 の各々のオン・オフ動作を制御する。

30

【 0 0 6 1 】

[2 - 2 . 電源装置の動作]

次に、図 6 ~ 図 7 E を参照しながら、実施の形態 2 に係る電源装置 2 A の動作について説明する。図 6 は、実施の形態 2 に係る電源装置 2 A の動作の流れを示すフローチャートである。図 7 A ~ 図 7 E は、実施の形態 2 に係る電源装置 2 A における、スイッチング素子 1 0 の端子間の電圧 V とスイッチング信号との関係を示すグラフである。

40

【 0 0 6 2 】

本実施の形態では、上記実施の形態 1 で説明したように、電圧 V が極小値 $V m$ となるタイミングでスイッチング素子 1 0 がオフからオンに切り替わるように、スイッチング信号のデューティ比を調節する動作に加えて、2 つのシャントコンデンサ 1 4 A a 及び 1 4 A b の接続と 2 つのシリーズコンデンサ 2 4 A a 及び 2 4 A b の接続とのうちいずれかを切り替える動作が行われる点に特徴がある。以下、この特徴的な動作について詳細に説明する。

【 0 0 6 3 】

図 6 に示すように、まず、電圧検出部 2 6 は、スイッチング素子 1 0 の端子間の電圧 V を検出する (S 1 1) 。その後、微分検出部 2 8 は、電圧検出部 2 6 により検出された電

50

圧 V に基づいて、当該電圧 V の微分値 dV を検出する(S12)。

【0064】

その後、スイッチング素子10がオフからオンに切り替わるタイミングで、電圧 V 及び微分値 dV がともに正の値である場合には(S13でYES、S14でNO、S15でYES)、制御部30Aは、上記実施の形態1で説明したステップS5と同様に、スイッチング信号のデューティ比を大きくする(S16)。

【0065】

ステップS13に戻り、スイッチング素子10がオフからオンに切り替わるタイミングで、電圧 V が正の値であり(S13でYES)、且つ、微分値 dV が負の値である場合には(S14でYES)、制御部30Aは、上記実施の形態1で説明したステップS6と同様に、スイッチング信号のデューティ比を小さくする(S17)。

10

【0066】

すなわち、電圧 V が正の値であり、且つ、微分値 dV が正の値又は負の値である場合には、上記実施の形態1で説明したのと同様の動作が行われる。

【0067】

ステップS13に戻り、図7Aの(a)に示すように、スイッチング素子10がオフからオンに切り替わるタイミングで、電圧 V が正の値であり(S13でYES)、且つ、微分値 dV が0(零)である場合には(S14でNO、S15でNO)、制御部30Aは、スイッチング信号のデューティ比が50%を超えているか否かを判定する(S18)。

【0068】

スイッチング信号のデューティ比が50%を超えている場合には(S18でYES)、制御部30Aは、第2の切替スイッチ34をオンすることにより、シリーズコンデンサ群24Aの全体容量 $C2$ を大きくする(S19)。図7Aの(a)及び(b)に示すように、シリーズコンデンサ群24Aの全体容量 $C2$ を大きくすることにより、電圧 V の極小点は、極小点 P から図7Aにおいて右斜め下方に極小点 P' まで移動するようになる。これに伴って、電圧 V の極小値は、極小値 V_m から極小値 $V_{m'}$ ($< V_m$)まで低下する。なお、極小点は、電圧 V が減少から増加に転じ、且つ、電圧 V の微分値 dV が0(零)となる電圧及び時間をパラメータとする点である。その後、制御部30Aは、電圧 V が極小値 $V_{m'}$ となるタイミングでスイッチング素子10がオフからオンに切り替わるように、スイッチング信号のデューティ比を小さくする(S20)。これにより、スイッチング信号のデューティ比は、50%に近づく方向に調節される。

20

30

【0069】

ステップS18に戻り、スイッチング信号のデューティ比が50%を超えていない場合には(S18でNO)、制御部30Aは、第1の切替スイッチ32をオフすることにより、シャントコンデンサ群14Aの全体容量 $C1$ を小さくする(S21)。図7Bの(a)及び(b)に示すように、シャントコンデンサ群14Aの全体容量 $C1$ を小さくすることにより、電圧 V の極小点は、極小点 P から図7Bにおいて左斜め下方に極小点 P' まで移動するようになる。これに伴って、電圧 V の極小値は、極小値 V_m から極小値 $V_{m'}$ ($< V_m$)まで低下する。その後、制御部30Aは、電圧 V が極小値 $V_{m'}$ となるタイミングでスイッチング素子10がオフからオンに切り替わるように、スイッチング信号のデューティ比を大きくする(S20)。これにより、スイッチング信号のデューティ比は、50%に近づく方向に調節される。

40

【0070】

ステップS13に戻り、図7Cの(a)に示すように、スイッチング素子10がオフからオンに切り替わるタイミングで、電圧 V が0(零)Vであり(S13でNO)、且つ、微分値 dV が0(零)である場合には(S22でNO)、制御部30Aは、第1の切替スイッチ32をオンすることによりシャントコンデンサ群14Aの全体容量 $C1$ を大きくし、且つ、第2の切替スイッチ34をオフすることにより、シリーズコンデンサ群24Aの全体容量 $C2$ を小さくする(S23)。ここで、シャントコンデンサ群14Aの全体容量 $C1$ を大きくすることにより、電圧 V の極小点は、図7Cにおいて右斜め上方に移動する

50

。また、シリーズコンデンサ群 2 4 A の全体容量 C_2 を小さくすることにより、電圧 V の極小点は、図 7 C において左斜め上方に移動する。したがって、図 7 C の (a) 及び (b) に示すように、シャントコンデンサ群 1 4 A の全体容量 C_1 を大きくし、且つ、シリーズコンデンサ群 2 4 A の全体容量 C_2 を小さくした場合には、電圧 V の極小点は、極小点 P (電圧の負の領域) から図 7 C において直上方に極小点 P' (電圧の正の領域) まで移動するようになる。その後、制御部 3 0 A は、電圧 V が極小値 V_m' (> 0) となるタイミングでスイッチング素子 1 0 がオフからオンに切り替わるように、スイッチング信号のデューティ比を例えば大きくする (S 2 0) 。

【 0 0 7 1 】

ステップ S 1 3 に戻り、図 7 D の (a) に示すように、スイッチング素子 1 0 がオフからオンに切り替わるタイミングで、電圧 V が 0 (零) V であり (S 1 3 で N O)、且つ、微分値 dV が負の値である場合には (S 2 2 で Y E S)、制御部 3 0 A は、スイッチング信号のデューティ比が 5 0 % を超えているか否かを判定する (S 2 4) 。

【 0 0 7 2 】

スイッチング信号のデューティ比が 5 0 % を超えている場合には (S 2 4 で Y E S)、制御部 3 0 A は、第 1 の切替スイッチ 3 2 をオンすることにより、シャントコンデンサ群 1 4 A の全体容量 C_1 を大きくする (S 2 5)。図 7 D の (a) 及び (b) に示すように、シャントコンデンサ群 1 4 A の全体容量 C_1 を大きくすることにより、電圧 V の極小点は、極小点 P (電圧の負の領域) から図 7 D において右斜め上方に極小点 P' (電圧の正の領域) まで移動するようになる。その後、制御部 3 0 A は、電圧 V が極小値 V_m' (> 0) となるタイミングでスイッチング素子 1 0 がオフからオンに切り替わるように、スイッチング信号のデューティ比を小さくする (S 2 0)。これにより、スイッチング信号のデューティ比は、5 0 % に近づく方向に調節される。

【 0 0 7 3 】

ステップ S 2 4 に戻り、スイッチング信号のデューティ比が 5 0 % を超えていない場合には (S 2 4 で N O)、制御部 3 0 A は、第 2 の切替スイッチ 3 4 をオフすることにより、シリーズコンデンサ群 2 4 A の全体容量 C_2 を小さくする (S 2 6)。図 7 E の (a) 及び (b) に示すように、シリーズコンデンサ群 2 4 A の全体容量 C_2 を小さくすることにより、電圧 V の極小点は、極小点 P (電圧の負の領域) から図 7 E において左斜め上方に極小点 P' (電圧の正の領域) まで移動するようになる。その後、制御部 3 0 A は、電圧 V が極小値 V_m' (> 0) となるタイミングでスイッチング素子 1 0 がオフからオンに切り替わるように、スイッチング信号のデューティ比を大きくする (S 2 0)。これにより、スイッチング信号のデューティ比は、5 0 % に近づく方向に調節される。

【 0 0 7 4 】

[2 - 3 . 効果]

次に、実施の形態 2 に係る電源装置 2 A により得られる効果について説明する。本実施の形態では、上述したように、2 つのシャントコンデンサ 1 4 A a 及び 1 4 A b の接続と 2 つのシリーズコンデンサ 2 4 A a 及び 2 4 A b の接続とのうちいずれかを切り替える動作が行われる。これにより、電圧 V が極小となるタイミング又は電圧 V の極小値 V_m が調節されるので、電圧 V の極小点を任意の方向に移動させることができる。その結果、電圧 V の極小値 V_m を 0 (零) V に近付けることができ、電源装置 2 A の効率をより精度良く高めることができる。

【 0 0 7 5 】

さらに、上述したように、スイッチング信号のデューティ比に基づいて、上記接続を切り替えるので、スイッチング信号のデューティ比を所定値 (例えば 5 0 %) に容易に近付けることができる。その結果、電源装置 2 A の効率をより一層高めることができる。

【 0 0 7 6 】

[2 - 4 . 変形例]

ここで、図 8 を参照しながら、実施の形態 2 の変形例に係る電源装置 2 A' の回路構成について説明する。図 8 は、実施の形態 2 の変形例に係る電源装置 2 A' の回路構成を示

10

20

30

40

50

す回路図である。

【 0 0 7 7 】

図 8 に示すように、実施の形態 2 の変形例では、電源装置 2 A ' は、シャントコンデンサ群 1 4 A 及びシリーズコンデンサ群 2 4 A に加えて、シリーズインダクタ群 2 2 A 及び第 3 の切替スイッチ 3 6 を備えている。

【 0 0 7 8 】

シリーズインダクタ群 2 2 A は、共振回路 1 6 A ' の一部を構成し、並列に接続された 2 つのシリーズインダクタ 2 2 A a 及び 2 2 A b (複数のインダクタの一例) を有している。第 3 の切替スイッチ 3 6 は、シリーズインダクタ 2 2 A b に対して直列に接続されている。制御部 3 0 A ' は、第 3 の切替スイッチ 3 6 をオン・オフさせることにより、2 つのシリーズインダクタ 2 2 A a 及び 2 2 A b の接続を切り替える。

【 0 0 7 9 】

2 つのシリーズインダクタ 2 2 A a 及び 2 2 A b の接続を切り替えることにより、シリーズインダクタ群 2 2 A の全体リアクタンス L を変化させることができる。全体リアクタンス L を小さくすることにより、電圧 V の極小点は、図 7 A 等において左斜め上方に移動する。一方、全体リアクタンス L を大きくすることにより、電圧 V の極小点は、図 7 A 等において右斜め下方に移動する。

【 0 0 8 0 】

したがって、2 つのシャントコンデンサ 1 4 A a 及び 1 4 A b の接続と 2 つのシリーズコンデンサ 2 4 A a 及び 2 4 A b の接続と 2 つのシリーズインダクタ 2 2 A a 及び 2 2 A b の接続とのうちいずれかを切り替えることにより、電圧 V の極小点を任意の方向に移動させることができる。

【 0 0 8 1 】

なお、本変形例では、シリーズインダクタ群 2 2 A は 2 つのシリーズインダクタ 2 2 A a 及び 2 2 A b を有するとしたが、3 つ以上のシリーズコンダクタを有するようにしてもよい。このことは、シャントコンデンサ群 1 4 A 及びシリーズコンデンサ群 2 4 A についても同様である。

【 0 0 8 2 】

(実施の形態 3)

[3 - 1 . 電源装置の回路構成]

次に、図 9 を参照しながら、実施の形態 3 に係る電源装置 2 B について説明する。図 9 は、実施の形態 3 に係る電源装置 2 B の回路構成を示す回路図である。

【 0 0 8 3 】

図 9 に示すように、実施の形態 3 に係る電源装置 2 B では、上記実施の形態 1 の電源装置 2 の構成要素に加えて、入力電力検出部 3 8 及び出力電力検出部 4 0 を備えている。

【 0 0 8 4 】

入力電力検出部 3 8 は、電源装置 2 B の入力電力 W_i を検出する。具体的には、入力電力検出部 3 8 は、直流電源 6 から出力された電圧及び電流を検出し、これらの電圧及び電流の積を算出することにより、入力電力 W_i を検出する。

【 0 0 8 5 】

出力電力検出部 4 0 は、電源装置 2 B の出力電力 W_o を検出する。具体的には、出力電力検出部 4 0 は、シリーズコンデンサ 2 4 の両端における電圧をそれぞれ直交復調し、当該両端電圧の差とシリーズコンデンサ 2 4 の容量とから電流を算出し、上記両端電圧の一方と電流との積の実数成分を算出することにより、出力電力 W_o を検出する。

【 0 0 8 6 】

制御部 3 0 B は、入力電力 W_i 及び出力電力 W_o に基づいて電力効率 ($= W_o / W_i$) を算出し、当該電力効率に基づいてスイッチング信号のデューティ比を調節する。具体的には、制御部 3 0 B は、上記電力効率が最大値 ($W_o / W_i = 1$) となるように、換言すると、電圧 V が極小となるタイミングでスイッチング素子 1 0 がオフからオンに切り替えられるように、スイッチング信号のデューティ比を調節する。なお、電圧 V が 0 (零) V

10

20

30

40

50

であり、且つ、微分値 dV が 0 (零) である場合に、電力効率が最大値になることは言うまでもない。

【 0 0 8 7 】

[3 - 2 . 効果]

したがって、本実施の形態においても、スイッチング損失を十分に小さく抑えることができ、電源装置 2 B の効率を十分に高めることができる。

【 0 0 8 8 】

なお、本実施の形態の入力電力検出部 3 8 及び出力電力検出部 4 0 は、上記実施の形態 2 の電源装置 2 A (2 A ') の構成要素に付加するようによい。

【 0 0 8 9 】

(実施の形態 4)

[4 - 1 . 電源装置の回路構成]

次に、図 1 0 を参照しながら、実施の形態 4 に係る電源装置 2 C の回路構成について説明する。図 1 0 は、実施の形態 4 に係る電源装置 2 C の回路構成を示す回路図である。

【 0 0 9 0 】

図 1 0 に示すように、実施の形態 4 に係る電源装置 2 C は、回路構成として、直流電源 6 と、2つのチョークコイル 8 a 及び 8 b と、スイッチング素子 1 0 と、駆動部 1 2 と、2つのシャントコンデンサ 1 4 a 及び 1 4 b と、共振回路 1 6 C と、補償回路 4 2 とを備えている。以下、実施の形態 1 に係る電源装置 2 との相違点を中心に説明する。

【 0 0 9 1 】

チョークコイル 8 a は、直流電源 6 とスイッチング素子 1 0 のドレイン端子との間に接続されている。チョークコイル 8 b は、スイッチング素子 1 0 のソース端子とグランドとの間に接続されている。

【 0 0 9 2 】

スイッチング素子 1 0 は、電源装置 2 C の給電能力を大きくするために、比較的大きい定格を有している。そのため、スイッチング素子 1 0 は、ドレイン端子とソース端子との間に、比較的大きな寄生容量 C_{ds} を有している。

【 0 0 9 3 】

2つのシャントコンデンサ 1 4 a 及び 1 4 b は、互いに直列に接続され、且つ、スイッチング素子 1 0 に対して並列に接続されている。シャントコンデンサ 1 4 a とシャントコンデンサ 1 4 b との接続点は、グランドに接続されている。

【 0 0 9 4 】

共振回路 1 6 C は、差動型の共振回路である。共振回路 1 6 C は、2つのシリーズインダクタ 2 2 a 及び 2 2 b と、2つのシリーズコンデンサ 2 4 a 及び 2 4 b と、5つの抵抗 4 4 a , 4 4 b , 4 4 c , 4 4 d 及び 4 4 e とを有している。抵抗 4 4 a 、シリーズインダクタ 2 2 a 、シリーズコンデンサ 2 4 a 及び抵抗 4 4 c は、この順に互いに直列に接続されている。また、抵抗 4 4 b 、シリーズインダクタ 2 2 b 、シリーズコンデンサ 2 4 b 及び抵抗 4 4 d は、この順に互いに直列に接続されている。抵抗 4 4 e は、抵抗 4 4 c 及び抵抗 4 4 d の接続点とグランドとの間に接続されている。

【 0 0 9 5 】

補償回路 4 2 は、スイッチング素子 1 0 に対して並列に接続されている。補償回路 4 2 は、第 1 のスイッチング素子 4 6 a と、第 2 のスイッチング素子 4 6 b と、第 1 の DC (Direct Current) カットコンデンサ 4 8 a と、第 2 の DC カットコンデンサ 4 8 b と、直流電源 5 0 とを有している。第 1 の DC カットコンデンサ 4 8 a 、第 1 のスイッチング素子 4 6 a 、第 2 のスイッチング素子 4 6 b 及び第 2 の DC カットコンデンサ 4 8 b は、この順に互いに直列に接続されている。なお、本実施の形態では、補償回路 4 2 を 1 つのみ設けたが、複数の補償回路 4 2 をスイッチング素子 1 0 に対して並列に接続してもよい。

【 0 0 9 6 】

第 1 のスイッチング素子 4 6 a 及び第 2 のスイッチング素子 4 6 b の各々は、ゲート端

10

20

30

40

50

子、ソース端子及びドレイン端子を有するN型のMOSFETである。なお、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々は、MOSFETに代えて、例えばバイポーラトランジスタ又はIGBT等であってもよい。

【0097】

第1のスイッチング素子46a及び第2のスイッチング素子46bの各々のドレイン端子は、互いに接続されている。これにより、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々に逆電圧が印加されるのを抑制することができる。

【0098】

第1のスイッチング素子46aのゲート端子とソース端子とは、同電位となるように短絡されている。第1のスイッチング素子46aのゲート端子とグランドとの間には、比較的大きい抵抗値(例えば100k)を有する第1の抵抗52aが接続されている。これにより、第1のスイッチング素子46aがオンとなって第1のスイッチング素子46aに電流が流れるのを抑制することができる。

【0099】

同様に、第2のスイッチング素子46bのゲート端子とソース端子とは、同電位となるように短絡されている。第2のスイッチング素子46bのゲート端子とグランドの間には、比較的大きい抵抗値(例えば100k)を有する第2の抵抗52bが接続されている。これにより、第2のスイッチング素子46bがオンとなって第2のスイッチング素子46bに電流が流れるのを抑制することができる。

【0100】

すなわち、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々は、ゲート端子とソース端子とが同電位であるため、常時オフしている状態となる。そのため、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々は、あたかもコンデンサとして機能し、ドレイン端子とソース端子との間に寄生容量を有するようになる。

【0101】

なお、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々には、直流電源6からの直流電圧及び直流電源50からの直流電圧の両方が印加される。そのため、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々の耐圧は、スイッチング素子10の耐圧よりも高いことが好ましい。

【0102】

第1のDCカットコンデンサ48aは、スイッチング素子10のドレイン端子と第1のスイッチング素子46aのソース端子との間に接続されている。第2のDCカットコンデンサ48bは、スイッチング素子10のソース端子と第2のスイッチング素子46bのソース端子との間に接続されている。第1のDCカットコンデンサ48a及び第2のDCカットコンデンサ48bは、直流電源50からの直流電流がスイッチング素子10に流入するのを抑制する。なお、第1のDCカットコンデンサ48a及び第2のDCカットコンデンサ48bの各々の容量は、例えば1000pFである。

【0103】

直流電源50は、直流電力を生成するための可変電源である。直流電源50の陽極側は、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々のドレイン端子に接続されている。直流電源50は、各ドレイン端子に例えば10~100Vの直流電圧を印加する。各ドレイン端子に印加する直流電圧を例えば10~100Vの間で変化させることにより、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々の寄生容量が変化するのに伴って、補償回路42の全体容量Cpが変化するようになる。

【0104】

[4-2. 電源装置の機能構成]

次に、図11を参照しながら、実施の形態4に係る電源装置2Cの機能構成について説明する。図11は、実施の形態4に係る電源装置2Cの機能構成を示すブロック図である

10

20

30

40

50

【 0 1 0 5 】

図 1 1 に示すように、電源装置 2 C は、機能構成として、入力電力検出部 5 4 及び出力電力検出部 5 6 を備えている。

【 0 1 0 6 】

入力電力検出部 5 4 は、電源装置 2 C の入力電力 W_i を検出する。出力電力検出部 5 6 は、電源装置 2 C の出力電力 W_o を検出する。

【 0 1 0 7 】

制御部 3 0 C は、入力電力 W_i 及び出力電力 W_o に基づいて電力効率 ($= W_o / W_i$) を算出し、当該電力効率に基づいて直流電源 5 0 から出力される直流電圧を制御する。

10

【 0 1 0 8 】

[4 - 3 . 電源装置の動作]

次に、図 1 2 を参照しながら、実施の形態 4 に係る電源装置 2 C の動作について説明する。図 1 2 は、実施の形態 4 に係る電源装置 2 C の動作の流れを示すフローチャートである。

【 0 1 0 9 】

図 1 2 に示すように、直流電源 6 がオンすることにより、電源装置 2 C が起動する (S 3 1)。その後、入力電力検出部 5 4 は入力電力 W_i を検出し、出力電力検出部 5 6 は出力電力 W_o を検出する (S 3 2)。

【 0 1 1 0 】

その後、制御部 3 0 C は、入力電力 W_i 及び出力電力 W_o に基づいて電力効率を算出し、決定する (S 3 3)。当該電力効率が最大値 ($W_o / W_i = 1$) よりも低い場合には (S 3 4 で N O)、制御部 3 0 C は、当該電力効率が最大値に近づくように、直流電源 5 0 から出力される直流電圧をフィードバック制御する (S 3 5)。

20

【 0 1 1 1 】

[4 - 4 . 効果]

次に、図 1 3 を参照しながら、実施の形態 4 に係る電源装置 2 C により得られる効果について説明する。図 1 3 は、実施の形態 4 に係る電源装置 2 C における、スイッチング素子 1 0 の端子間の電圧 V とスイッチング信号との関係を示すグラフである。

【 0 1 1 2 】

一般に、スイッチング素子 1 0 の寄生容量 C_{ds} は、スイッチング素子 1 0 の端子間に印加される直流電圧やスイッチング素子 1 0 の温度等の影響を受けて変動する。例えば、スイッチング素子 1 0 の端子間に印加される直流電圧が 1 0 V から 1 0 0 V まで変化した場合には、スイッチング素子 1 0 の寄生容量 C_{ds} は、2 0 0 p F から 2 0 p F まで変化する。このようにスイッチング素子 1 0 の寄生容量 C_{ds} が変動することにより、スイッチング素子 1 0 の寄生容量 C_{ds} と補償回路 4 2 の全体容量 C_p との合成容量 C_o は、例えば 8 3 p F から 9 . 8 p F まで変動する。合成容量 C_o が変動すると、図 1 3 の (a) に示すように、スイッチング素子 1 0 の端子間の電圧 V の極小点 P が変動してしまい、電源装置 2 C を常に高効率で動作させることが難しい。

30

【 0 1 1 3 】

そこで、本実施の形態では、スイッチング素子 1 0 (スイッチング部の一例) と、スイッチング素子 1 0 をオン・オフ動作させる駆動部 1 2 と、スイッチング素子 1 0 の端子間に対して並列に接続された補償回路 4 2 とを備える。補償回路 4 2 は、第 1 のスイッチング素子 4 6 a (第 1 のスイッチング部の一例) と、第 1 のスイッチング素子 4 6 a に対して直列に接続された第 2 のスイッチング素子 4 6 b (第 2 のスイッチング部の一例) と、第 1 のスイッチング素子 4 6 a に対して直列に接続され、スイッチング素子 1 0 と第 1 のスイッチング素子 4 6 a との間に接続された第 1 の DC カットコンデンサ 4 8 a (第 1 のコンデンサの一例) と、第 2 のスイッチング素子 4 6 b に対して直列に接続され、スイッチング素子 1 0 と第 2 のスイッチング素子 4 6 b との間に接続された第 2 の DC カットコンデンサ 4 8 b (第 2 のコンデンサの一例) と、第 1 のスイッチング素子 4 6 a 及び第 2

40

50

のスイッチング素子 46b の各々に直流電圧を印加する直流電源 50（電源の一例）とを有している。

【0114】

上述したように、電力効率が最大値に近づくように直流電源 50 から出力される直流電圧をフィードバック制御することにより、図 13 の (b) に示すように、スイッチング素子 10 の端子間の電圧 V の極小点は、極小点 P から極小点 P' に移動する。極小点 P' では、スイッチング素子 10 がオフからオンに切り替わるタイミングで、電圧 V が 0（零） V となり、且つ、当該電圧 V の微分値 dV が 0（零）となる。

【0115】

また、電力効率が最大値で略一定となるように直流電源 50 から出力される直流電圧をフィードバック制御することにより、合成容量 C_0 が略一定値に保たれる。これにより、電圧 V の極小点 P' は、変動することなく略固定される。

10

【0116】

その結果、スイッチング損失を十分に小さく抑えることができ、電源装置 2C の効率を十分に高めることができる。

【0117】

（実施の形態 5）

[5-1. 電源装置の機能構成]

次に、図 14 を参照しながら、実施の形態 5 に係る電源装置 2D の機能構成について説明する。図 14 は、実施の形態 5 に係る電源装置 2D の機能構成を示すブロック図である。

20

【0118】

なお、実施の形態 5 に係る電源装置 2D の回路構成は、上記実施の形態 4 と同一であるので、その説明を省略する。以下、電源装置 2D の回路構成に関する符号は、上記実施の形態 4 の図 10 の符号を適宜参照する。

【0119】

図 14 に示すように、実施の形態 5 に係る電源装置 2D は、機能構成として、電圧検出部 58 及び微分検出部 60 を備えている。

【0120】

電圧検出部 58 は、スイッチング素子 10 の端子間の電圧、具体的には、ドレイン端子とソース端子との間の電圧を検出する。

30

【0121】

微分検出部 60 は、電圧検出部 58 により検出された電圧に基づいて、当該電圧の微分値を検出する。

【0122】

制御部 30D は、電圧検出部 58 により検出された電圧及び微分検出部 60 により検出された微分値に基づいて、直流電源 50 から出力される直流電圧を制御する。

【0123】

[5-2. 電源装置の動作]

次に、図 15 を参照しながら、実施の形態 5 に係る電源装置 2D の動作について説明する。図 15 は、実施の形態 5 に係る電源装置 2D の動作の流れを示すフローチャートである。

40

【0124】

図 15 に示すように、直流電源 6 がオンすることにより、電源装置 2D が起動する (S41)。その後、電圧検出部 58 は、スイッチング素子 10 の端子間の電圧 V を検出する (S42)。その後、微分検出部 60 は、電圧検出部 58 により検出された電圧 V に基づいて、当該電圧 V の微分値 dV を検出する (S43)。

【0125】

その後、制御部 30D は、スイッチング素子 10 がオフからオンに切り替わるタイミングで、電圧 V が最小値（例えば 0（零） V ）であり、且つ、微分値 dV が最小値（例えば

50

0 (零)) であるか否かを判定する (S 4 4) 。電圧 V が最小値でなく、又は、微分値 dV が最小値でない場合には (S 4 4 で NO) 、制御部 3 0 D は、電圧 V が最小値に近付き、且つ、微分値 dV が最小値に近づくように、直流電源 5 0 から出力される直流電圧をフィードバック制御する (S 4 5) 。

【 0 1 2 6 】

[5 - 3 . 効果]

上述したように、電圧 V が最小値に近付き、且つ、微分値 dV が最小値に近づくように直流電源 5 0 から出力される直流電圧をフィードバック制御することにより、合成容量 C_0 が略一定値に保たれる。これにより、電圧 V の極小点は、極小点 P から極小点 P' に移動し (図 1 3 参照) 、その後は変動することなく極小点 P' に略固定される。

10

【 0 1 2 7 】

その結果、スイッチング損失を十分に小さく抑えることができ、電源装置 2 D の効率を十分に高めることができる。

【 0 1 2 8 】

(実施の形態 6)

[6 - 1 . 電源装置の機能構成]

次に、図 1 6 を参照しながら、実施の形態 6 に係る電源装置 2 E の機能構成について説明する。図 1 6 は、実施の形態 6 に係る電源装置 2 E の機能構成を示すブロック図である。

【 0 1 2 9 】

20

なお、実施の形態 6 に係る電源装置 2 E の回路構成は、上記実施の形態 4 と同一であるので、その説明を省略する。以下、電源装置 2 E の回路構成に関する符号は、上記実施の形態 4 の図 1 0 の符号を適宜参照する。

【 0 1 3 0 】

図 1 6 に示すように、実施の形態 6 に係る電源装置 2 E は、機能構成として、温度検出部 6 2 及び記憶部 6 4 を備えている。

【 0 1 3 1 】

温度検出部 6 2 は、例えば所定の周期でスイッチング素子 1 0 の温度を検出する。温度検出部 6 2 は、例えばサーミスタ等である。

【 0 1 3 2 】

30

記憶部 6 4 は、電圧テーブル及び温度テーブルを記憶する。電圧テーブルには、合成容量 C_0 が略一定値となるような、直流電源 6 の直流電圧 V_1 と直流電源 5 0 の直流電圧 V_2 との組み合わせ (V_1 , V_2) に関する電圧データが記憶されている。温度テーブルには、合成容量 C_0 が略一定値となるような、スイッチング素子 1 0 の温度 T と直流電源 5 0 の直流電圧 V_2 との組み合わせ (T , V_2) に関する温度データが記憶されている。

【 0 1 3 3 】

制御部 3 0 E は、記憶部 6 4 に記憶された電圧テーブル及び温度テーブルに基づいて、直流電源 5 0 から出力される直流電圧を制御する。

【 0 1 3 4 】

[6 - 2 . 電源装置の動作]

40

次に、図 1 7 を参照しながら、実施の形態 6 に係る電源装置 2 E の動作について説明する。図 1 7 は、実施の形態 6 に係る電源装置 2 E の動作の流れを示すフローチャートである。

【 0 1 3 5 】

図 1 7 に示すように、直流電源 6 がオンすることにより、電源装置 2 E が起動する (S 5 1) 。その後、制御部 3 0 E は、記憶部 6 4 に記憶された電圧テーブルから電圧データを読み出し、当該電圧データと現時点での直流電源 6 の直流電圧及び直流電源 5 0 の直流電圧とを比較する (S 5 2) 。その後、制御部 3 0 E は、上記比較に基づいて、直流電源 5 0 の直流電圧を制御する (S 5 3) 。

【 0 1 3 6 】

50

例えば、現時点での直流電源 6 の直流電圧 V_1 が 20 V、直流電源 50 の直流電圧 V_2 が 90 V である場合、制御部 30 E は、読み出した電圧データから、現時点での直流電源 6 の直流電圧 $V_1 = 20$ V に対応する組み合わせ $(V_1, V_2) = (20$ V, 100 V) を参照する。この場合、現時点での直流電源 50 の直流電圧 $V_2 = 90$ V と、電圧データから参照した組み合わせ $(V_1, V_2) = (20$ V, 100 V) との間に差があるため、直流電源 50 の直流電圧 V_2 を 90 V から 100 V に制御する。

【0137】

その後、温度検出部 62 は、スイッチング素子 10 の温度を検出する (S54)。その後、制御部 30 E は、記憶部 64 に記憶された温度テーブルから温度データを読み出し、当該温度データと現時点でのスイッチング素子 10 の温度及び直流電源 50 の直流電圧とを比較する (S55)。その後、制御部 30 E は、上記温度データに基づいて直流電源 50 の直流電圧を制御する (S56)。

10

【0138】

例えば、現時点でのスイッチング素子 10 の温度 T が 80、直流電源 50 の直流電圧 V_2 が 80 V である場合、制御部 30 E は、読み出した電圧データから、現時点でのスイッチング素子 10 の温度 $T = 80$ に対応する組み合わせ $(T, V_2) = (80$, 90 V) を参照する。この場合、現時点での直流電源 50 の直流電圧 $V_2 = 80$ V と、電圧データから参照した組み合わせ $(T, V_2) = (80$, 90 V) との間に差があるため、直流電源 50 の直流電圧 V_2 を 80 V から 90 V に制御する。

【0139】

20

[6-3. 効果]

上述したように、制御部 30 E は、記憶部 64 に記憶された電圧テーブル及び温度テーブルに基づいて、直流電源 50 から出力される直流電圧を制御する。これにより、直流電源 50 の直流電圧を、合成容量 C_o が略一定値となるような電圧に制御することができる。

【0140】

その結果、スイッチング損失を十分に小さく抑えることができ、電源装置 2 E の効率を十分に高めることができる。

【0141】

なお、本実施の形態では、制御部 30 E は、電圧テーブル及び温度テーブルに基づいて、直流電源 50 から出力される直流電圧を制御したが、合成容量 C_o が略一定値となるような所定の演算式に基づいて、直流電源 50 から出力される直流電圧を制御してもよい。

30

【0142】

また、本実施の形態では、制御部 30 E は、スイッチング素子 10 の温度を検出する毎に直流電源 50 の直流電圧を制御したが、スイッチング素子 10 の温度の変化量が閾値を超えたタイミングで直流電源 50 の直流電圧を制御してもよい。

【0143】

また、図 17 のフローチャートにおいて、上述したステップ S54 ~ S56 を省略してもよい。

【0144】

40

(実施の形態 7)

[7-1. 電源装置の回路構成]

次に、図 18 を参照しながら、実施の形態 7 に係る電源装置 2 F の回路構成について説明する。図 18 は、実施の形態 7 に係る電源装置 2 F の回路構成を示す回路図である。

【0145】

図 18 に示すように、実施の形態 7 に係る電源装置 2 F では、補償回路 42 F の回路構成が上記実施の形態 4 と異なっている。

【0146】

具体的には、第 1 のスイッチング素子 46 a 及び第 2 のスイッチング素子 46 b の各々のソース端子が互いに接続されている。第 1 のスイッチング素子 46 a のゲート端子とソ

50

ース端子とは、同電位となるように短絡されている。同様に、第2のスイッチング素子46bのゲート端子とソース端子とは、同電位となるように短絡されている。第1のスイッチング素子46a及び第2のスイッチング素子46bの各々のゲート端子とグランドとの間には、比較的大きい抵抗値(例えば100k)を有する抵抗66が接続されている。

【0147】

直流電源50と第1のスイッチング素子46aのドレイン端子との間には、第1のAC(Alternating Current)カットコイル68aが接続されている。また、直流電源50と第2のスイッチング素子46bのドレイン端子との間には、第2のACカットコイル68bが接続されている。第1のACカットコイル68a及び第2のACカットコイル68bは、交流電流が直流電源50に流入するのを抑制する。なお、第1のACカットコイル68a及び第2のACカットコイル68bの各々のインダクタンスは、例えば23µHである。なお、第1のACカットコイル68a及び第2のACカットコイル68bに代えて、比較的大きい抵抗値(例えば100k)を有する第1の抵抗及び第2の抵抗をそれぞれ接続してもよい。

【0148】

[7-2.効果]

本実施の形態においても、上記実施の形態4と同様に、スイッチング損失を十分に小さく抑えることができ、電源装置2Fの効率を十分に高めることができる。

【0149】

(実施の形態8)

[8-1.電源装置の回路構成]

次に、図19を参照しながら、実施の形態8に係る電源装置2Gの回路構成について説明する。図19は、実施の形態8に係る電源装置2Gの回路構成を示す回路図である。

【0150】

図19に示すように、実施の形態8に係る電源装置2Gでは、補償回路42Gの回路構成が上記実施の形態4と異なっている。

【0151】

具体的には、第1のスイッチング素子70a及び第2のスイッチング素子70bの各々は、P型のMOSFETである。第1のスイッチング素子70a及び第2のスイッチング素子70bの各々のドレイン端子は、互いに接続されている。

【0152】

第1のスイッチング素子70aのゲート端子とソース端子とは、同電位となるように短絡されている。第1のスイッチング素子70aのゲート端子とグランドとの間には、比較的大きい抵抗値(例えば100k)を有する第1の抵抗72aが接続されている。

【0153】

同様に、第2のスイッチング素子70bのゲート端子とソース端子とは、同電位となるように短絡されている。第2のスイッチング素子70bのゲート端子とグランドとの間には、比較的大きい抵抗値(例えば100k)を有する第2の抵抗72bが接続されている。

【0154】

また、直流電源50の向きは、上記実施の形態4と逆になっている。すなわち、直流電源50の陰極側が第1のスイッチング素子70a及び第2のスイッチング素子70bの各々のドレイン端子に接続されている。これは、P型のMOSFETとN型のMOSFETとでは寄生ダイオードの向きが逆であるため、直流電源50から直流電圧を出力した際に、第1のスイッチング素子70a及び第2のスイッチング素子70bの各々に直流電流が流れないようにするためである。

【0155】

[8-2.効果]

本実施の形態においても、上記実施の形態4と同様に、スイッチング損失を十分に小さく抑えることができ、電源装置2Gの効率を十分に高めることができる。

【0156】

なお、本実施の形態では、第1のスイッチング素子70a及び第2のスイッチング素子70bの各々のドレイン端子を互いに接続したが、第1のスイッチング素子70a及び第2のスイッチング素子70bの各々のソース端子を互いに接続してもよい。

【0157】

(実施の形態9)

[9-1. 電源装置の回路構成]

次に、図20を参照しながら、実施の形態9に係る電源装置2Hの回路構成について説明する。図20は、実施の形態9に係る電源装置2Hの回路構成を示す回路図である。

【0158】

図20に示すように、実施の形態9に係る電源装置2Hでは、補償回路42H及び共振回路16Hの各々の回路構成が上記実施の形態4と異なっている。

【0159】

具体的には、第1のスイッチング素子46a及び第2のスイッチング素子46bの各々は、N型のMOSFETである。第1のスイッチング素子46a及び第2のスイッチング素子46bの各々のソース端子は、互いに接続されている。

【0160】

第1のスイッチング素子46aのゲート端子とソース端子とは、同電位となるように短絡されている。同様に、第2のスイッチング素子46bのゲート端子とソース端子とは、同電位となるように短絡されている。

【0161】

直流電源50の向きは、上記実施の形態4と逆になっている。すなわち、直流電源50の陰極側が第1のスイッチング素子46a及び第2のスイッチング素子46bの各々のソース端子に接続されている。

【0162】

直流電源50の陽極側と第1のスイッチング素子46aのドレイン端子との間には、第1のACカットコイル74aが接続されている。また、直流電源50の陽極側と第2のスイッチング素子46bのドレイン端子との間には、第2のACカットコイル74bが接続されている。

【0163】

共振回路16Hは、シングル型の共振回路である。共振回路16Hは、シリーズインダクタ22と、シリーズコンデンサ24と、抵抗44とを有している。シリーズインダクタ22、シリーズコンデンサ24及び抵抗44は、この順に互いに直列に接続されている。

【0164】

[9-2. 効果]

本実施の形態においても、上記実施の形態4と同様に、スイッチング損失を十分に小さく抑えることができ、電源装置2Hの効率を十分に高めることができる。

【0165】

さらに、共振回路16Hをシングル型にすることにより、共振回路を差動型にした場合と比べて、電源装置2Hを小型化することができる。

【0166】

(変形例)

以上、本発明の実施の形態1～9に係る電源装置について説明したが、本発明は、これらの実施の形態1～9に限定されるものではない。例えば、上記各実施の形態をそれぞれ組み合わせてもよい。

【産業上の利用可能性】

【0167】

本発明の電源装置は、例えば非接触給電装置に搭載されるE級増幅器等として適用することができる。

【符号の説明】

10

20

30

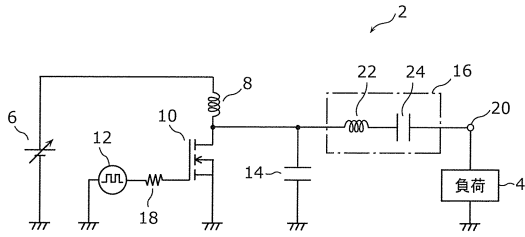
40

50

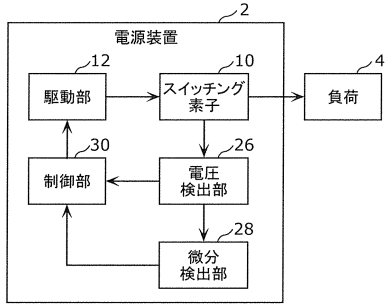
【 0 1 6 8 】

2 , 2 A , 2 A ' , 2 B , 2 C , 2 D , 2 E , 2 F , 2 G , 2 H	電源装置	
4	負荷	
6 , 5 0	直流電源	
8 , 8 a , 8 b	チョークコイル	
1 0	スイッチング素子	
1 2	駆動部	
1 4 , 1 4 a , 1 4 A a , 1 4 b , 1 4 A b	シャントコンデンサ	
1 4 A	シャントコンデンサ群	
1 6 , 1 6 A , 1 6 A ' , 1 6 C , 1 6 H	共振回路	10
1 8	ゲート抵抗	
2 0	出力端子	
2 2 , 2 2 a , 2 2 A a , 2 2 b , 2 2 A b	シリーズインダクタ	
2 2 A	シリーズインダクタ群	
2 4 , 2 4 a , 2 4 A a , 2 4 b , 2 4 A b	シリーズコンデンサ	
2 4 A	シリーズコンデンサ群	
2 6 , 5 8	電圧検出部	
2 8 , 6 0	微分検出部	
3 0 , 3 0 A , 3 0 A ' , 3 0 B , 3 0 C , 3 0 D , 3 0 E	制御部	
3 2	第1の切替スイッチ	20
3 4	第2の切替スイッチ	
3 6	第3の切替スイッチ	
3 8 , 5 4	入力電力検出部	
4 0 , 5 6	出力電力検出部	
4 2 , 4 2 F , 4 2 G , 4 2 H	補償回路	
4 4 , 4 4 a , 4 4 b , 4 4 c , 4 4 d , 4 4 e , 6 6	抵抗	
4 6 a , 7 0 a	第1のスイッチング素子	
4 6 b , 7 0 b	第2のスイッチング素子	
4 8 a	第1のDCカットコンデンサ	
4 8 b	第2のDCカットコンデンサ	30
5 2 a , 7 2 a	第1の抵抗	
5 2 b , 7 2 b	第2の抵抗	
6 2	温度検出部	
6 4	記憶部	
6 8 a , 7 4 a	第1のACカットコイル	
6 8 b , 7 4 b	第2のACカットコイル	

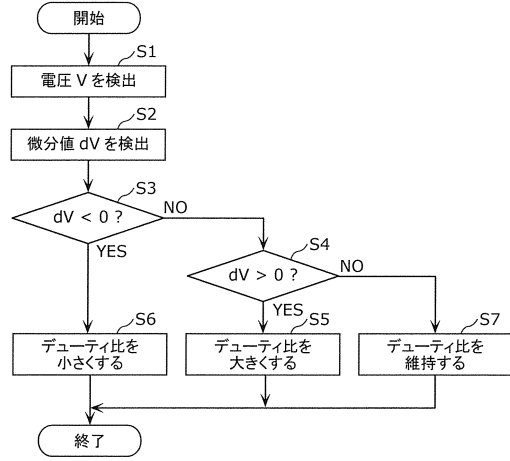
【図1】



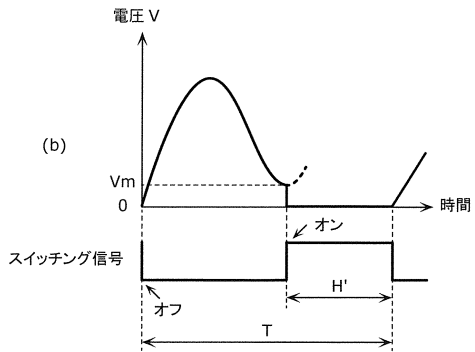
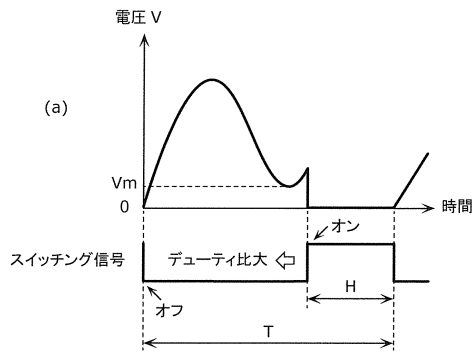
【図2】



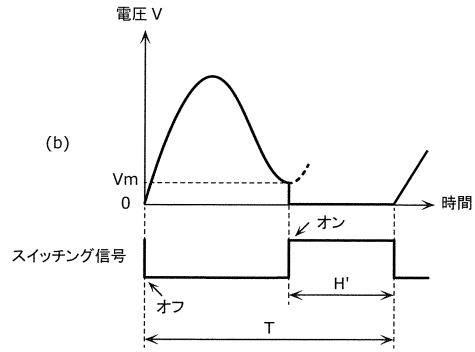
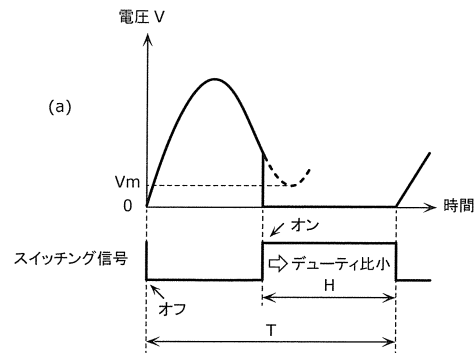
【図3】



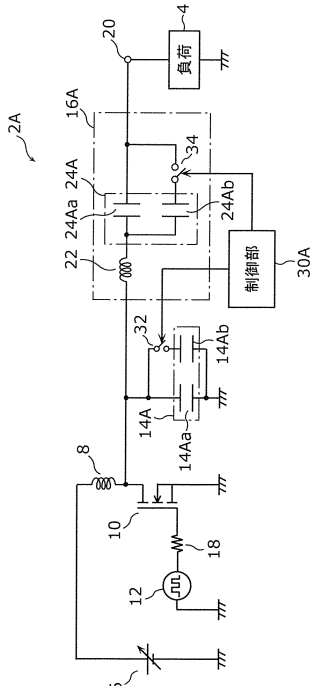
【図4 A】



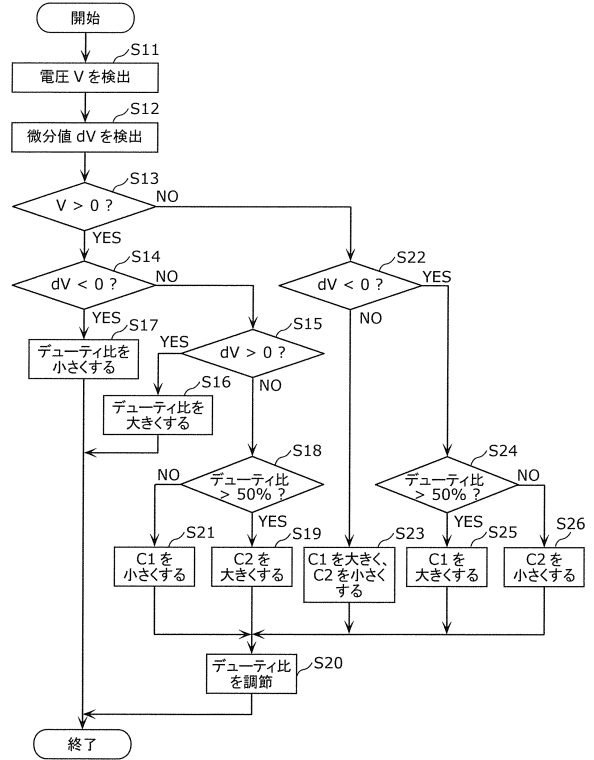
【図4 B】



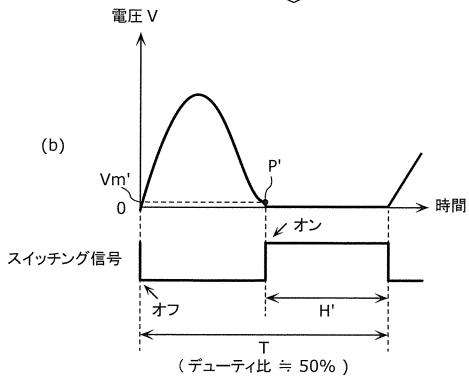
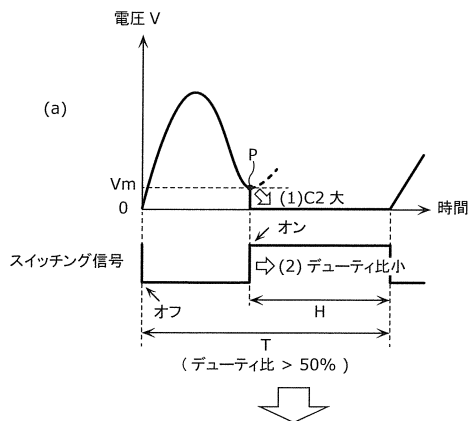
【図5】



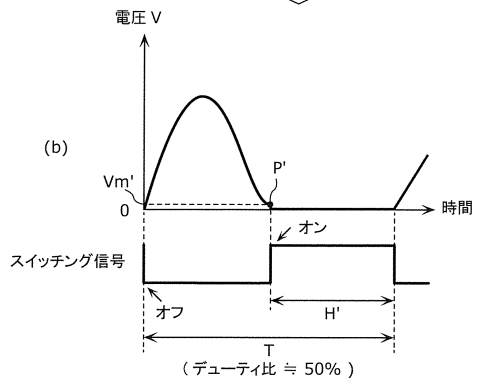
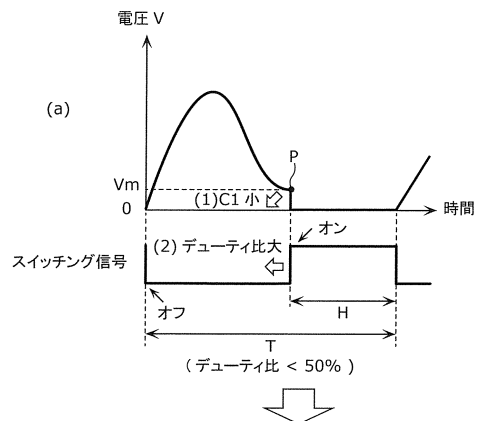
【図6】



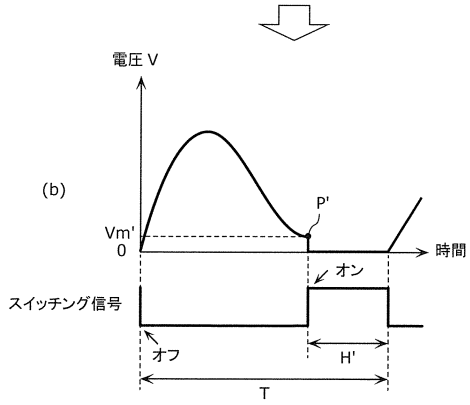
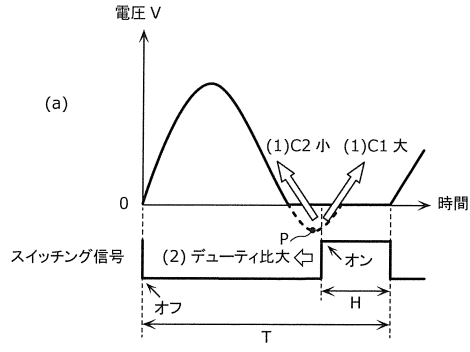
【図7A】



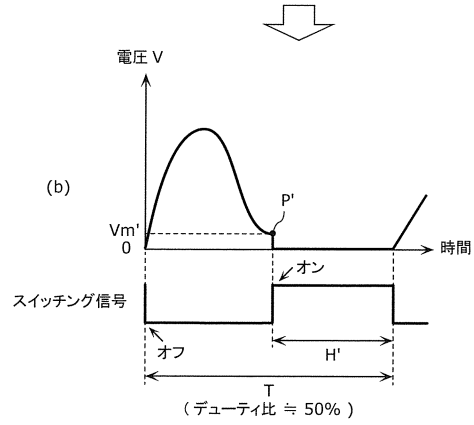
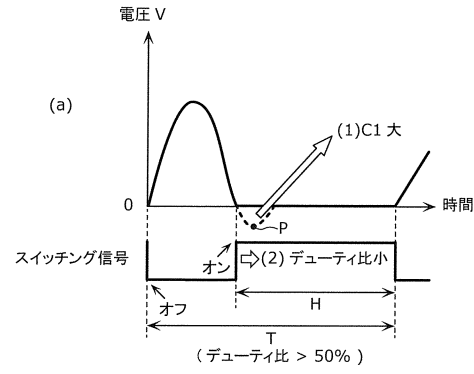
【図7B】



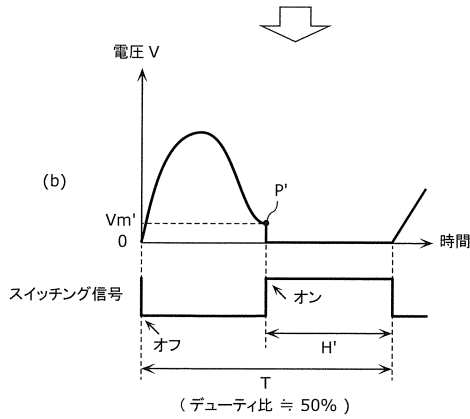
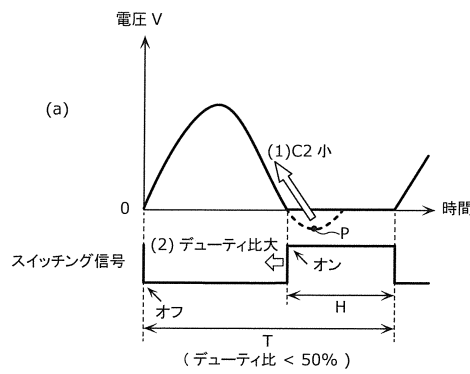
【図7C】



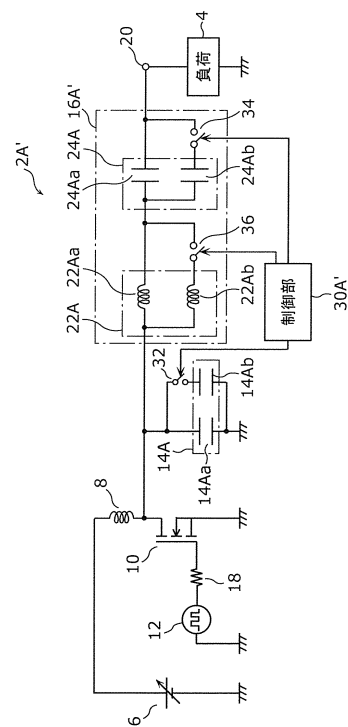
【図7D】



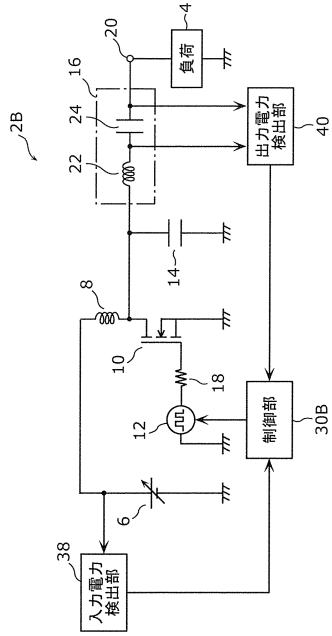
【図7E】



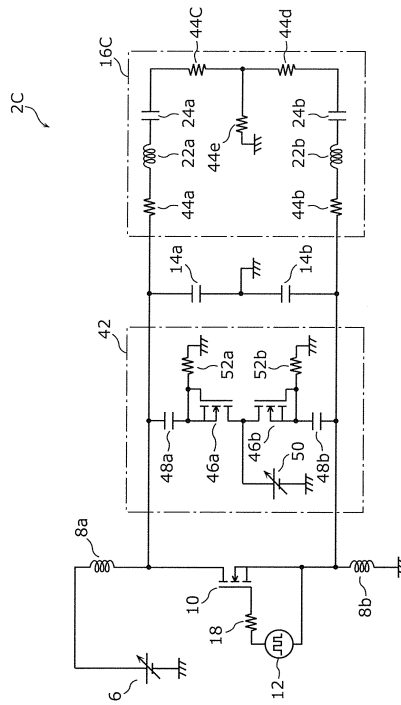
【図8】



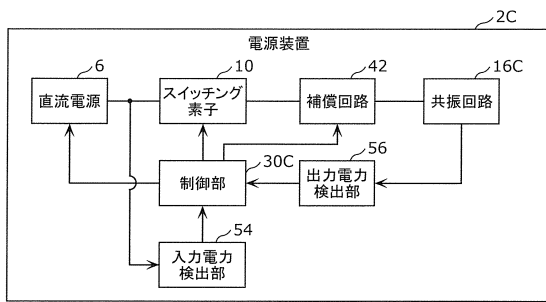
【図9】



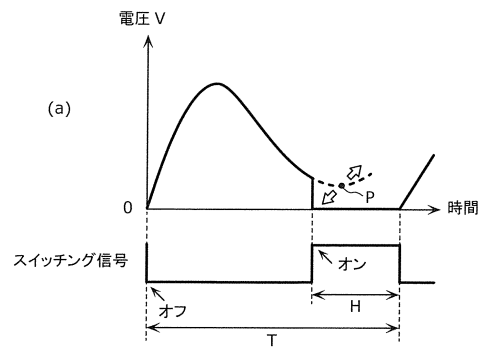
【図10】



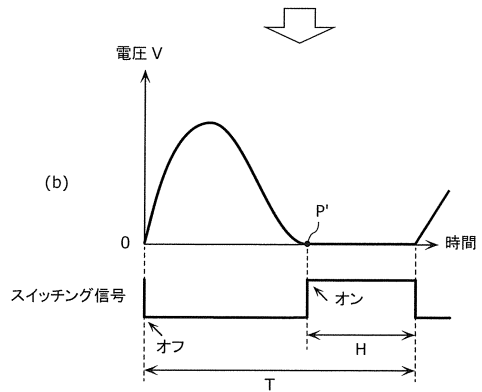
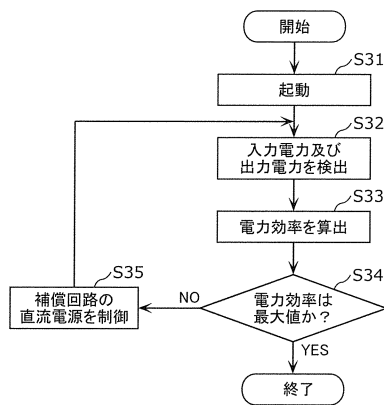
【図11】



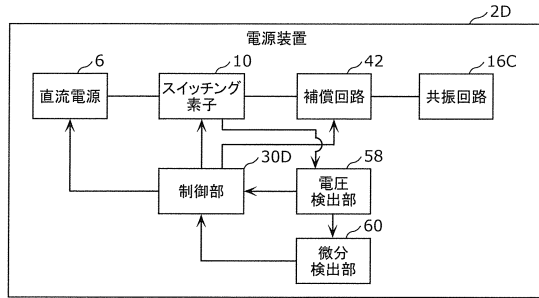
【図13】



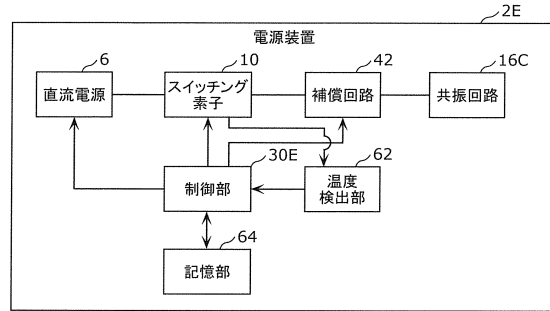
【図12】



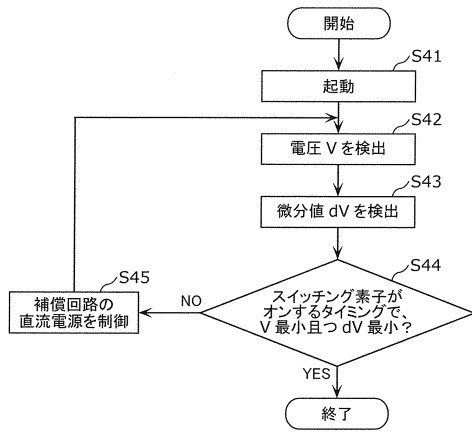
【図14】



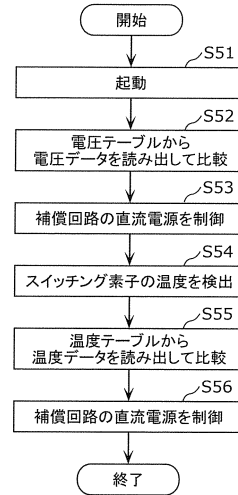
【図16】



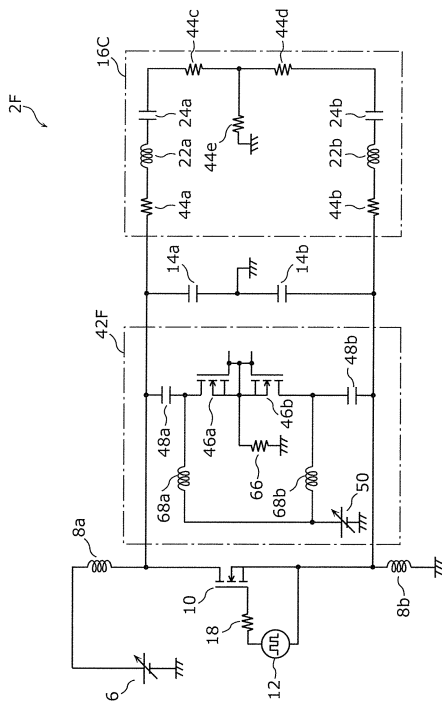
【図15】



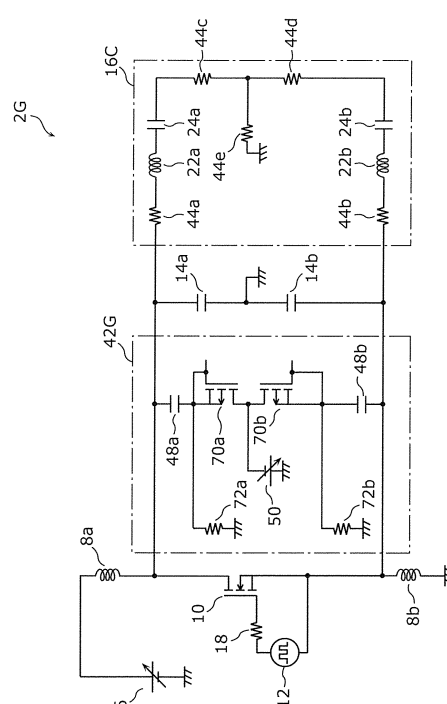
【図17】



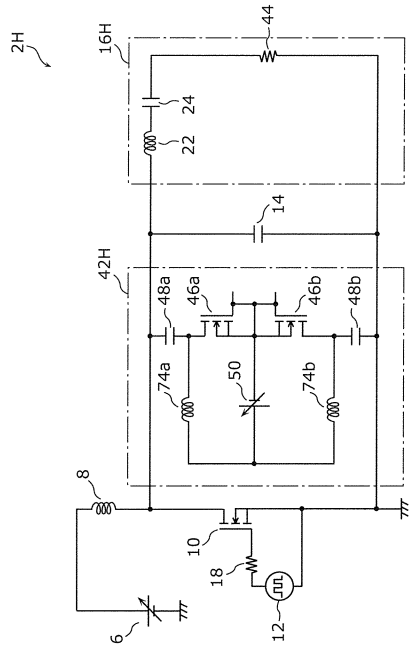
【図18】



【図19】



【 図 20 】



フロントページの続き

(72)発明者 大平 晃嗣
大阪府大東市中垣内7丁目7番1号 船井電機株式会社内

審査官 佐藤 匡

(56)参考文献 特開2002-325451(JP,A)
特開2012-063714(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00, 7/48