

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-266178
(P2005-266178A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 525	5C006
G09G 3/20	G02F 1/133 550	5C080
	G09G 3/20 611A	
	G09G 3/20 611B	
審査請求 有 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2004-77272 (P2004-77272)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成16年3月17日 (2004.3.17)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034 弁理士 原 謙三
		(74) 代理人	100113701 弁理士 木島 隆一
		(74) 代理人	100116241 弁理士 金子 一郎
		(72) 発明者	▲高▼橋 信哉 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

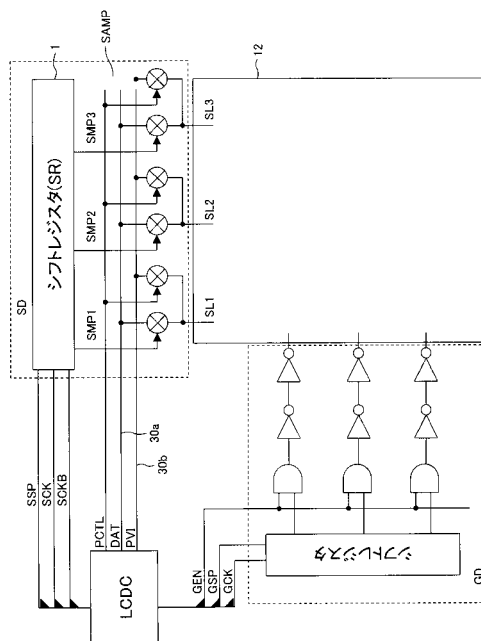
(54) 【発明の名称】 表示装置の駆動装置、表示装置、及び表示装置の駆動方法

(57) 【要約】

【課題】 待機時において低消費電力化を図り得る表示装置の駆動装置、表示装置、及び表示装置の駆動方法を提供することにある。

【解決手段】 ソースクロック信号を昇圧して各フリップフロップへ印加する各レベルシフトをするシフトレジスタ1を備え、シフトレジスタ1からの各出力に基いてサンプリング回路SAMPにて多階調データ信号DATをサンプリングして、複数のデータ信号線SLに出力するデータ信号線駆動回路SDと、表示画面12の全体を表示させる全画面表示モードと、表示画面12の一部のみを時分割表示させる部分画面表示モードとを切り替える制御回路と、一定電圧からなる定電圧データ書込信号PVIを生成するデータ作成部LCDCと、部分画面表示モードの非表示部分に対して、定電圧データ書込信号PVIを直接サンプリングさせて複数のデータ信号線SLに出力させる選択用信号PCTLが設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに交差する複数の走査信号線及び複数のデータ信号線を有し、各走査信号線から出力される走査信号に同期して各データ信号線を通して各交差部に設けられた画素に対して画像表示データ信号が出力される表示画面を備えた表示装置の駆動装置において、

ソースクロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さな上記ソースクロック信号を昇圧して上記各フリップフロップへ印加する各レベルシフタとを有して、上記ソースクロック信号に同期して入力パルスを伝送するシフトレジスタとを備え、このシフトレジスタからの各出力に基いてサンプリング回路にて画像表示データ信号をサンプリングして、上記複数のデータ信号線に出力するデータ信号線駆動回路と、

前記表示画面の全体を表示させる全画面表示モードと、該表示画面の一部のみを時分割表示させる部分画面表示モードとを切り替えるモード切替手段と、

一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段と、

上記部分画面表示モードにおける上記表示画面の一部のみを時分割表示させる部分以外の非表示部分に対して、この定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力させる定電圧データ選択手段とが設けられていることを特徴とする表示装置の駆動装置。

【請求項 2】

前記定電圧データ選択手段は、前記部分画面表示モードにおける表示部分に画像表示データ信号を印加して画像を表示させるときに、定電圧データ書込信号生成手段からの定電圧データ書込信号をプリチャージ電圧として直接サンプリングさせて複数のデータ信号線に出力させることを特徴とする請求項 1 記載の表示装置の駆動装置。

【請求項 3】

前記定電圧データ書込信号は、1 水平走査期間毎に極性が変わることを特徴とする請求項 1 又は 2 記載の表示装置の駆動装置。

【請求項 4】

前記定電圧データ書込信号は、1 垂直走査期間毎に極性が変わることを特徴とする請求項 1 又は 2 記載の表示装置の駆動装置。

【請求項 5】

前記定電圧データ選択手段は、前記部分画面表示モードにおける非表示部分に対して、部分画面表示モードにおける表示部分のサンプリング周波数よりも小さいサンプリング周波数にて駆動されることを特徴とする請求項 1 記載の表示装置の駆動装置。

【請求項 6】

前記請求項 1 ~ 5 のいずれか 1 項に記載の表示装置の駆動装置を備えたことを特徴とする表示装置。

【請求項 7】

互いに交差する複数の走査信号線及び複数のデータ信号線を有し、各走査信号線から出力される走査信号に同期して各データ信号線を通して各交差部に設けられた画素に対して画像表示データ信号が出力される表示画面を備えた表示装置の駆動方法において、

ソースクロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さな上記ソースクロック信号を昇圧して上記各フリップフロップへ印加する各レベルシフタとを有して、上記ソースクロック信号に同期して入力パルスを伝送するシフトレジスタとを備え、このシフトレジスタからの各出力に基いてサンプリング回路にて画像表示データ信号をサンプリングして、上記複数のデータ信号線に出力するデータ信号線駆動回路を含み、

前記表示画面の全体を表示させる全画面表示モードと、該表示画面の一部のみを時分割表示させる部分画面表示モードとを切り替えると共に、

一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段と、

上記部分画面表示モードにおける上記表示画面の一部のみを時分割表示させる部分以外

10

20

30

40

50

の非表示部分に対して、一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力することを特徴とする表示装置の駆動方法。

【請求項 8】

前記部分画面表示モードにおける表示部分に画像表示データ信号を印加して画像を表示させるときに、定電圧データ書込信号生成手段からの定電圧データ書込信号をプリチャージ電圧として直接サンプリングさせて複数のデータ信号線に出力させることを特徴とする請求項 7 記載の表示装置の駆動方法。

【請求項 9】

前記定電圧データ書込信号を、1 水平走査期間毎に極性を変えることを特徴とする請求項 7 又は 8 記載の表示装置の駆動方法。 10

【請求項 10】

前記定電圧データ書込信号を、1 垂直走査期間毎に極性を変えることを特徴とする請求項 7 又は 8 記載の表示装置の駆動方法。

【請求項 11】

前記部分画面表示モードにおける非表示部分に対して、部分画面表示モードにおける表示部分のサンプリング周波数よりも小さいサンプリング周波数にて駆動することを特徴とする請求項 7 記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、液晶表示装置等の表示装置の駆動装置、表示装置、及び表示装置の駆動方法に関するものである。

【背景技術】

【0002】

近年、携帯機器に使用される液晶表示装置においては、その携帯機器の使用時間の長時間化の要求に伴い、液晶表示装置に対しても低消費電力化の要求が強くなっている。ここで、例えば携帯電話等の携帯機器においては、常に使用状態にあるとは限らず、その大部分の時間が待機状態であることが多い。また、使用時と待機時とでは、表示する映像やフォーマットが異なることが多い。 30

【0003】

例えば、待機時には、メニュー画面や時刻等が表示できればよく、精細度や表示色数等は低くてもよい場合がある。むしろ、低消費電力化による使用時間の長時間化が重要である。これに対して、使用時には、大量の文章や図形、写真等の画像を表示することが多く、高品位の表示が求められる。このときには、携帯機器の他の部分、例えば、通信モジュールや入力インターフェイス部、演算処理部等では消費電力が大きくなるので、表示モジュールでの消費電力の比率が小さくなる。したがって、使用時における低消費電力化への要求は待機時ほど強くないのが一般的である。

【0004】

そこで、待機時の消費電力低減を図るために、例えば、特許文献 1 に開示された画像表示装置 100 では、図 15 に示すように、表示画面 101 を分割して表示するいわゆるパースシャル表示ができるようになっている。このパースシャル表示では、表示画面を領域 P1・P2・P3 の 3 領域に分割し、例えば、領域 P1・P3 では背景を白表示として何も表示しない非表示部とし、領域 P2 では静止画として時刻表示や壁紙等を表示する。したがって、待機時には領域 P2 が表示部分であり、領域 P1・P3 が非表示部分である。そして、その待機時の駆動は、領域 P2 の表示と領域 P1・P3 の表示とでは、リフレッシュレート（書き換え頻度）を変えており、領域 P1・P3 のリフレッシュレートを領域 P2 のリフレッシュレートよりも小さくして間欠的に書き込むようにしている。 40

【0005】

これにより、使用時には、多階調にて大量の文章や図形、写真等の画像を表示し、高品 50

位の表示を行う一方、待機時には、領域 P 1・P 3 の表示において、領域 P 2 よりも間欠的に書き込みを行い、低消費電力化を図っている。

【0006】

上記の画像表示装置 100 における駆動方法について、より詳細に、タイミングチャートに基いて行う。なお、説明に際して、パースシャル表示を行わない場合のタイミングチャートを先に説明する。

【0007】

まず、パースシャル表示を行わない全画面表示では、図 16 に示すように、ゲートクロック信号 G C K の所定数毎にゲートスタートパルス G S P が H i g h になる。つまり、1 垂直走査期間 (1 V) 毎にゲートスタートパルス G S P が H i g h になる。このとき、データ信号線駆動回路では、ソースクロック信号 S C K の所定数毎にソーススタートパルス S S P が H i g h になり、プリチャージコントロール信号 P C T L にて予備充電をした後、データ信号 D A T が画素に印加されるようになっている。したがって、この駆動方法では、継続してゲートクロック信号 G C K 及びソースクロック信号 S C K が動作し、表示画面 201 のリフレッシュレートは一定である。また、表示も 1 垂直走査期間毎に毎回行われる。このため、消費電力の増大を招くことになっている。

10

【0008】

これに対して、パースシャル表示を行う駆動では、図 17 に示すように、上記領域 P 1・P 3 を白表示として何も表示しない非表示部とすると共に、この白データはリフレッシュレートを下げても表示上問題がないので、領域 P 2 における表示用の画像データのリフレッシュレートよりも小さくしている。

20

【0009】

また、領域 P 2 を表示するのは 3 垂直走査期間 (3 V) に 1 度としている。すなわち、最初の 1 垂直走査期間 (1 V) のみゲートクロック信号 G C K 及びゲートスタートパルス G S P、並びにソースクロック信号 S C K 及びソーススタートパルス S S P を稼動し、次の第 2 垂直走査期間、第 3 垂直走査期間はゲートクロック信号 G C K 及びゲートスタートパルス G S P、並びにソースクロック S C K 及びソーススタートパルス S S P を停止させることにより、回路動作を停止させる。このような駆動をしても、液晶は表示を保持する性質を有しているため、静止画の場合には表示が保たれている。

【0010】

さらに、非表示用の白データの表示は、6 垂直走査期間毎に行い、第 3 垂直走査期間には駆動回路を停止し、さらに消費電力の削減を図っている。

30

【0011】

このように、特許文献 1 の表示装置では、種々の消費電力低減を図る技術を開示している。

【特許文献 1】特開 2003 - 248468 号公報 (平成 15 年 9 月 5 日公開)

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、上記従来の液晶表示装置の駆動方法では、図 17 に示すように、待機時において、上記領域 P 1・P 3 における背景の非表示用の白データはリフレッシュレートを下げているが、書き込みに際しては、多階調用表示用データを使用して書き込んでいる。

40

【0013】

ここで、多階調用表示用データを使用する場合には、データ信号線駆動回路を駆動する必要があるが、このデータ信号線駆動回路は、シフトレジスタ、ラッチ回路、及びレベルシフタ等を備えており、このレベルシフタでは動作に関わらず、無効電流が定常的に流れるという問題点を有している。

【0014】

したがって、データ信号線駆動回路を停止しない限り、電力消費されるという問題点を

50

有している。

【0015】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、待機時において低消費電力化を図り得る表示装置の駆動装置、表示装置、及び表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0016】

本発明の表示装置の駆動装置は、上記課題を解決するために、互いに交差する複数の走査信号線及び複数のデータ信号線を有し、各走査信号線から出力される走査信号に同期して各データ信号線を通して各交差部に設けられた画素に対して画像表示データ信号が出力される表示画面を備えた表示装置の駆動装置において、ソースクロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さな上記ソースクロック信号を昇圧して上記各フリップフロップへ印加する各レベルシフトとを有して、上記ソースクロック信号に同期して入力パルスを伝送するシフトレジスタとを備え、このシフトレジスタからの各出力に基いてサンプリング回路にて画像表示データ信号をサンプリングして、上記複数のデータ信号線に出力するデータ信号線駆動回路と、

10

前記表示画面の全体を表示させる全画面表示モードと、該表示画面の一部のみを時分割表示させる部分画面表示モードとを切り替えるモード切替手段と、例えば、1水平走査期間(1H)や1垂直走査期間(1V)の間に一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段と、上記部分画面表示モードにおける上記表示画面の一部のみを時分割表示させる部分以外の非表示部分に対して、この定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力させる定電圧データ選択手段とが設けられていることを特徴としている。

20

【0017】

また、本発明の表示装置の駆動方法は、上記課題を解決するために、互いに交差する複数の走査信号線及び複数のデータ信号線を有し、各走査信号線から出力される走査信号に同期して各データ信号線を通して各交差部に設けられた画素に対して画像表示データ信号が出力される表示画面を備えた表示装置の駆動方法において、ソースクロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さな上記ソースクロック信号を昇圧して上記各フリップフロップへ印加する各レベルシフトとを有して、上記ソースクロック信号に同期して入力パルスを伝送するシフトレジスタとを備え、このシフトレジスタからの各出力に基いてサンプリング回路にて画像表示データ信号をサンプリングして、上記複数のデータ信号線に出力するデータ信号線駆動回路を含み、前記表示画面の全体を表示させる全画面表示モードと、該表示画面の一部のみを時分割表示させる部分画面表示モードとを切り替えると共に、例えば、1水平走査期間(1H)や1垂直走査期間(1V)の間に一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段と、上記部分画面表示モードにおける上記表示画面の一部のみを時分割表示させる部分以外の非表示部分に対して、一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力することを特徴としている。

30

40

【0018】

上記の発明によれば、表示装置の駆動装置は、ソースクロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さな上記ソースクロック信号を昇圧して上記各フリップフロップへ印加する各レベルシフトとを有して、上記ソースクロック信号に同期して入力パルスを伝送するシフトレジスタとを備え、このシフトレジスタからの各出力に基いてサンプリング回路にて画像表示データ信号をサンプリングして、上記複数のデータ信号線に出力するデータ信号線駆動回路を備えている。

【0019】

したがって、この表示装置の駆動装置を駆動するときには、データ信号線にデータ信号

50

を出力しないときにも、レベルシフトのトランジスタの無効電流が定常的に流れ、電力が消費されている。

【0020】

一方、本発明では、表示画面の全体を表示させる全画面表示モードと、該表示画面の一部のみを時分割表示させる部分画面表示モードとを切り替える。したがって、本発明では、パーシャル表示モードを採用する。

【0021】

ここで、パーシャル表示モードは、例えば携帯電話等の携帯機器の表示装置に使用され、待機時に部分表示されるモードである。そして、待機時の方が長時間であるので、特に消費電力を低減する必要がある。

10

【0022】

そこで、本発明では、例えば、1水平走査期間(1H)や1垂直走査期間(1V)の間に一定電圧からなる定電圧データ書込信号を生成する定電圧データ書込信号生成手段と、上記部分画面表示モードにおける上記表示画面の一部のみを時分割表示させる部分以外の非表示部分に対して、この定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力させる定電圧データ選択手段とが設けられている。

【0023】

したがって、定電圧データ選択手段によって、部分画面表示モードにおける非表示部分に対しては、この定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に定電圧データ書込信号を出力させる。

20

【0024】

この結果、部分画面表示モードにおける非表示部分に対して、レベルシフトを有するシフトレジスタを介さずにデータ信号線に出力するので、レベルシフトを駆動する必要がない。このため、レベルシフトにおけるトランジスタの無効電流が定常的に流れることがないので、消費電力の低減を図ることができる。

【0025】

したがって、待機時において低消費電力化を図り得る表示装置の駆動装置、及び表示装置の駆動方法を提供することができる。

【0026】

また、本発明の表示装置の駆動装置は、上記記載の表示装置の駆動装置において、前記定電圧データ選択手段は、前記部分画面表示モードにおける表示部分に画像表示データ信号を印加して画像を表示させるときに、定電圧データ書込信号生成手段からの定電圧データ書込信号をプリチャージ電圧として直接サンプリングさせて複数のデータ信号線に出力させることを特徴としている。

30

【0027】

また、本発明の表示装置の駆動方法は、上記記載の表示装置の駆動方法において、前記部分画面表示モードにおける表示部分に画像表示データ信号を印加して画像を表示させるときに、定電圧データ書込信号生成手段からの定電圧データ書込信号をプリチャージ電圧として直接サンプリングさせて複数のデータ信号線に出力させることを特徴としている。

40

【0028】

上記の発明によれば、部分画面表示モードにおける表示部分に画像表示データ信号を印加して画像を表示させるときに、定電圧データ書込信号生成手段からの定電圧データ書込信号をプリチャージ電圧として直接サンプリングさせて複数のデータ信号線に出力させる。

【0029】

すなわち、本発明の定電圧データ書込信号は、一定電圧からなるので、プリチャージ電圧として使用できる。このことは、逆に、定電圧データ書込信号の生成は、プリチャージ電圧生成回路を用いて生成することを意味する。したがって、定電圧データ書込信号の生成に際して、一般的に設けられる既存のプリチャージ電圧生成回路を使用することができ

50

るので、別途、定電圧データ書込信号生成手段を設ける必要がなく、コストの増大を回避できる。

【0030】

また、本発明の表示装置の駆動装置は、上記記載の表示装置の駆動装置において、前記定電圧データ選択手段は、前記部分画面表示モードにおける非表示部分に対して、部分画面表示モードにおける表示部分のサンプリング周波数よりも小さいサンプリング周波数にて駆動されることを特徴としている。

【0031】

また、本発明の表示装置の駆動方法は、上記記載の表示装置の駆動方法において、前記部分画面表示モードにおける非表示部分に対して、部分画面表示モードにおける表示部分のサンプリング周波数よりも小さいサンプリング周波数にて駆動することを特徴としている。

10

【0032】

すなわち、部分画面表示モードにおける非表示部分に対しては、表示を行えば、リフレッシュするまでその内容が保持される。したがって、例えば、非表示部分に表示されるベタ画像等では、画像を変化させる必要もないので、間欠的に表示すればよい。

【0033】

そこで、本発明では、部分画面表示モードにおける非表示部分に対して、部分画面表示モードにおける表示部分のサンプリング周波数よりも小さいサンプリング周波数にて駆動する。

20

【0034】

したがって、非表示部分の表示回数を減らすことができるので、消費電力の低減を図ることができる。

【0035】

また、本発明の表示装置は、上記課題を解決するために、上記記載の表示装置の駆動装置を備えたことを特徴としている。

【0036】

上記の発明によれば、表示装置は、上記記載の表示装置の駆動装置を備えているので、待機時において低消費電力化を図り得る表示装置を提供することができる。

【発明の効果】

30

【0037】

本発明の表示装置の駆動装置、表示装置、及び表示装置の駆動方法では、データ信号線にデータ信号を出力しないときにも、レベルシフタのトランジスタの無効電流が定常的に流れ、電力が消費されている。

【0038】

一方、本発明では、パースシャル表示モードにおける部分画面表示モードの非表示部分に対しては、この定電圧データ書込信号生成手段からの定電圧データ書込信号を直接サンプリングさせて複数のデータ信号線に出力させる。

【0039】

この結果、部分画面表示モードにおける非表示部分に対して、レベルシフタを有するシフトレジスタを介さずにデータ信号線に出力するので、レベルシフタを駆動する必要がない。このため、レベルシフタにおけるトランジスタの無効電流が定常的に流れることがないので、消費電力の低減を図ることができる。

40

【0040】

したがって、待機時において低消費電力化を図り得る表示装置の駆動装置、及び表示装置の駆動方法を提供することができるという効果を奏する。

【発明を実施するための最良の形態】

【0041】

本発明の一実施形態について図1ないし図14に基づいて説明すれば、以下の通りである。

50

【0042】

本実施の形態の表示装置としての液晶表示装置11は、図2に示すように、表示画面12、走査信号線駆動回路GD、データ信号線駆動回路SD、及び制御手段としての制御回路15を備えている。上記走査信号線駆動回路GD、データ信号線駆動回路SD、及び制御回路15は、駆動装置2を構成している。

【0043】

表示画面12は、互いに平行するn本の走査信号線GL... (GL1、GL2、... GLn)及び互いに平行するn本のデータ信号線SL... (SL1、SL2、... SLn)と、マトリクス状に配置された画素(図中、PIX)16...とを有している。画素16は、隣接する2本の走査信号線GL・GLと隣接する2本のデータ信号線SL・SLとで囲まれた領域に形成される。なお、説明の便宜上、走査信号線GL及びデータ信号線SLの数は同じくn本としたが、両線の数が異なってもよい。

10

【0044】

走査信号線駆動回路GDは、シフトレジスタ17を備えており、該シフトレジスタ17は、制御回路15から入力される二種類のゲートクロック信号GCK1・GCK2、及びゲートスタートパルスGSPに基づいて各行の画素16に接続された走査信号線GL1、GL2、...に与える走査信号を順次発生するようになっている。なお、シフトレジスタ17の回路構成については後述する。

【0045】

データ信号線駆動回路SDは、シフトレジスタ1及びサンプリング回路SAMPを備えている。制御回路15からシフトレジスタ1へは、互いに位相が異なる二種類のソースクロック信号SCK・SCKB、及びソーススタートパルスSSPが入力される一方、制御回路15からサンプリング回路SAMPへは、映像信号である画像表示データ信号としての多階調データ信号DATが入力される。上記反転ソースクロック信号SCKBは、ソースクロック信号SCKの反転信号である。

20

【0046】

データ信号線駆動回路SDは、シフトレジスタ1の各段から出力される出力信号Q1~Qnに基づいて、サンプリング回路SAMPにて多階調データ信号DATをサンプリングし、得られた映像データを各列の画素16に接続されたデータ信号線SL1、SL2、...に出力するようになっている。

30

【0047】

制御回路15は、走査信号線駆動回路GD及びデータ信号線駆動回路SDの動作を制御するための各種の制御信号を生成する回路である。制御信号としては、上述のように、各クロック信号GCK1・GCK2・SCK・SCKB、各スタートパルスGSP・SSP、及び多階調データ信号DAT等が用意されている。

【0048】

なお、液晶表示装置11の走査信号線駆動回路GD、データ信号線駆動回路SD、及び表示画面12の各画素16には、それぞれスイッチ素子が設けられている。

【0049】

液晶表示装置11がアクティブマトリクス型液晶表示装置である場合、上記の画素16は、図3に示すように、電界効果トランジスタからなるスイッチ素子である画素トランジスタSWと、液晶容量CLを含む画素容量CP(必要に応じて補助容量CSが付加される)とによって構成される。このような画素16において、画素トランジスタSWのドレイン及びソースを介してデータ信号線SLと画素容量CPの一方の電極とが接続され、画素トランジスタSWのゲートが走査信号線GLに接続され、画素容量CPの他方の電極が全画素に共通の図示しない共通電極線に接続されている。

40

【0050】

ここで、i本目のデータ信号線SLiとj本目の走査信号線GLjとに接続された画素16をPIX(i,j)と表すと(i,jは、1~i,j~nの範囲の任意の整数)、当該PIX(i,j)において、走査信号線GLjが選択されると、画素トランジスタSW

50

が導通し、データ信号線 $S L_i$ に印加された映像データとしての電圧が画素容量 $C P$ へ印加される。このように画素容量 $C P$ における液晶容量 $C L$ に電圧が印加されると、液晶の透過率又は反射率が変調される。したがって、走査信号線 $G L_j$ を選択し、データ信号線 $S L_i$ へ映像データに応じた信号電圧を印加すれば、当該 $P I X (i , j)$ の表示状態を、映像データに合わせて変化させることができる。

【 0 0 5 1 】

液晶表示装置 11 では、走査信号線駆動回路 $G D$ が走査信号線 $G L$ を選択し、選択中の走査信号線 $G L$ とデータ信号線 $S L$ との組み合わせに対応する画素 16 への映像データが、データ信号線駆動回路 $S D$ によってそれぞれのデータ信号線 $S L$ へ出力される。これによって、当該走査信号線 $G L$ に接続された画素 16 へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路 $G D$ が走査信号線 $G L$ を順次選択し、データ信号線駆動回路 $S D$ がデータ信号線 $S L$ へ映像データを出力する。この結果、表示画面 12 の全画素 16 にそれぞれの映像データが書き込まれることになり、表示画面 12 に多階調データ信号 $D A T$ に応じた画像が表示される。

10

【 0 0 5 2 】

ここで、上記制御回路 15 からデータ信号線駆動回路 $S D$ までの間、各画素 16 への映像データは、多階調データ信号 $D A T$ として、時分割で伝送されており、データ信号線駆動回路 $S D$ は、タイミング信号となる、所定の周期でデューティ比が 50% 以下（本実施形態では、 $L o w$ 期間が $H i g h$ 期間より短い）のソースクロック信号 $S C K$ と、該ソースクロック信号 $S C K$ と位相が 180° 異なる反転ソースクロック信号 $S C K B$ と、ソーススタートパルス $S S P$ とに基づいたタイミングで、多階調データ信号 $D A T$ から各映像データを抽出している。

20

【 0 0 5 3 】

具体的には、データ信号線駆動回路 $S D$ のシフトレジスタ 1 は、ソースクロック信号 $S C K$ 及び反転ソースクロック信号 $S C K B$ に同期して、ソーススタートパルス $S S P$ が入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1クロックずつタイミングが異なる出力信号 $Q 1 \sim Q n$ を生成する。また、データ信号線駆動回路 $S D$ のサンプリング回路 $S A M P$ は、各出力信号 $Q 1 \sim Q n$ のタイミングで、多階調データ信号 $D A T$ から映像データを抽出する。

【 0 0 5 4 】

一方、走査信号線駆動回路 $G D$ のシフトレジスタ 17 は、ゲートクロック信号 $G C K 1 \cdot G C K 2$ に同期して、ゲートスタートパルス $G S P$ が入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1クロックずつタイミングが異なる走査信号を、各走査信号線 $G L 1 \sim G L n$ へ出力する。

30

【 0 0 5 5 】

上記データ信号線駆動回路 $S D$ のシフトレジスタ 1、及び走査信号線駆動回路 $G D$ のシフトレジスタ 17 の大略的な構成は、何れも従来の図 17 に示す構成と同様のものとすることができる。ただし、本実施の形態のシフトレジスタ 1 又はシフトレジスタ 17 においては、用いられるリセットセットフリップフロップの構成が従来と異なるものであるため、リセットセットフリップフロップの具体例を、以下に詳細に説明する。

40

【 0 0 5 6 】

本実施の形態のデータ信号線駆動回路 $S D$ のシフトレジスタ 1 は、図 4 に示すように、リセットセットフリップフロップ ($S R - F F$) (以下、「 $R S$ フリップフロップ」と称す) を複数段接続することによって構成されている。そして、本実施の形態においても、従来と同様に、ソースクロック信号 $S C K$ 及び反転ソースクロック信号 $S C K B$ をレベルシフトするレベルシフタ $L S$ を備えている。したがって、レベルシフタ $L S$ は、入力された例えば 3.3V のソースクロック信号 $S C K$ 及び反転ソースクロック信号 $S C K B$ により、個別シフトレジスタ $S R$ を介して例えば 8V の駆動電圧からなる出力信号 $Q 1 \cdot Q 2 \cdot Q 3$ がデータ信号線 $S L$ に映像データを出力するタイミング信号として出力されるようになっている。

50

【 0 0 5 7 】

上記のシフトレジスタ1を構成するRSフリップフロップの一構成例について、図5(a)(b)に基づいて説明する。なお、以下に説明するのは、図6に示すように、セット信号Sバー、リセット信号R、出力信号Q、その反転出力信号Qバーの各端子を有するRSフリップフロップである。

【 0 0 5 8 】

上記のRSフリップフロップでは、図5(a)に示すように、p型トランジスタMP1とn型トランジスタMN2・MN3とが電源VDD-VSS間に直列接続され、p型トランジスタMP4・MP5とn型トランジスタMN6・MN7とが電源VDD-VSS間に直列接続されている。

10

【 0 0 5 9 】

上記p型トランジスタMP1及びn型トランジスタMN3・MN7のゲートには、セット信号Sバーが入力され、p型トランジスタMP4及びn型トランジスタMN2のゲートには、リセット信号Rがそれぞれ入力されている。また、p型トランジスタMP1とn型トランジスタMN2との接続点が、p型トランジスタMP5とn型トランジスタMN6との接続点に接続されていると共に、インバータ回路INV1に接続されている。

【 0 0 6 0 】

また、インバータ回路INV1の出力は、n型トランジスタMN6及びp型トランジスタMP5の各ゲートに接続されていると共に、インバータ回路INV2に接続され、出力信号QとしてRSフリップフロップの出力となる。

20

【 0 0 6 1 】

上記構成のRSフリップフロップの動作について説明する。

【 0 0 6 2 】

図5(a)(b)に示すように、セット信号Sバーが入力され、Lowレベルになると、p型トランジスタMP1がONし、n型トランジスタMN3がOFFする。また、このとき、リセット信号RはHighになっており、n型トランジスタMN2がONし、p型トランジスタMP4はOFFしている。この状態でのインバータ回路INV1への入力信号はp型トランジスタMP1とn型トランジスタMN2との接続点が電源VDD(High)になっているので、インバータ回路INV1の出力はLowとなる。

【 0 0 6 3 】

同時に、n型トランジスタMN7はセット信号Sバーが入力されているので、OFFしており、さらにインバータ回路INV1の出力がLowであるのでn型トランジスタMN6もOFFとなり、p型トランジスタMP5はONしている。このとき、上記RSフリップフロップの出力信号QはHighとなって出力される。

30

【 0 0 6 4 】

次に、セット信号SバーがHighに転じると、p型トランジスタMP1はOFFし、n型トランジスタMN3・MN7はONする。一方、リセット信号Rは依然Lowのままなので、n型トランジスタMN2はOFFしており、p型トランジスタMP4はONしている。したがって、出力信号QはHighを保ったままである。

【 0 0 6 5 】

次に、リセット信号RがHighに転じると、n型トランジスタMN2がONし、p型トランジスタMP4がOFFする。これにより、インバータ回路INV1への入力がLowに変化し、インバータ回路INV1の出力はHighとなり、さらに、インバータ回路INV1の出力によりn型トランジスタMN6はONし、p型トランジスタMP5はOFFする。したがって、出力信号QはLowとなる。

40

【 0 0 6 6 】

次に、リセット信号RがLowになると、インバータ回路INV1の入力はn型トランジスタMN6・MN7がONしているためLowのままとなり、出力信号QもLowとして出力される。

【 0 0 6 7 】

50

なお、上記RSフリップフロップと従来例でも説明したレベルシフタとを組み合わせることにより、図4に示したシフトレジスタ1を構成できる。

【0068】

上記図4に示すシフトレジスタ1の動作を、同図、及び図7に示すタイミングチャートに基づいて説明する。

【0069】

同図に示すように、今、スタート信号SPが入力されると、レベルシフタLSによりシフトレジスタ1の電源電圧まで昇圧され、クロック用レベルシフタLSのENA端子に入力される。

【0070】

本実施の形態のレベルシフタLSはENA信号がHighのときのみ動作するようになっている。したがって、スタート信号SPがHighの間、レベルシフタLS1が動作し、クロック信号CLKを取り込み、シフトレジスタ1の電源電圧まで昇圧された信号が出力S1として出力される。出力S1は、インバータ回路INVS1によって反転され、RSフリップフロップF1に入力され、出力Q1として発生する。出力Q1は、レベルシフタLS2のENA端子に入力されることによりレベルシフタLSが動作状態に入り、出力S2としてレベルシフタLS2から出力される。この出力S2も出力S1と同様に、インバータ回路INVS2を介して、反転され、RSフリップフロップF2をセットし、出力信号Q2を得る。このとき、スタート信号SPは既にLowになっているので、レベルシフタLS1は非動作状態になっている。このため、以後、RSフリップフロップF1は次にスタート信号SPがHighになるまで動作しない。RSフリップフロップF2の出力信号Q2は、レベルシフタLS3のENA端子に入力され、クロック信号CLKが昇圧され、出力S3としてレベルシフタLS3から出力される。さらに、出力S3は、インバータ回路INVS3を介して反転され、RSフリップフロップF3に入力されると共に、RSフリップフロップF1のリセット端子Rに入力され、その結果、RSフリップフロップF1の出力信号Q1はLowに転じる。

10

20

【0071】

以上の動作を繰り返すことにより、シフトレジスタ1として動作を行う。

【0072】

なお、本実施の形態においては、必ずしも上記のシフトレジスタ1の構成例に限らず、例えば、以下に示す他のシフトレジスタ1の構成を採用することも可能である。また、以下に説明するのは、図8に示すように、制御信号GB、クロック信号CK及びその反転クロック信号CKB、リセット信号RB、並びに出力信号OUTの各端子を有するRSフリップフロップである。

30

【0073】

上記のRSフリップフロップは、図9に示すように、制御信号GB、クロック信号CK及びその反転クロック信号CKB、リセット信号RBを入力とする。また、クロック信号CK及び反転クロック信号CKBは3.3Vであり、本回路の8Vからなる電源VDDよりも振幅が小さい。つまり、電圧が小さい。

【0074】

上記のRSフリップフロップは、ゲーティング部とラッチ部とから構成されている。ゲーティング部は、外部から入力される入力信号であるクロック信号CK及びその反転クロック信号CKBを、該入力信号とは別途入力される制御信号GB及びリセット信号RBに応じて後段のラッチ部に供給する機能部であり、ラッチ部は、上記ゲーティング部から供給された入力信号をラッチする機能部である。

40

【0075】

上記ゲーティング部では、電源VDD(High電位)と入力端子CKBとの間にp型トランジスタMp1及びn型トランジスタMn1(以下、「p型トランジスタ」は「トランジスタMp」、「n型トランジスタ」は「トランジスタMn」と称す)が直列に接続され、インバータ回路21を構成している。また、電源VDDと入力信号であるクロック信

50

号 C K の端子との間にトランジスタ M p 2 ・ M n 2 が直列に接続されている。また、トランジスタ M p 1 のドレインと電源 V S S との間にトランジスタ M n 3 が配置されている。

【 0 0 7 6 】

上記トランジスタ M p 1 ・ M n 3 のゲートには制御信号 G B がそれぞれ入力されている。また、上記トランジスタ M p 1 ・ M n 1 ・ M n 3 の各ドレインは、トランジスタ M n 1 ・ M n 2 の各ゲートに接続され、トランジスタ M p 2 のゲートはリセット信号 R B の端子に接続されている。

【 0 0 7 7 】

さらに、トランジスタ M p 2 ・ M n 2 の各ドレインは、ラッチ部のトランジスタ M p 3 ・ M n 4 の各ドレインに繋がっている。

10

【 0 0 7 8 】

一方、ラッチ部は、電源 V D D (H i g h 電位) と電源 V S S (L o w 電位) との間にトランジスタ M p 3 とトランジスタ M n 4 とで構成されているインバータ回路 2 2 と、同じく電源 V D D (H i g h 電位) と電源 V S S (L o w 電位) との間にトランジスタ M p 4 とトランジスタ M n 5 とで構成されているインバータ回路 2 3 を備えている。

【 0 0 7 9 】

インバータ回路 2 2 とインバータ回路 2 3 とは、その入力側と出力側とが互いに接続して組み合わせられたラッチ回路を構成している。すなわち、インバータ回路 2 3 の入力とインバータ回路 2 3 の出力とが接続され、かつインバータ回路 2 2 の出力とインバータ回路 2 3 の入力とが接続されている。また、インバータ回路 2 2 のトランジスタ M n 4 と電源 V S S との間にはトランジスタ M n 5 が配置されており、トランジスタ M n 5 のゲートにはリセット信号 R B の R B 端子が接続されている。

20

【 0 0 8 0 】

上記インバータ回路 2 1 の出力、すなわちトランジスタ M p 1 ・ M n 1 のドレインからの出力はノード (N o d e) A で示され、ゲーティング部の出力すなわちトランジスタ M p 2 ・ M n 2 のドレインからの出力はノード (N o d e) B で示される。また、ラッチ部におけるインバータ回路 2 3 の出力が出力信号 O U T となる。

【 0 0 8 1 】

上記構成の R S フリップフロップにおいて、一例として、クロック信号 C K 及び反転クロック信号 C K B の振幅が 3 . 3 V 、回路の電源 V D D が 8 V 、電源 V S S が 0 V とする。

30

【 0 0 8 2 】

例えば、リセット信号 R B が H i g h であって制御信号 G B の端子が L o w の場合、反転クロック信号 C K B に L o w (= 0 V) が入力され、クロック信号 C K に 3 . 3 V が入力されていると、トランジスタ M p 1 は導通状態であり、かつ、トランジスタ M n 1 はダイオードのような働きを呈するため、ノード (N o d e) A の電位はトランジスタ M n 1 の閾値電圧に近い 3 . 5 V 付近の電位を保っている。

【 0 0 8 3 】

このとき、トランジスタ M n 2 のソースにはクロック信号 C K が接続されており、トランジスタ M n 2 のゲートにはノード (N o d e) A が接続されているので、トランジスタ M n 2 のゲートソース間電位は 0 . 2 V 程度であり、トランジスタ M n 2 の閾値電圧が 3 . 5 V であるので、トランジスタ M n 2 は非導通状態にある。

40

【 0 0 8 4 】

一方、反転クロック信号 C K B が 3 . 3 V になり、クロック信号 C K が 0 V になった場合、ノード (N o d e) A には、トランジスタ M n 1 の閾値電圧 3 . 5 V + 反転クロック信号 C K B の電圧 3 . 3 V = 6 . 8 V 程度の電位が発生する。このとき、クロック信号 C K が 0 V であるため、トランジスタ M n 2 のソースゲート間の電圧は、約 6 . 8 V となる。したがって、トランジスタ M n 2 の閾値電圧が 3 . 5 V であるので、トランジスタ M n 2 は導通状態に入り、ノード (N o d e) B が 0 V になる。

【 0 0 8 5 】

50

したがって、ゲーティング部では、クロック信号C K及び反転クロック信号C K Bのオンオフにより、ノード(Node) Bの出力を制御することができる。ラッチ部では、同様の駆動によって、ゲーティング部におけるノード(Node) Bの出力をリセット信号R Bのオフによって、ラッチするようになっている。

【0086】

次に、上記RSフリップフロップの動作について、図10に示すタイミングチャートを参照して説明する。

【0087】

まず、時間t1において制御信号G BがLowになることによって、トランジスタM p 1が導通すると共に、トランジスタM n 3が非導通になる。このとき、前述のように、反転クロック信号C K Bが0 Vであって、クロック信号C Kが3.3 Vであり、トランジスタM n 1の閾値電圧が3.5 Vであるので、トランジスタM n 2のゲート電位つまりノード(Node) Aの電位が約3.5 VのHighとなる。したがって、トランジスタM n 2のソース電位が電圧3.3 Vであるので、トランジスタM n 2は非導通状態である。

【0088】

このとき、リセット信号R BはHigh (= 8 V)であるため、トランジスタM p 2は非導通状態である。したがって、リセット信号R BがHigh (= 8 V)のときには、ノード(Node) Bは状態を変えずにHighを保ち続ける。すなわち、リセット信号R BがHigh (= 8 V)のときには、ラッチ部では、トランジスタM n 5は導通状態にあり、トランジスタM p 3とトランジスタM n 4とはインバータ回路22として作用し、かつインバータ回路22は、トランジスタM p 4とトランジスタM n 6とによって構成されるインバータ回路23とラッチ回路を構成しているので、このラッチ部に接続されるノード(Node) Bは、トランジスタM p 2は非導通状態のときには、状態が変わらない。

【0089】

次に、時間t2において、クロックパルスのオンオフが反転して反転クロック信号C K Bが3.3 V、クロック信号C Kが0 Vになると、ノード(Node) AはトランジスタM n 1の閾値電圧3.5 Vに3.3 Vを加えた約6.8 Vになり、この約6.8 Vの電位はトランジスタM n 2のゲートに印加される。このとき、トランジスタM n 2のソースはクロック信号C Kが0 Vであるので、トランジスタM n 2は導通し、ノード(Node) BをLowにする。このとき、リセット信号R Bは未だHigh (= 8 V)であるので、トランジスタM p 2は非導通状態であり、かつトランジスタM n 5は導通状態であり、さらに、トランジスタM p 3とトランジスタM n 4とはインバータ回路22として機能している。したがって、ノード(Node) BがLowになると、インバータ回路22とインバータ回路23とからなるラッチ回路が状態を変え、出力信号O U TがHigh (= 8 V)と転じる。

【0090】

次に、時間t3になると、制御信号G BがHigh (電源V D D = 8 V)となり、トランジスタM p 1を非導通にし、トランジスタM n 3を導通するため、トランジスタM n 1・M n 2のゲートにはLow (電源V S S = 0 V)が印加され、トランジスタM n 1・M n 2は非導通状態となりクロック信号C K及び反転クロック信号C K Bの影響を受けない。よって、制御信号G BがHigh (電源V D D = 8 V)である場合、クロック信号C K及び反転クロック信号C K Bがいかなる状態を持とうと、ゲーティング部には影響しなくなる。このとき、ノード(Node) Bは、トランジスタM n 2の非導通状態によりクロック信号C Kの影響を受けなくなるが、インバータ回路22及びインバータ回路23により構成されるラッチ回路によってLowに保持され、結果として出力信号O U TはHigh (電源V D D = 8 V)のまま保持される。

【0091】

次に、時間t4になると、リセット信号R BがLow (電源V S S = 0 V)になり、トランジスタM p 2が導通状態になる。同時に、トランジスタM n 5のゲートにもリセット信号R Bが供給されるので、トランジスタM n 5は非導通状態になり、トランジスタM p

10

20

30

40

50

4 とトランジスタ M_{n4} とで構成される回路はインバータ回路 22 としては機能しなくなる。よって、トランジスタ M_{p2} が導通状態により、ノード (Node) B が High (電源 $V_{DD} = 8V$) になるので、インバータ回路 23 のトランジスタ M_{p6} が導通状態になることにより出力信号 OUT は Low (電源 $V_{SS} = 0V$) に転じる。

【0092】

最後に、時間 t_5 になると、リセット信号 RB が High となり、トランジスタ M_{p2} は非導通状態になり、トランジスタ M_{n5} は導通状態になる。このとき、トランジスタ M_{n4} と M_{p3} とで構成される回路は再びインバータ回路 22 としての機能するため、インバータ回路 22 とインバータ回路 23 とが、再びラッチ回路として機能する。これにより、ノード (Node) B を High の状態に保持し、結果として出力信号 OUT を Low のまま保持する。 10

【0093】

上述した構成の RS フリップフロップを用いたシフトレジスタ 1 の構成例を、図 11 に示す。なお、図 11 は、図 9 に示す RS フリップフロップを用いたシフトレジスタ 1 の構成例である。

【0094】

上記シフトレジスタ 1 は、複数の RS フリップフロップ FF_1 、 FF_2 、... がシリアルに接続されている。そして、RS フリップフロップ FF_a ($a = 2n - 1$, $n = 1, 2, \dots$) の CK 端子にはクロック信号 CK が接続され、CKB 端子には反転クロック信号 CKB が接続されている。 20

【0095】

一方、RS フリップフロップ FF_a ($a = 2n$, $n = 1, 2, \dots$) の CK 端子には反転クロック信号 CKB が接続され、CKB 端子にはクロック信号 CK が接続されている。このように、奇数番目の RS フリップフロップ FF_a ($a = 2n - 1$, $n = 1, 2, \dots$) と、偶数番目の RS フリップフロップ FF_a ($a = 2n$, $n = 1, 2, \dots$) とによって、CK 端子と CKB 端子とに接続されるクロック信号 CK と反転クロック信号 CKB との関係が逆になっている。

【0096】

また、上記シフトレジスタ 1 は、最初の段における RS フリップフロップ FF_1 の GB 端子には、スタートパルス信号 SPB が入力されており、各段の RS フリップフロップ FF_a の出力信号 OUT は、出力信号 Q_1 、 Q_2 、 Q_3 、... と、シフトレジスタ 1 の出力として出力される。また、各段の RS フリップフロップ FF_1 、... における出力信号 Q_1 、... のそれぞれは、インバータを介して制御信号 GB_2 、... として、次段の RS フリップフロップ FF の GB 端子に接続されている。 30

【0097】

また、2 段目以降の RS フリップフロップ FF_2 、 FF_3 、... においては、その出力信号 Q_2 、 Q_3 、... の反転信号が、次段の GB 端子に入力されると共に、前段の RS フリップフロップの RG 端子にも接続されリセット信号として用いられている。例えば、2 段目の RS フリップフロップ FF_2 の出力信号 Q_2 の反転信号である制御信号 GB_3 は、3 段目の RS フリップフロップ FF_3 の GB 端子と 1 段目の RS フリップフロップ FF_1 の RB 端子とに接続されている。 40

【0098】

次に、上記シフトレジスタの動作について、図 12 のタイミングチャートを用いて説明する。

【0099】

まず、時間 t_1 においてスタートパルス信号 SPB が RS フリップフロップ FF_1 の GB 端子に入力された後、時間 t_2 においてクロック信号 CK が Low に変わると RS フリップフロップ FF_1 の OUT 信号、すなわち出力信号 Q_1 が High に転じる。また、この出力信号 Q_1 は、インバータを介して RS フリップフロップ FF_2 の GB 端子に制御信号 GB_2 として入力されるため、RS フリップフロップ FF_2 の GB 端子には Low の信 50

号が入力されることとなる。

【0100】

続いて、RSフリップフロップFF2のGB端子にLowの制御信号GB2が入力されている状態で、時間t3において反転クロック信号CKBがLowになるとRSフリップフロップFF2のOUT信号、すなわち出力信号Q2がHighに転じる。また、出力信号Q2の反転信号である制御信号GB3がLowに転じる。この制御信号GB3は、RSフリップフロップFF3のGB端子に入力されると共に、RSフリップフロップFF1のRB端子にも入力され、FF1はリセットされて出力信号Q1がLowへ転じる。

【0101】

このように、シリアルに接続されたセトリセットフリップフロップは、クロック信号CK及び反転クロック信号CKBに同期して、シフトレジスタ1として機能する。上記シフトレジスタ1は、前述のクロック信号CK及び反転クロック信号CKBが回路の電源VDDよりも低い振幅を持った場合でも同様に動作する。

10

【0102】

ところで、上記シフトレジスタ1における、図4に示すレベルシフタLS、及び図9に示すゲーティング部では、制御信号GBがHighのときには、クロック信号CK又は反転クロック信号CKBのオンオフのいかんに関わらず、レベルシフタLS及びゲーティング部のトランジスタMp1が常時導通する電流駆動型であり、定電流源の電流つまり無効電流が流れていることになる。したがって、消費電力低減の観点からすると不十分である。

20

【0103】

そこで、本実施の形態の駆動装置2、液晶表示装置11、及び液晶表示装置11の駆動方法では、この無効電流による消費電力を低減する方法をとっている。

【0104】

ここで、本実施の形態の液晶表示装置11では、このパーシャル表示ができるようになっているので、このパーシャル表示をするための構成について、先に説明する。

【0105】

すなわち、本実施の形態の液晶表示装置11では、携帯電話の表示用装置として使用可能となっており、図13に示すように、表示画面12の表示領域を時分割して表示するいわゆるパーシャル表示ができるようになっている。このパーシャル表示では、表示領域を例えば領域P1・P2・P3の3領域に分割する。そして、表示画面12の全体を表示させる全画面表示モードでは、領域P1・P2・P3を使用して、フルカラーモードにて表示を行う。一方、待機時においては、表示画面12の一部のみを表示させる部分画面表示モードとすることができる。この全画面表示モードと部分画面表示モードとの切り替えは、図示しない切り替え選択スイッチに基いてモード切替手段としての制御回路15が行う。例えば、領域P1・P3では背景を白表示として何も表示しない非表示部分12bとすると共に、領域P2では表示部分12aとして時刻表示や壁紙等を静止画にて表示する。

30

【0106】

上記のパーシャル表示を行う駆動装置2は、詳細には、図1に示すように、多階調データ信号DATをデータ信号線駆動回路SDに供給する第1配線30aと、一定の均一色表示時に印加する電圧又は予備充電電圧からなる定電圧データ書込信号PVIをデータ信号線駆動回路SDに供給する第2配線30bとの2つの配線によって、各信号が、データ信号線駆動回路SDのサンプリング回路SAMPに供給されるようになっている。上記定電圧データ書込信号PVIは、多階調データ信号DATよりも低い電圧からなっており、定電圧データ書込信号生成手段としてのデータ作成部LCDにて生成される。なお、ここでは、液晶駆動方法は1H反転駆動(1水平走査期間反転駆動)であり、定電圧データ書込信号PVIは、1H毎に極性を反転させる。

40

【0107】

すなわち、従来では、図17に示すように、待機時において、領域P1・P3に非表示部用の白データを書き込むときには、表示部用の画像データが書き込まれる領域P2と同

50

じ周波数のソースクロック信号 S C K を用いて、該非表示部用の白データを書き込んでいた。さらに、該非表示部用の白データの書き込みは、多階調用表示用データを使用して書き込んでいた。したがって、多階調用表示用データを使用することにより、前述したレベルシフト L S の無効電流による消費電力が増大するという問題があった。

【 0 1 0 8 】

そこで、本実施の形態では、非表示部の白表示は、定電圧データ書込信号 P V I により、白電位を書き込む。この定電圧データ書込信号 P V I は、上述のように、データ作成部 L C D C にて生成する。

【 0 1 0 9 】

そして、本実施の形態では、データ作成部 L C D C から、別途、定電圧データ書込信号 P V I を選択するための定電圧データ選択手段としての選択用信号 P C T L が上記サンプリング回路 S A M P に対して供給されている。したがって、定電圧データ書込信号 P V I については、上記選択用信号 P C T L によって選択されて、シフトレジスタ 1 を通らずにデータ信号線 S L に出力される。一方、多階調データ信号 D A T については、データ信号線駆動回路 S D のシフトレジスタ S R からの前記フリップフロップ回路 F F によって選択されて、データ信号線 S L に出力される。

【 0 1 1 0 】

したがって、非表示部の白表示については、定電圧データ書込信号 P V I により、シフトレジスタ 1 を介さずに白電位を書き込むので、レベルシフト L S の無効電流による消費電力の低減が図れる。

【 0 1 1 1 】

上記構成の液晶表示装置 1 1 におけるパシャル表示を行う駆動方法について、図 1 4 のタイミングチャートに基いて、説明する。なお、図 1 4 は、待機時のタイミングチャートを示している。

【 0 1 1 2 】

本実施の形態では、図 1 4 に示すように、待機時においては、表示するのは 3 垂直走査期間 (3 V) に 1 度とする。したがって、最初の第 1 垂直走査期間 (1 V) のみゲートクロック信号 G C K 及びゲートスタートパルス G S P、並びにソースクロック信号 S C K 及びソーススタートパルス S S P を稼動し、次の第 2 垂直走査期間、第 3 垂直走査期間はゲートクロック信号 G C K 及びゲートスタートパルス G S P、並びにソースクロック S C K およびソーススタートパルス S S P を停止させることにより、回路動作を停止させる。

【 0 1 1 3 】

このような駆動をしても、液晶は表示を保持する性質を有しているため、静止画の場合には表示が保たれている。これにより、表示駆動上のフレームを間引くために間欠的に駆動回路を停止しているため、消費電力が低減できる。

【 0 1 1 4 】

また、本実施の形態では、前記領域 P 1 ・ P 3 の表示における背景の白データはリフレッシュレート (書き換え頻度) を下げても表示上問題がないので、非表示用の白データの表示は、6 垂直走査期間 (6 V) 毎に行い、その間の第 3 垂直走査期間、第 9 垂直走査期間、... にはデータ信号線駆動回路 S D を停止し、消費電力の削減を図っている。

【 0 1 1 5 】

これらの消費電力の削減に加えて、本実施の形態では、上述したように、領域 P 1 ・ P 3 における非表示部の白表示を、定電圧データ書込信号 P V I により白電位を書き込む。したがって、領域 P 1 ・ P 3 では、選択用信号 P C T L は H i g h が継続する。そして、領域 P 2 を表示する期間 T においては、選択用信号 P C T L を間欠的に H i g h にして、定電圧データ書込信号 P V I によりプリチャージ電圧を印加した後、表示部用の画像データの書き込みを行う。これらの駆動方法によって、消費電力を削減することができる。

【 0 1 1 6 】

なお、ここでは 1 H 反転駆動方法について説明したが、必ずしもこれに限らず、例えば、フレーム反転駆動、ソースバスライン反転駆動、ドット反転駆動方法等、他の液晶表示

10

20

30

40

50

駆動方法にも適用できる。

【0117】

このように、本実施の形態の液晶表示装置11の駆動装置2及び液晶表示装置11の駆動方法では、液晶表示装置11の駆動装置2は、ソースクロック信号SCKに同期して動作する複数段のフリップフロップFFと、フリップフロップFFの駆動電圧よりも振幅が小さな上記ソースクロック信号SCKを昇圧して上記各フリップフロップFFへ印加する各レベルシフトLSとを有して、上記ソースクロック信号SCKに同期して入力パルスを伝送するシフトレジスタ1とを備え、このシフトレジスタ1からの各出力に基いてサンプリング回路SAMPにて画像表示データ信号をサンプリングして、複数のデータ信号線SLに出力するデータ信号線駆動回路SDを備えている。

10

【0118】

したがって、この液晶表示装置11の駆動装置2を駆動するときには、データ信号線SLにデータ信号を出力しないときにも、レベルシフトLSのトランジスタの無効電流が定常的に流れ、電力が消費されている。

【0119】

一方、本実施の形態では、表示画面12の全体を表示させる全画面表示モードと、該表示画面12の一部のみを時分割表示させる部分画面表示モードとを制御回路15にて切り替える。すなわち、パーシャル表示モードを採用する。

【0120】

ここで、パーシャル表示モードは、例えば携帯電話等の携帯機器の表示装置に使用され、待機時に部分表示されるモードである。そして、待機時の方が長時間であるので、特に消費電力を低減する必要がある。

20

【0121】

そこで、本実施の形態では、一定電圧からなる定電圧データ書込信号を生成するデータ作成部LCDCと、上記部分画面表示モードにおける表示画面12の一部である領域P2のみを時分割表示させる部分以外の非表示部分で領域P1・P3に対して、このデータ作成部LCDCからの定電圧データ書込信号PVIを直接サンプリングさせて複数のデータ信号線SLに出力させる選択用信号PCTLとが設けられている。

【0122】

したがって、選択用信号PCTLによって、部分画面表示モードにおける領域P1・P3に対しては、このデータ作成部LCDCからの定電圧データ書込信号PVIを直接サンプリングさせて複数のデータ信号線SLに出力させる。

30

【0123】

この結果、部分画面表示モードにおける非表示部分である領域P1・P3に対して、レベルシフトLSを有するシフトレジスタ1を介さずにデータ信号線SLに定電圧データ書込信号PVIを出力するので、レベルシフトLSを駆動する必要がない。このため、レベルシフトLSにおけるトランジスタの無効電流が定常的に流れることがないので、消費電力の低減を図ることができる。

【0124】

したがって、待機時において低消費電力化を図り得る液晶表示装置11の駆動装置2、及び液晶表示装置11の駆動装置2を提供することができる。

40

【0125】

また、本実施の形態の液晶表示装置11の駆動装置2及び液晶表示装置11の駆動方法では、定電圧データ書込信号PVIは、一定電圧からなるので、プリチャージ電圧として使用できる。このことは、逆に、定電圧データ書込信号PVIの生成は、図示しないプリチャージ電圧生成回路を用いて生成することを意味する。したがって、定電圧データ書込信号PVIの生成に際して、一般的に設けられる既存のプリチャージ電圧生成回路を使用することができるので、別途、定電圧データ書込信号生成手段を設ける必要がなく、コストの増大を回避できる。

【0126】

50

ところで、部分画面表示モードにおける非表示部分に対しては、表示を行えば、リフレッシュするまでその内容が保持される。したがって、例えば、非表示部分に表示されるベタ画像等では、画像を変化させる必要もないので、間欠的に表示すればよい。

【0127】

そこで、本実施の形態の液晶表示装置11の駆動装置2及び液晶表示装置11の駆動方法では、部分画面表示モードにおける非表示部分である領域P1・P3に対して、部分画面表示モードにおける表示部分である領域P2のサンプリング周波数よりも小さいサンプリング周波数にて駆動する。

【0128】

したがって、非表示部分である領域P1・P3の表示回数を減らすことができるので、消費電力の低減を図ることができる。 10

【0129】

また、本実施の形態の液晶表示装置11は、上記記載の液晶表示装置11の駆動装置2を備えているので、待機時において低消費電力化を図り得る液晶表示装置11を提供することができる。

【0130】

なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。

【0131】

例えば、本実施の形態では、データ信号線駆動回路SD側にプリチャージ電圧生成回路が設けられている場合について説明しているが、必ずしもこれに限らず、データ信号線SLを介して、データ信号線駆動回路SDの反対側にプリチャージ電圧生成回路が設けられていても、本発明は適用できる。 20

【産業上の利用可能性】

【0132】

本発明の表示装置及びその駆動方法は、アクティブマトリクス型の液晶表示装置の駆動装置、液晶表示装置の駆動方法、及び液晶表示装置に用いることができ、特に、携帯電話、PDAを代表とする携帯情報ツールへの適用が好ましい。

【図面の簡単な説明】

【0133】

【図1】本発明における液晶表示装置の実施の一形態を示すものであり、上記液晶表示装置の駆動装置の詳細構造を示すブロック図である。 30

【図2】上記液晶表示装置の構成を示すブロック図である。

【図3】上記液晶表示装置における画素の構成を示すブロック図である。

【図4】上記液晶表示装置におけるデータ信号線駆動回路のシフトレジスタの内部構成を示すブロック図である。

【図5】(a)は上記データ信号線駆動回路のシフトレジスタにおけるリセットセットフリップフロップの基本構造を示すブロック図であり、(b)は上記リセットセットフリップフロップの動作を示すタイミングチャートである。

【図6】上記データ信号線駆動回路のシフトレジスタにおけるリセットセットフリップフロップの基本構造を示す図である。 40

【図7】上記リセットセットフリップフロップを用いたシフトレジスタによる入出力信号の波形を示すタイミングチャートである。

【図8】上記データ信号線駆動回路のシフトレジスタにおけるリセットセットフリップフロップの基本構造を示す図である。

【図9】上記リセットセットフリップフロップの詳細構造を示すブロック図である。

【図10】上記リセットセットフリップフロップの入出力信号の波形を示すタイミングチャートである。

【図11】上記リセットセットフリップフロップを用いたシフトレジスタの構成を示すブロック図である。 50

【図12】上記リセットセットフリップフロップを用いたシフトレジスタによる入出力信号の波形を示すタイミングチャートである。

【図13】上記液晶表示装置のパーシャル表示モードにおける表示画面の表示状態を示す正面図である。

【図14】上記液晶表示装置のパーシャル表示モードにおける表示画面の表示動作を示すタイミングチャートである。

【図15】従来の液晶表示装置のパーシャル表示モードにおける表示画面の表示状態を示す正面図である。

【図16】上記液晶表示装置の全画面表示モードにおける入出力信号の波形を示すタイミングチャートである。

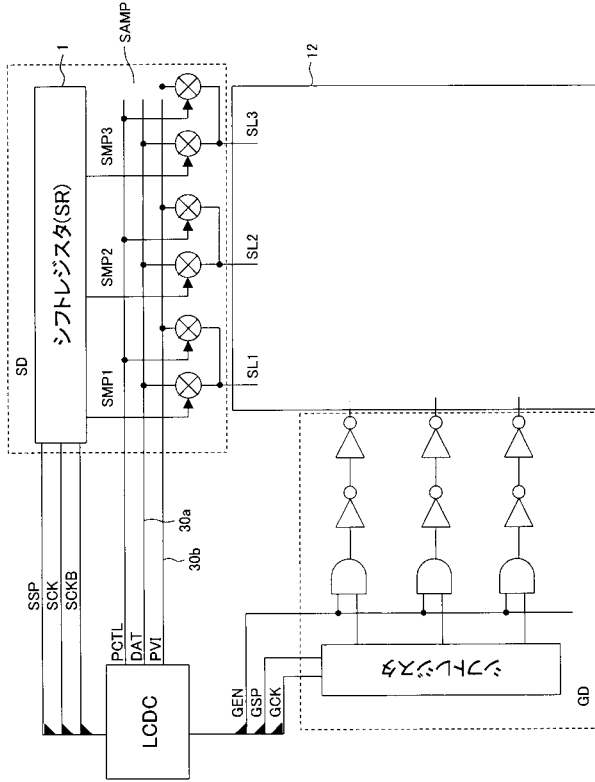
【図17】従来の他の液晶表示装置の全画面表示モードにおける入出力信号の波形を示すタイミングチャートである。

【符号の説明】

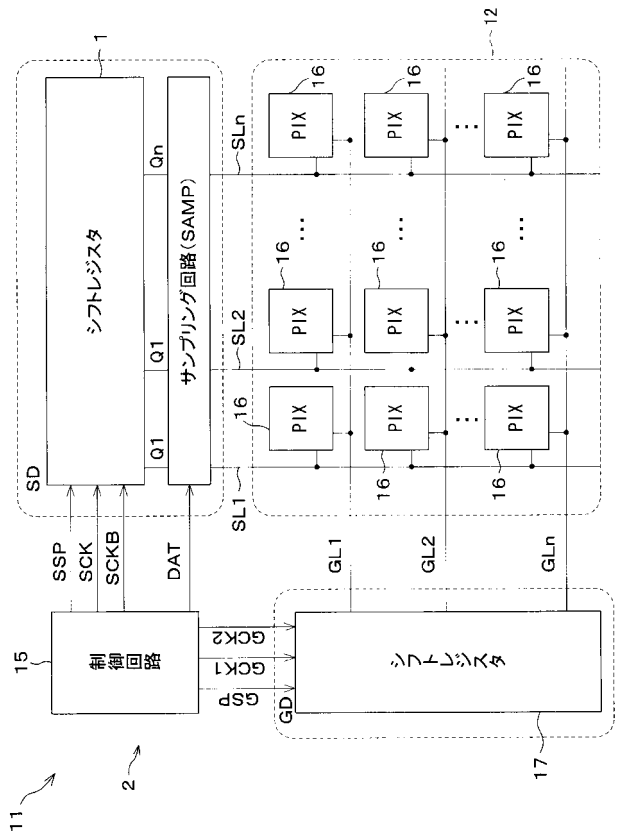
【0134】

1	シフトレジスタ	
2	駆動装置	
11	液晶表示装置（表示装置）	
12	表示画面	
15	制御回路（モード切替手段）	
16	画素	20
DAT	多階調データ信号（画像表示データ信号）	
FF	セットリセットフリップフロップ（フリップフロップ）	
GCK	ゲートクロック信号	
GD	走査信号線駆動回路	
GL	走査信号線	
LCDC	データ作成部（定電圧データ書込信号生成手段）	
LS	レベルシフタ	
P1・P3	領域（部分画面表示モードにおける非表示部分）	
P2	領域（部分画面表示モードにおける表示部分）	
PCTL	選択用信号（定電圧データ選択手段）	30
PVI	定電圧データ書込信号	
SAMP	サンプリング回路	
SK	ソースクロック信号	
SD	データ信号線駆動回路	
SL	データ信号線	

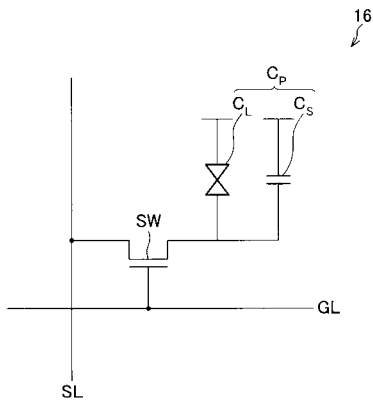
【図 1】



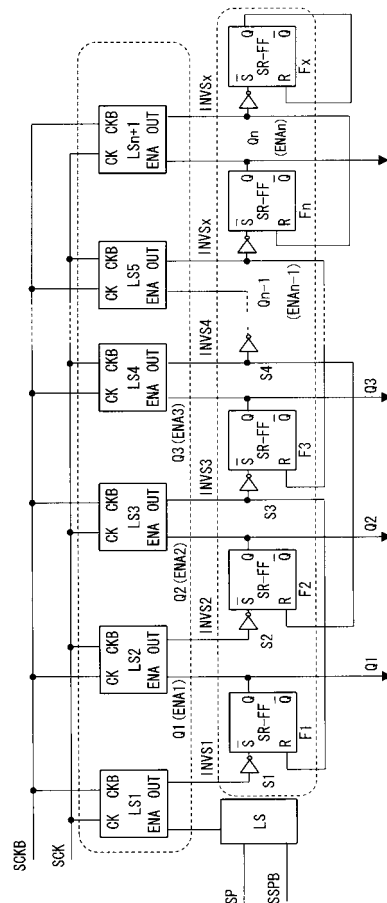
【図 2】



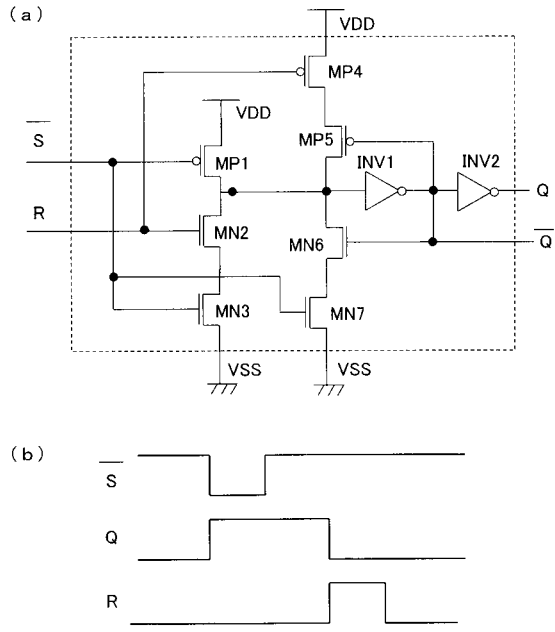
【図 3】



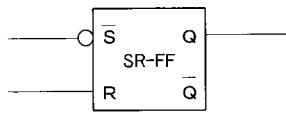
【図 4】



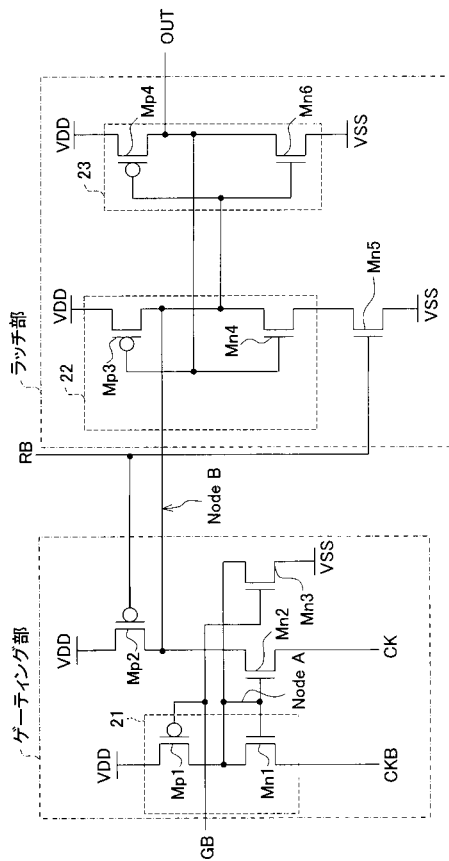
【 図 5 】



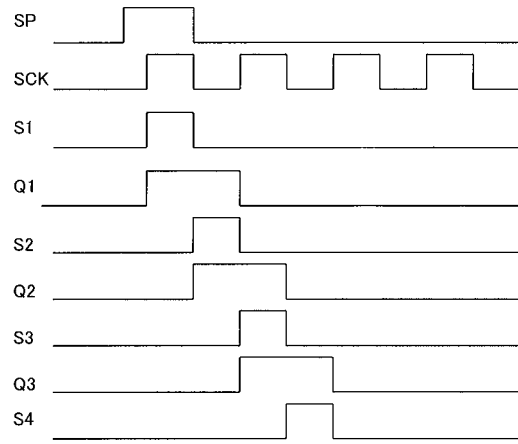
【 図 6 】



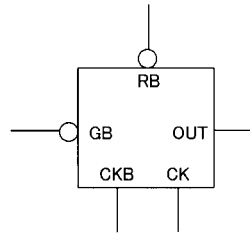
【 図 9 】



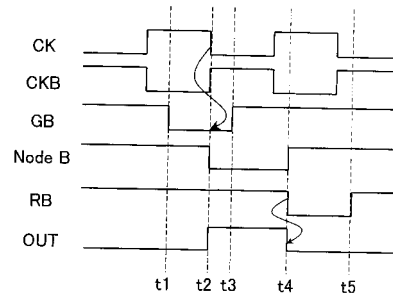
【 図 7 】



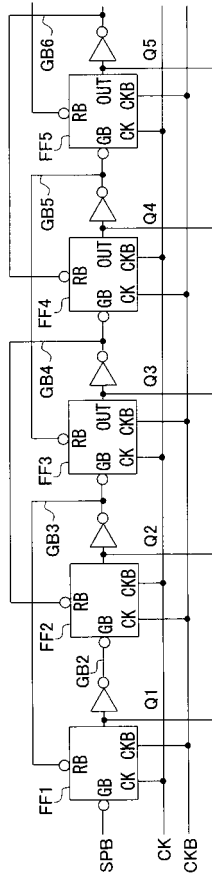
【 図 8 】



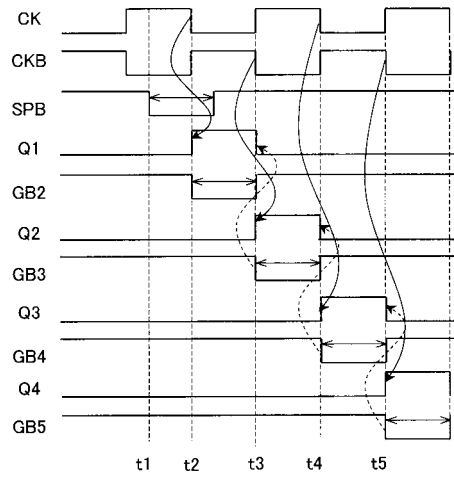
【 図 10 】



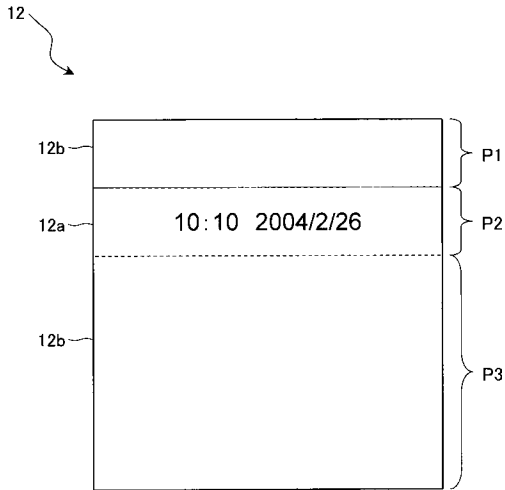
【 図 1 1 】



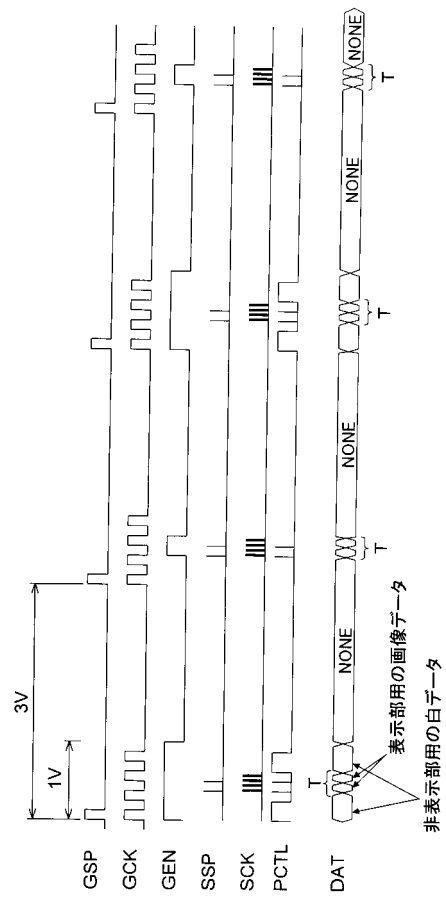
【 図 1 2 】



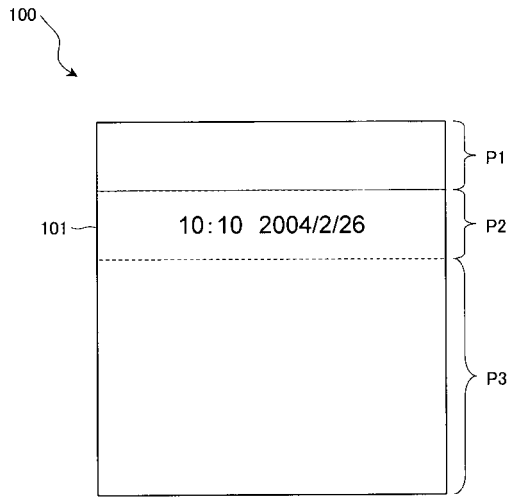
【 図 1 3 】



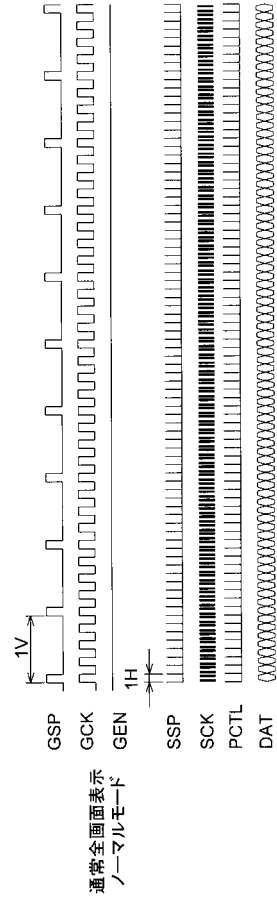
【 図 1 4 】



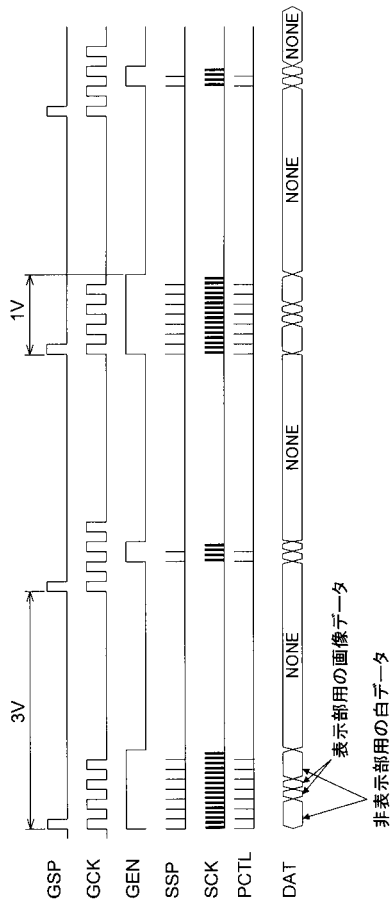
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 1 D
	G 0 9 G 3/20	6 2 1 L
	G 0 9 G 3/20	6 2 3 H
	G 0 9 G 3/20	6 2 3 L
	G 0 9 G 3/20	6 6 0 Q

(72)発明者 鷺尾 一

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 村上 祐一郎

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 業天 誠二郎

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H093 NA16 NA32 NA33 NA46 NC10 NC12 NC21 NC22 NC34 NC35
 NC49 ND35 ND39 NG01 NH16
 5C006 AC27 AC28 AF31 AF34 AF36 AF42 AF44 AF59 BB16 BC03
 BC13 BF03 BF04 BF06 BF11 BF24 BF34 BF46 FA05 FA47
 5C080 AA10 BB05 DD26 EE26 FF11 JJ01 JJ02 JJ03 JJ04