

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 13.12.89.

⑯ Priorité :

⑰ Date de la mise à disposition du public de la demande : 14.06.91 Bulletin 91/24.

⑱ Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : *ALCATEL CIT Société Anonyme — FR.*

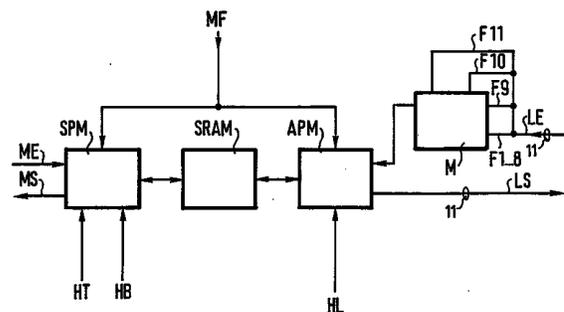
⑵ Inventeur(s) : *Balzano Jean-Michel et Le Bouffant Alain.*

⑶ Titulaire(s) :

⑷ Mandataire : *SOSPI Vatinel René.*

⑸ Convertisseur synchrone-Asynchrone.

⑹ Le convertisseur comprend une mémoire (SRAM) ayant un premier et un deuxième port, un circuit de gestion du premier port (SPM) relié au premier port, à une ligne multiplex synchrone entrante (ME) et à une ligne multiplex synchrone sortante (MS), et un circuit de gestion du deuxième port (APM) relié au deuxième port, à une liaison asynchrone entrante (LE) par l'intermédiaire d'une mémoire cellules (M) de type FIFO, et à une liaison asynchrone sortante (LS). Une commande (MF) extérieure au convertisseur, et appliquée aux circuits de gestion des ports permet de choisir le mode de fonctionnement du convertisseur; dans un premier mode (M32) chaque intervalle temporel d'une trame d'un multiplex synchrone est affecté à un canal de communication et dans un deuxième mode (M1) tous les intervalles temporels d'une trame synchrone sont affectés à un canal.



FR 2 655 794 - A1



La présente invention concerne le domaine des télécommunications et permet le raccordement de systèmes de commutation basés sur la technique temporelle asynchrone ATM à des systèmes basés sur la technique temporelle synchrone STM. En effet, l'introduction progressive des commutateurs du type ATM dans le réseau actuel nécessite leur interfonctionnement avec des commutateurs du type STM.

La technique STM se caractérise par le multiplexage de plusieurs communications au débit de 64 Kbit/s sur une même trame MIC. Cette trame est découpée en 32 intervalles temporels IT0 à IT31. Chaque IT est réservé à une communication particulière et possède un débit de 64 Kbit/s. Le début de la trame est repéré par un motif connu contenu dans l'IT0, appelé motif de synchronisation.

La technique ATM se caractérise par le multiplexage sur un même support, de cellules de par exemple 36 octets identifiées par un en-tête de 4 octets et possédant un contenu utile de 32 octets. A une communication donnée correspond un en-tête donné. Le débit du support est indépendant de celui des communications qu'il achemine.

La conversion synchrone-asynchrone d'une trame MIC comprend donc :

- Dans le sens Synchrone vers Asynchrone :

- . la mémorisation de 32 octets de chaque canal de manière à former le contenu utile des cellules,
- . l'adjonction, à chaque cellule, d'un en-tête spécifique à chaque canal,
- . le multiplexage des différentes cellules sur un même support,

- dans le sens Asynchrone vers Synchrone :

- . l'identification du canal par analyse de l'en-tête de la cellule reçue,
- . la mémorisation du contenu utile des cellules reçues,
- . la lecture d'un octet dans la mémoire et émission sur le MIC à chaque temps IT.

Les dispositifs habituellement utilisés pour la conversion synchrone-asynchrone réalisent la conversion d'un unique canal numérique, à bas ou à haut débit, et comportent un celluleur et un

décelluleur. Le celluleur constitue une cellule à partir du train numérique par comptage des bits, ou des octets, incidents, puis ajoute une étiquette qui identifie le service. Le décelluleur réalise l'opération inverse et restitue un train récurrent à partir des  
5 informations contenues dans les cellules de même étiquette.

L'invention a pour but de réaliser un convertisseur synchrone/asynchrone et inverse capable de mettre en cellules un multiplex synchrone entrant en affectant soit un numéro de circuit virtuel à chaque intervalle temporel des trames dudit multiplex  
10 synchrone, soit un numéro de circuit virtuel aux 32 intervalles temporels d'une trame, et inversement, capable de mettre en trames synchrones les cellules d'un multiplex asynchrone entrant.

L'invention a pour objet un convertisseur synchrone/asynchrone, et inverse relié à un réseau synchrone dans lequel des informations  
15 sont acheminées par des multiplex synchrones tramés dont chaque trame est divisée en trente deux intervalles temporels affectés à au moins un canal de communication, et à un réseau asynchrone dans lequel des informations sont acheminées par des cellules ayant un en-tête de 4 octets et une partie utile de trente deux octets, caractérisé par le  
20 fait qu'il comprend une mémoire à accès aléatoire ayant un premier port et un deuxième port, un circuit de gestion du premier port relié d'une part au premier port et d'autre part à une ligne multiplex synchrone entrante acheminant un multiplex synchrone entrant, et à une ligne multiplex synchrone sortante acheminant un multiplex synchrone  
25 sortant, lesdits multiplex synchrones entrant et sortant étant des multiplex tramés, et un circuit de gestion du deuxième port relié d'une part au deuxième port et d'autre part à une liaison multiplex asynchrone entrante et à une liaison multiplex asynchrone sortante acheminant chacune un multiplex asynchrone constitué de cellules  
30 relatives chacune à un canal, que dans le sens réseau synchrone vers réseau asynchrone le circuit de gestion du premier port assure la mémorisation dans la mémoire d'au moins trente deux octets de chaque canal, le circuit de gestion du deuxième port assurant, par lecture de la mémoire, la cellulisation des données mémorisées et l'émission des  
35 cellules sur la liaison asynchrone sortante, et que dans le sens

réseau asynchrone vers réseau synchrone le circuit de gestion du deuxième port assure la mémorisation dans la mémoire d'au moins une cellule reçue par la liaison asynchrone entrante, le circuit de gestion du premier port assurant, par lecture de la mémoire, 5 l'émission en trames sur la liaison multiplex synchrone sortante.

L'invention sera bien comprise par la description qui va suivre d'exemples de réalisation illustrés par les figures annexées dans lesquelles :

- la figure 1 représente schématiquement un convertisseur 10 synchrone/asynchrone de l'invention.
- les figures 2A et 2B représentent l'organisation d'une mémoire double port de la figure 1, la figure 2A étant relative à un mode de fonctionnement M32, et la figure 2B étant relative à un mode de fonctionnement M1,
- 15 - la figure 3 donne le format du mot sémaphore de la mémoire,
- la figure 4 donne le format d'un pointeur d'écriture de la mémoire,
- la figure 5 donne le format d'un pointeur de lecture de la mémoire,
- la figure 6 donne le format d'un descripteur de la mémoire,
- la figure 7 donne le format de l'en-tête des cellules émises par le 20 convertisseur.

La figure 1 représente schématiquement le convertisseur synchrone/asynchrone de l'invention, comportant une mémoire double port, SRAM, à accès aléatoire, ayant un premier port nommé port synchrone et un deuxième port nommé port asynchrone, un circuit de 25 gestion du port synchrone SPM, un circuit de gestion du port asynchrone, APM, et une mémoire cellules M, du type FIFO.

Le circuit de gestion du port synchrone, SPM, est relié d'une part à une ligne multiplex synchrone entrante ME et à une ligne multiplex synchrone sortante (MS) et d'autre part au port synchrone de 30 la mémoire double port SRAM ; il reçoit un signal d'horloge trame HT et un signal d'horloge bit HB d'un récupérateur de rythme, non représenté, relié à la ligne multiplex entrante ME.

Le circuit de gestion du port asynchrone, APM, est relié d'une part au port asynchrone de la mémoire double port SRAM et d'autre part 35 directement à une liaison asynchrone sortante LS, et par

l'intermédiaire de la mémoire cellules M à une liaison asynchrone entrante LE ; il reçoit un signal d'horloge HL d'une horloge locale, non représentée. Les liaisons asynchrones entrante et sortante sont des liaisons parallèles, à onze fils chacune : huit fils bits pour les  
5 données, un fil début cellule au niveau 0 au début d'une cellule, c'est-à-dire au premier octet de la cellule pleine, un fil cellule pleine au niveau 0 pendant toute la durée d'une cellule pleine, et un fil signal d'horloge octet au débit de la liaison asynchrone.

La mémoire cellules M est reliée en entrée à la liaison  
10 asynchrone entrante LE et en sortie au circuit de gestion APM. La mémoire cellules M a une largeur de 9 bits dont 8 bits sont reliés aux huit fils bits, F1/8, le neuvième bit étant relié au fil début cellule F9 ; une entrée de validation d'écriture est reliée au fil cellule pleine, F10, pour mémoriser les cellules pleines entrantes, et une  
15 entrée écriture est reliée au fil signal d'horloge F11. La mémoire cellules M constitue un tampon destiné à abaisser le débit binaire reçu par la liaison asynchrone entrante LE, pour le rendre compatible avec la vitesse de traitement du circuit de gestion du deuxième port APM ; la mémoire M ne contient que des cellules pleines.

20 Les circuits de gestion du port synchrone SPM et de gestion du port asynchrone APM sont chacun un réseau programmable de portes logiques, tel que par exemple le composant XC 3090 commercialisé par la société XILINX ; il s'agit d'un composant standard dont la personnalisation est effectuée par programmation, lors de  
25 l'initialisation du convertisseur, d'une mémoire statique interne au composant.

Le convertisseur de l'invention peut fonctionner selon deux modes de fonctionnement, le choix du mode étant effectué par une commande MF extérieure au convertisseur et agissant sur les circuits de gestion  
30 SPM et APM. Dans un premier mode de fonctionnement, désigné par la suite par mode M32, un numéro de circuit virtuel est affecté à chaque intervalle temporel d'une trame, et dans un second mode de fonctionnement, désigné par la suite par mode M1, un numéro de circuit virtuel est affecté aux 32 intervalles temporels d'une trame du  
35 multiplex synchrone.

La mémoire SRAM comporte 8192 mots d'un octet et les figures 2A et 2B donnent l'organisation de la mémoire en mode M32 et en mode M1, respectivement. Dans ces figures les adresses Ad des octets sont en hexadécimal, l'adresse 0000 étant celle du premier octet, et l'adresse  
5 1FFF étant celle du 8192ème octet de la mémoire.

Dans la figure 2A on trouve successivement, à partir du premier octet, une première zone celluleur Z0.C, une deuxième zone celluleur Z1.C, trente deux zones décelluleurs Z0.D à Z31.D, une zone descripteurs Z.DES, une zone pointeurs de lecture Z.PTL, une zone  
10 pointeurs d'écriture Z.PTE, une zone non utilisée ZNU1, et une zone sémaphore ZS.

Les zones celluleurs Z0.C et Z1.C comportent chacune 32 blocs celluleurs BC0 à BC31, de 32 octets chacun. Les adresses de début et de fin de l'ensemble de ces deux zones sont 0000 et 07FF,  
15 respectivement.

Les zones décelluleurs Z0.D à Z31.D comportent chacune quatre blocs décelluleurs BDO à BD3, de 32 octets chacun. Les adresses de début et de fin de l'ensemble de ces trente deux zones sont 0800 et 17FF, respectivement.

20 La zone descripteurs Z.DES comporte 128 descripteurs d'un octet chacun ; les adresses de début et de fin de cette zone sont 1800 et 187F, respectivement.

La zone pointeurs de lecture Z.PTL comporte 32 pointeurs de lecture d'un octet chacun ; les adresses de début et de fin de cette  
25 zone sont 1880 et 189F, respectivement.

La zone pointeurs d'écriture Z. PTE comporte 32 pointeurs d'écriture d'un octet chacun ; les adresses de début et de fin de cette zone sont 18A0 et 18BF, respectivement.

La zone non utilisée ZNU1 comporte 1855 octets.

30 La zone sémaphore est un octet d'adresse 1FFF ; c'est le dernier octet de la mémoire.

Dans la figure 2B on trouve successivement, à partir du premier octet, d'adresse 0000, une première zone celluleur Z0.C1, une deuxième zone celluleur Z1.C1, une zone non utilisée ZNU2, une zone décelluleur  
35 Z0.D, une zone non utilisée ZNU3, une zone descripteur Z.DES, une zone

pointeur de lecture Z.PTL, une zone pointeur d'écriture Z.PTE, une zone non utilisée ZNU1, et une zone sémaphore ZS.

Les zones celluleurs Z0.C1 et Z1.C1 sont constituées chacune par un bloc BCO de 32 octets. Les adresses de début et de fin de  
5 l'ensemble de ces deux zones sont 0000 et 003F, respectivement.

La zone inutilisée ZNU2 comporte 1984 octets et se termine à l'adresse 07FF, qui correspond, dans la figure 2A, à la fin de la deuxième zone celluleur Z1.C.

La zone décellueur Z0.D comporte, comme dans le cas de la figure  
10 2A, quatre blocs décellueurs BDO à BD3. Les adresses de début et de fin de cette zone sont 0800 et 087F. Les adresses de début et de fin sont les mêmes que celles, dans la figure 2A, du bloc décellueur Z0.D.

La zone inutilisée ZNU3 compte 3968 octets et se termine à  
15 l'adresse 17FF, qui correspond, dans la figure 2A, à la fin de la zone celluleur Z31.D ; cette zone inutilisée correspond aux zones décellueurs Z1.D à Z31.D de la figure 2A.

La zone descripteur Z.DES comporte 128 octets, dont seulement les quatre premiers sont utilisés ; comme dans la figure 2A, les adresses  
20 de début et de fin de cette zone sont 1800 et 187F, respectivement.

La zone pointeur de lecture Z.PTL comporte 32 octets dont seul le premier est utilisé ; comme dans la figure 2A, les adresses de début et de fin de cette zone sont 1880 et 189F, respectivement.

La zone pointeur d'écriture Z.PTE comporte 32 octets dont seul le  
25 premier est utilisé ; comme dans la figure 2A, les adresses de début et de fin de cette zone sont 18A0 et 18BF, respectivement.

La zone utilisée ZNU1, est identique à celle de la figure 2A.

La zone sémaphore ZS est identique à celle de la figure 2A ; l'octet qui la constitue a également pour adresse 1FFF.

30 La figure 3 représente la structure de l'octet de la zone sémaphore ZS des figures 2A et 2B. Cet octet est utilisé pour le dialogue entre le circuit de gestion du port synchrone SPM et le circuit de gestion du port asynchrone APM, et seul le bit S de poids faible est utilisé. Le bit S est positionné par le circuit SPM ; il  
35 passe à zéro à la fin du remplissage de la zone celluleur Z0.C, ou

ZO.C1, et à un à la fin du remplissage de la zone celluleur Z1.C ou Z1.C1, de la mémoire SRAM ; le bit S est exploité par le circuit APM.

La figure 4 représente la structure d'un pointeur d'écriture constitué par un octet et utilisé par le circuit APM pour

5 l'affectation des blocs de chaque zone décelluleur, ZO.D à Z31.D. Il existe un pointeur d'écriture par zone décelluleur pour indiquer le bloc de ladite zone dans lequel sera rangée la prochaine cellule arrivant sur le canal correspondant audit bloc. Dans l'octet d'un pointeur d'écriture seuls les bits 0 et 1, repérés PTE, sont utilisés

10 pour indiquer le numéro du bloc où ranger le contenu d'une cellule reçue par lecture de la mémoire cellules M.

La figure 5 représente la structure d'un pointeur de lecture constitué par un octet et utilisé par le circuit SPM pour l'identification de l'octet à lire dans chaque zone décelluleur. Il

15 existe un pointeur d'écriture par zone décelluleur pour indiquer l'octet qui doit être émis sur la ligne multiplex synchrone sortante MS. Dans l'octet d'un pointeur de lecture les bits 0 à 6, repérés PTL, indiquent le numéro de l'octet à émettre sur la ligne multiplex synchrone sortante MS ; le bit 7 de l'octet n'est pas utilisé.

20 La figure 6 représente la structure d'un descripteur, constitué par un octet et utilisé pour connaître l'état d'occupation des blocs des zones décelluleurs. Il existe un descripteur par bloc, soit 128 descripteurs. Un descripteur indique l'état, libre ou occupé, d'un bloc. Dans l'octet d'un descripteur seul le bit 0, repéré D, est

25 utilisé, le bit D a la valeur 0 pour indiquer l'état libre d'un bloc, et la valeur 1 pour indiquer l'état occupé d'un bloc.

Les opérations celluleur et décelluleur sont totalement asynchrones. Les conflits d'accès à la mémoire double port SRAM sont résolus en travaillant par zones réservées à la lecture ou à

30 l'écriture. Le circuit de gestion du port synchrone SPM fonctionne en écriture dans le sens celluleur (ligne multiplex synchrone entrante ME vers liaison asynchrone sortante LS) et en lecture dans le sens décelluleur (liaison asynchrone entrante LE vers ligne multiplex synchrone sortante MS). Le circuit de gestion du port asynchrone APM

35 fonctionne en lecture dans le sens celluleur et en écriture dans le

sens décelluleur.

Le fonctionnement du convertisseur en cellulisation dans le mode M32 utilise les zones celluleurs Z0.C et Z1.C, et la zone sémaphore ZS, figure 2A, qui constituent, pour ce mode la partie celluleur de la mémoire SRAM. A chaque octet d'un même bloc des zones celluleurs correspond l'un des 32 canaux à celluliser.

En pratique, un bloc contient les données des 32 intervalles temporels ITO à IT31 d'une trame du multiplex synchrone entrant ; par conséquent il y a en permanence 64 trames stockées dans la mémoire SRAM par le circuit SPM. Le mode de stockage dans l'ensemble des deux zones celluleurs est du type tampon circulaire. Pour la cellulisation les fonctions remplies par le circuit SPM sont :

- la réception du multiplex synchrone entrant, acheminé par la ligne multiplex synchrone entrante ME,
- la mise en parallèle, intervalle temporel par intervalle temporel, des huit bits de chaque intervalle temporel ; le premier bit reçu est celui de poids fort, le dernier bit reçu celui de poids faible,
- l'écriture dans la mémoire SRAM en respectant l'ordre des IT. Le circuit SPM comporte un compteur d'adresses, modulo 2048, synchronisé par le signal d'horloge trame HT pour garantir que l'intégrité d'une trame reçue est conservée dans le bloc où elle est stockée. Les IT successifs sont écrits à des adresses croissantes, l'ITO en premier et l'IT31 en dernier. Une adresse donnée contient toujours un IT de même rang. L'écriture de la mémoire SRAM est effectuée au rythme du multiplex synchrone entrant, c'est-à-dire un bloc en 125 microsecondes et une zone en 4 ms. En permanence les 64 dernières trames reçues sont stockées dans la mémoire SRAM ; une écriture à une même adresse aura lieu 64 trames plus tard, soit 8 ms.
- l'écriture de l'octet sémaphore ZS de la mémoire SRAM en fin de remplissage de zone. Il contient le numéro, 0 ou 1, de la zone celluleur dans laquelle le circuit SPM ne travaille pas. Cette indication de libération de zone est utilisée par le circuit APM pour émettre les cellules correspondant à la zone celluleur libre.

Pour la cellulisation le circuit APM comporte un compteur d'IT et un compteur de blocs. Le compteur d'IT indique le numéro du canal en

cours de cellulisation et le compteur de blocs indique le numéro de bloc cellulaire en cours de cellulisation. En mode de fonctionnement M32 ces deux compteurs sont des compteurs modulo 32. Le compteur de blocs est incrémenté après lecture d'un octet d'un bloc, et le

5 compteur d'IT est incrémenté après lecture de 32 octets, c'est-à-dire après lecture d'un octet dans chacun des 32 blocs d'une zone cellulaire.

Pour la cellulisation les fonctions remplies par le circuit APM, en mode M32, sont indiquées ci-dessous, étant rappelé que chaque zone

10 cellulaire Z0.C et Z1.C comporte 32 blocs et que chaque bloc contient un octet de chacun des canaux à celluliser ; par conséquent une zone pleine contient 32 octets utiles de chaque canal, c'est-à-dire le contenu d'une cellule de chaque canal. Après une opération de cellulisation le circuit APM lit l'octet sémaphore, et si le bit S de

15 l'octet sémaphore a changé d'état le circuit APM mémorise la nouvelle valeur du bit S et les opérations de cellulisation dans la zone cellulaire indiquée par le bit S commencent.

Les compteurs d'IT et de blocs étant à zéro, le circuit APM procède :

- 20 - à l'envoi, sur la liaison asynchrone sortante LS, d'un en-tête de quatre octets, figure 7, qui correspond au canal ITO dont les données sont stockées dans l'octet 0 de chaque bloc de la zone cellulaire,
- à la lecture dans la mémoire SRAM et à l'envoi sur la liaison asynchrone sortante LS de l'octet 0 du bloc BCO de la zone cellulaire,
- 25 - à l'incrémentation du compteur de blocs qui indique alors le bloc BC1 de la zone cellulaire, à la lecture et à l'envoi sur la liaison LS de l'octet 0 du bloc BC1, et ainsi de suite jusqu'à la lecture de l'octet 0 du bloc BC31 de la zone cellulaire,
- à l'incrémentation du compteur d'IT qui indique alors IT1, les
- 30 opérations précédentes indiquées pour l'ITO étant répétées pour chacun des 31 canaux restant. Lorsque l'octet 31 du bloc BC31 de la zone cellulaire est lu et envoyé sur la liaison synchrone sortante LS, le compteur d'IT et le compteur de blocs sont à zéro, et le circuit APM vient scruter l'octet sémaphore pour détecter un changement d'état du
- 35 bit S ; si l'état n'a pas changé le circuit APM émet des cellules

vides sur la liaison LS,

- La figure 7 représente la structure de l'en-tête ; dans le champ réservé au numéro de circuit virtuel bits 8 à 15, seuls les 5 bits de poids faibles 8 à 13, repérés CV, sont utilisés par le circuit APM.

5 Ces 5 bits correspondent au numéro de l'IT utilisé ; pour l'IT0 l'indication de circuit virtuel CV est 00000, et pour l'IT31 l'indication de circuit virtuel CV est 11111.

La vitesse de fonctionnement du circuit APM est choisie de telle manière que la cellulisation complète d'une zone est effectuée dans un  
10 temps inférieur au temps de son remplissage par le circuit SPM. En conséquence, à la fin de la cellulisation des 32 canaux, le circuit APM scrute l'octet sémaphore pour détecter un nouveau changement du bit S ; tant que le bit S n'a pas changé d'état le circuit APM émet des cellules vides sur la liaison asynchrone sortante LS.

15 Le fonctionnement du convertisseur en cellulisation dans le mode M1 utilise les zones celluleurs Z0.C1 et Z1.C1 et la zone sémaphore ZS, figure 2B, qui constituent, pour ce mode, la partie celluleur de la mémoire SRAM. Chaque zone celluleur est réduite à un bloc, BCO, qui contient 32 octets numérotés de 0 à 31 qui constituent le contenu  
20 utile du canal à celluliser. La structure et l'utilisation de l'octet sémaphore sont les mêmes que dans le mode de fonctionnement M32 décrit précédemment.

Le fonctionnement du circuit SPM est identique à celui indiqué pour le mode M32 ; toutefois seules les 2 dernières trames du  
25 multiplex synchrone entrant sont stockées dans la mémoire SRAM, chaque bloc des deux zones celluleurs contenant une trame. Une écriture a une même adresse aura donc lieu 2 trames plus tard, soit 250 microsecondes ; dans ce mode M1 le compteur d'adresses du circuit SPM est modulo 64.

30 Comme dans le mode M32 la cellulisation commence lorsque le circuit APM a détecté le changement d'état du bit S de l'octet et sémaphore. Dans ce mode M1, le compteur d'IT du circuit APM est toujours modulo 32, mais comme chaque zone celluleur ne comporte qu'un bloc, le compteur de bloc du circuit APM est, dans ce mode M1, bloqué  
35 à zéro. Dès que le circuit APM a détecté le changement d'état du

bit S, il procède :

- à l'envoi, sur la liaison asynchrone sortante LS, d'un en-tête de quatre octets, dont la structure est identique à celle de l'en-tête indiquée dans le mode M32 et représentée figure 7. Dans le mode M1, un

5 seul canal étant cellulisé l'indication de circuit virtuel CV est 00000,

- à la lecture dans la mémoire SRAM et l'envoi sur la liaison asynchrone sortante LS des 32 octets du bloc de la zone celluleur indiqué par le bit S.

10 L'ordre de lecture des octets dans le bloc est le même qu'à l'écriture, c'est-à-dire l'octet contenu dans l'ITO d'abord.

De même que dans le mode de fonctionnement M32 la vitesse de fonctionnement du circuit APM est choisie de manière que le temps de cellulisation d'une zone celluleur est inférieur au temps de son

15 remplissage par le circuit SPM.

Le fonctionnement du convertisseur en décellulisation utilise, dans les deux modes de fonctionnement M32 et M1, la mémoire cellules M, du type FIFO dans laquelle les cellules entrantes sont stockées.

Le vidage de cette mémoire M est effectué par le circuit de gestion du port asynchrone APM qui possède son propre signal horloge cellule obtenu par division du signal d'horloge HL délivré par l'horloge locale.

Pour un vidage correct, le circuit de gestion APM doit lire, dans la mémoire M, le premier octet d'une cellule sur la transition du signal horloge cellule ; pour cela la mémoire M possède une largeur de 9 bits répartis en 8 bits destinés à stocker les données des cellules et un neuvième bit destiné à indiquer le début d'une cellule ; ce neuvième bit est positionné à zéro lors du stockage dans la mémoire cellules M du premier octet d'une cellule. Le processus de

30 synchronisation est alors le suivant :

- lecture systématique de la mémoire M sur la transition du signal d'horloge cellule,

- si le neuvième bit lu est actif, alors la synchronisation est effective, le circuit de gestion APM procède à la lecture et au

35 traitement des 35 octets restant de la cellule,

- si le neuvième bit est inactif il n'y a pas lecture de la mémoire cellules M.

Le fonctionnement du convertisseur en décellulisation, dans le mode M32, utilise des zones décelluleurs Z0.D à Z31.D, la zone  
 5 descripteur Z.DES, la zone pointeur de lecture Z.PTL et la zone pointeur d'écriture Z.PTE, de la mémoire SRAM, figure 2A, qui constituent pour le mode M32, la partie décelluleur de la mémoire. Chaque bloc des zones décelluleurs contient une cellule à  
 10 décelluliser. Chacun des 128 descripteurs est affecté à un bloc des zones décelluleurs, pour indiquer l'état libre ou non, de ce bloc. Chacun des 32 pointeurs d'écriture est affecté à une zone décelluleur, pour indiquer le bloc dans lequel sera rangée la prochaine cellule arrivant sur le canal correspondant. Chacun des 32 pointeurs de  
 15 lecture est affecté à une zone décelluleur. Les fonctions remplies par le circuit de gestion APM sont, lorsque la synchronisation de la mémoire cellules M est acquise :

- lecture de l'en-tête d'une cellule reçue, et mémorisation en interne du numéro de circuit virtuel contenu dans l'en-tête ; les cinq bits de  
 20 poids faible du numéro de circuit virtuel indiquent, en binaire, le numéro de la zone décelluleur où le circuit APM doit ranger le contenu utile de la cellule reçue,
- lecture du pointeur d'écriture de ladite zone, qui indique le numéro de bloc où stocker le contenu utile de la cellule reçue,
- 25 - rangement du contenu utile de la cellule dans le bloc ; le rangement dans un bloc se fait octet par octet, et à des adresses croissantes.
- positionnement à 1 du descripteur du bloc,
- incrémentation d'une unité modulo 4 du pointeur d'écriture de la zone où la cellule est rangée.

30 Pour la décellulisation le circuit de gestion du port synchrone, SPM, comporte un compteur d'intervalles temporels, modulo 32, et un compteur de zones, modulo 32, utilisés dans les deux modes M32 et M1, le compteur de zones étant bloqué à zéro dans le mode M1 puisqu'il n'y a qu'une zone décelluleur dans ce mode. Le compteur d'intervalles  
 35 temporels est synchronisé par le signal d'horloge trame HT, figure 1.

En mode M32 le compteur de zones avance au rythme du compteur d'intervalles temporels.

Les fonctions remplies par le circuit SPM en mode M32 sont :

- lecture du pointeur de lecture correspondant à la zone indiquée par le compteur de zones,
- lecture du descripteur du bloc correspondant au pointeur de lecture, pour connaître l'état, vide ou non, du bloc ; le numéro de bloc est obtenu par division par 32 du numéro contenu dans le pointeur de lecture,
- si le bloc est rempli, lecture de l'octet donné par le pointeur de lecture, et incrémentation du pointeur de lecture du bloc ; si le bloc n'est pas entièrement lu, lecture du pointeur de la lecture correspondant à un nouvel intervalle temporel ; si le bloc est entièrement lu, mise à zéro du descripteur et lecture du pointeur de lecture correspondant à un nouvel intervalle temporel indiqué par le compteur d'intervalles,
- si le bloc n'est pas rempli, émission d'un code de repos d'un octet sur la ligne multiplex synchrone sortante.

Le fonctionnement du convertisseur en décellulisation, dans le mode M1, utilise, la zone décelluleur ZO.D, la zone descripteur Z.DES, la zone pointeur de lecture Z.PTL et la zone pointeur d'écriture Z.PTE, de la mémoire SRAM, figure 2B, qui constituent, pour le mode M1, la partie décelluleur de la mémoire. Chaque bloc de la zone décelluleur contient une cellule à décelluliser, chaque bloc étant affecté à un canal à décelluliser.

Les fonctions remplies par le circuit de gestion APM sont les mêmes que celles indiquées pour la décellulisation en mode M32. Il faut remarquer que dans le mode M1 il n'y a qu'une zone décelluleur ZO.D, et que chaque cellule reçue contient les 32 intervalles temporels d'un canal, donc d'une trame du multiplex synchrone sortant. Le numéro de circuit virtuel indique toujours la même zone, ZO.D ; il n'y a donc qu'un pointeur d'écriture pour indiquer le bloc où stocker le contenu de la cellule reçue, et quatre descripteurs, un pour chaque bloc de la zone.

Le fonctionnement du circuit SPM, dans ce mode M1, est comparable

à celui dans le mode M32 ; cependant en mode M1, il n'y a qu'une zone  
 décelluleur, ZO.D, et par conséquent qu'un pointeur de lecture qui est  
 lu quel que soit le numéro d'intervalle temporel délivré par le  
 compteur d'intervalles temporels du circuit SPM. Le compteur de zones  
 5 est bloqué à zéro. Les fonctions remplies par le circuit de gestion  
 SPM sont :

- lecture du pointeur de lecture,
- lecture du descripteur du bloc correspondant au pointeur de lecture,  
 pour connaître l'état d'un bloc ; un même descripteur est lu 32 fois  
 10 consécutives puisqu'un descripteur est associé à un bloc et qu'un bloc  
 contient les données de 32 IT consécutifs ; le premier octet d'un bloc  
 est lu à IT=0, le dernier octet à IT=32,
- si le bloc est rempli, lecture de l'octet donné par le pointeur de  
 lecture du bloc et incrémentation du pointeur de lecture ; si le bloc  
 15 n'est pas entièrement lu, lecture du pointeur de lecture dès que le  
 compteur d'intervalles de temps délivre un nouveau numéro d'IT ; si le  
 bloc est entièrement lu, mise à zéro, D=0, du descripteur et lecture  
 du pointeur de lecture dès que le compteur délivre un nouveau numéro  
 d'IT,
- 20 - si le bloc n'est pas rempli, émission d'un code de repos d'un octet  
 sur la ligne multiplex synchrone sortante.

Le convertisseur synchrone-asynchrone de l'invention est donc  
 capable de fonctionner dans les modes M32 et M1, le choix étant  
 effectué par la commande MF, extérieure au convertisseur. Bien entendu  
 25 le choix du mode de fonctionnement est effectué à la mise en service  
 du convertisseur, la commande venant agir sur les circuits de gestion  
 SPM et APM comme indiqué précédemment afin de limiter en mode M1 les  
 zones celluleur et décelluleur utilisées dans la mémoire SRAM, ainsi  
 que le nombre de descripteurs, le nombre de pointeurs de lecture, et  
 30 le nombre de pointeurs d'écriture.

## REVENDECATIONS

1/ Convertisseur synchrone-asynchrone, et inverse, relié à un réseau synchrone dans laquelle des informations sont acheminées par des multiplex synchrones tramés dont chaque trame est divisées en trente  
5 deux intervalles temporels affectés à au moins un canal de communication, et à un réseau asynchrone dans lequel des informations sont acheminées par des cellules ayant un en-tête et une partie utile de trente deux octets, caractérisé par le fait qu'il comprend une mémoire (SRAM) à accès aléatoire ayant un premier port et un deuxième  
10 port, un circuit de gestion du premier port (SPM) relié d'une part au premier port et d'autre part à une ligne multiplex synchrone entrante (ME) acheminant un multiplex synchrone entrant, et à une ligne multiplex synchrone sortante (LS) acheminant un multiplex synchrone sortant, lesdits multiplex synchrones entrant et sortant étant des  
15 multiplex tramés, et un circuit de gestion du deuxième port relié d'une part au deuxième port et d'autre part à une liaison multiplex asynchrone entrante (LE) et à une liaison multiplex asynchrone sortante (LS) acheminant chacune un multiplex asynchrone constitué de cellules relatives chacune à un canal, que dans le sens réseau  
20 synchrone vers réseau asynchrone le circuit de gestion du premier port (SPM) assure la mémorisation dans la mémoire (SRAM) d'au moins trente deux octets de chaque canal, le circuit de gestion du deuxième port (APM) assurant, par lecture de la mémoire, la cellulisation des données mémorisées et l'émission des cellules sur la liaison  
25 asynchrone sortante (LS), et que dans le sens réseau asynchrone vers réseau synchrone le circuit de gestion du deuxième port (APM) assure la mémorisation dans la mémoire (SRAM) d'au moins une cellule reçue par la liaison asynchrone entrante (LE), le circuit de gestion du premier port (SPM) assurant, par lecture de la mémoire, l'émission en  
30 trames sur la liaison multiplex synchrone sortante (MS).

2/ Convertisseur synchrone-asynchrone selon la revendication 1, caractérisé par le fait que dans un premier mode de fonctionnement (M32) chaque intervalle temporel d'une trame est affecté à un canal, et que dans un deuxième mode de fonctionnement (M1) tous les  
35 intervalles temporels de chaque trame sont affectés au même canal, le

mode de fonctionnement étant imposé par une commande (MF) extérieure, appliquée au circuit de gestion du premier port (SPM) et au circuit de gestion du deuxième port (APM).

3/ Convertisseur synchrone-asynchrone selon la revendication 2, caractérisé par le fait que dans le premier mode de fonctionnement (M32) la mémoire (SRAM) comprend deux zones cellulaires (Z0.C, Z1.C) de chacune trente deux blocs cellulaires (BC0 à BC31) de trente deux octets chacun, chaque bloc contenant une trame à celluliser et chaque zone cellulaire étant alternativement en écriture par le circuit de gestion du premier port (SPM) et en lecture par le circuit de gestion du deuxième port (APM), trente deux zones décellulaires (Z0.D à Z31.D) de chacune quatre blocs décellulaires (BDO à BD3) de trente deux octets chacun, chaque zone décellulaire étant affectée à un canal et chaque bloc d'une zone décellulaire contenant une cellule relative au canal de ladite zone, une zone descripteurs (Z.DES) ayant un descripteur d'un octet par bloc décellulaire pour indiquer si le bloc est rempli ou vide, une zone pointeur de lecture ( Z.PTL) ayant un pointeur de lecture d'un octet par zone décellulaire pour indiquer en lecture un octet dans ladite zone décellulaire, une zone pointeur d'écriture (Z.PTE) ayant un pointeur d'écriture d'un octet par zone décellulaire pour indiquer en écriture un bloc de ladite zone où écrire une cellule reçue relative à ladite zone décellulaire, et une zone sémaphore (ZS) d'un octet pour indiquer quelle zone cellulaire (Z0.C; Z1.C) est remplie.

4/ Convertisseur synchrone-asynchrone selon la revendication 2, caractérisé par le fait que dans le deuxième mode de fonctionnement (M1) la mémoire (SRAM) comprend deux zones cellulaires (Z0.C1 et Z1.C1) de chacune un bloc (BC0) de trente deux octets, chaque bloc contenant une trame à celluliser et chaque zone cellulaire étant alternativement en écriture par le circuit de gestion du premier port (SPM) et en lecture par le circuit de gestion du deuxième port (APM), une zone décellulaire (Z0.D) de quatre blocs décellulaires (BDO à BD3) de trente deux octets chacun, chaque bloc décellulaire contenant une cellule, une zone descripteurs (Z.DES) contenant quatre descripteurs d'un octet chacun, chaque descripteur étant affecté à un bloc décellulaire pour

indiquer si le bloc est rempli ou vide, une zone pointeur de lecture (Z.PTL) ayant un pointeur de lecture d'un octet pour indiquer, en lecture, un octet de la zone décelluleur, une zone pointeur d'écriture (Z.PTE) ayant un pointeur d'écriture pour indiquer, en écriture, un  
5 bloc de la zone décelluleur où écrire une cellule reçue, et une zone sémaphore (ZS) d'un octet pour indiquer quelle zone celluleur (Z0.C1, Z1.C1) est remplie.

5/ Convertisseur synchrone-asynchrone selon la revendication 1, caractérisé par le fait que le circuit de gestion du deuxième port  
10 (APM) est relié à la liaison asynchrone entrante (LE) par l'intermédiaire d'une mémoire cellules (M) de type FIFO, dans laquelle sont mémorisées les cellules pleines de la liaison asynchrone entrante (LE).

15

20

25

30

35

1 / 3

FIG. 1

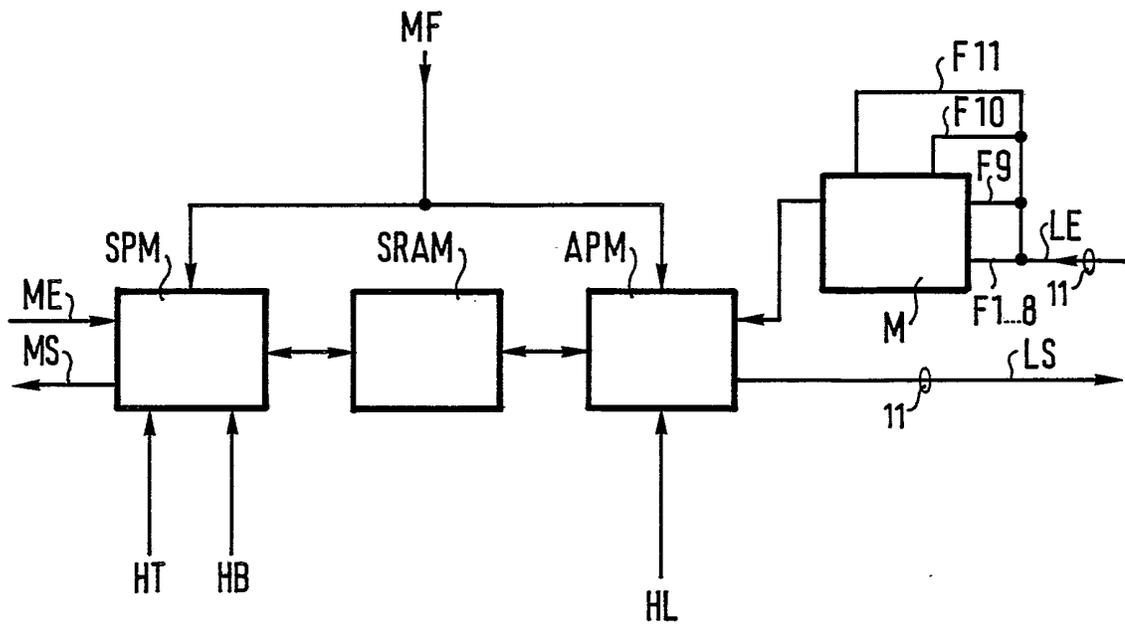


FIG. 2A

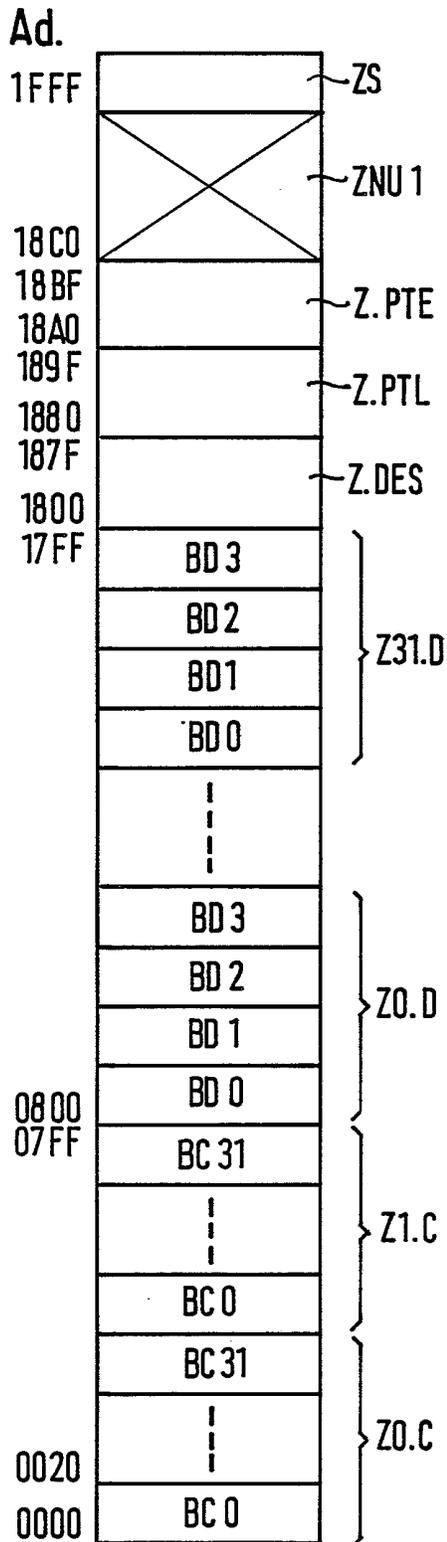
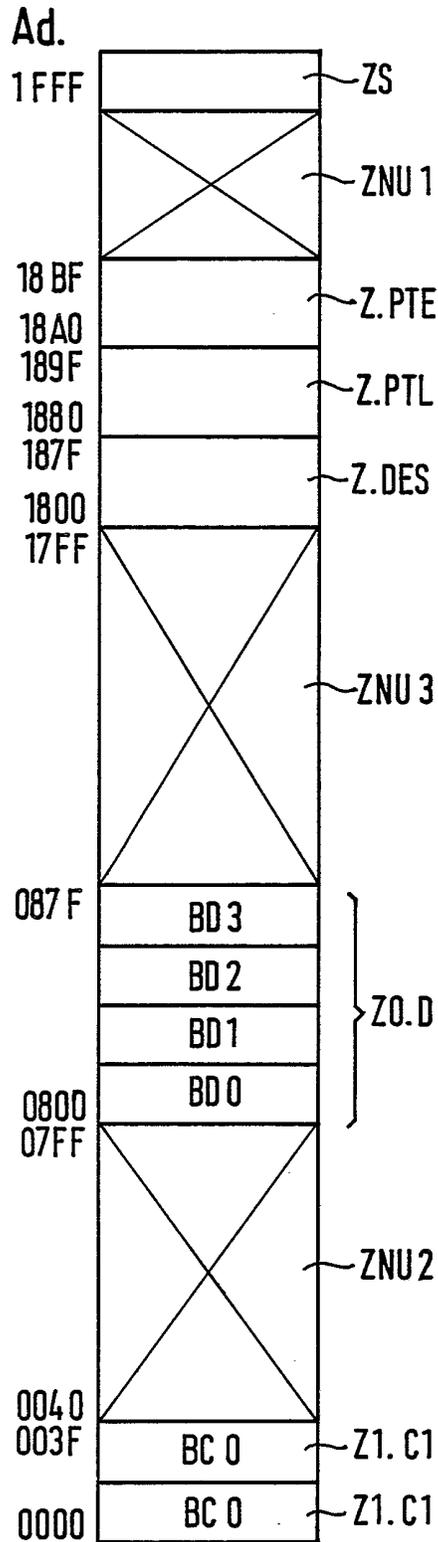


FIG. 2B



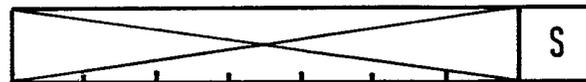


FIG. 3



FIG. 4

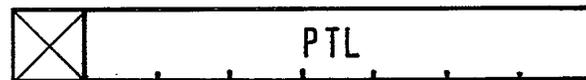


FIG. 5

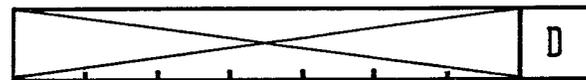


FIG. 6

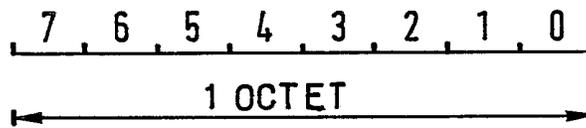
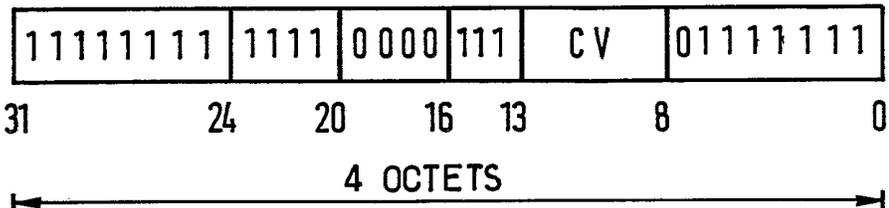


FIG. 7



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FR 8916497  
FA 437596

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	DE-A-3 816 747 (STANDARD ELEKTRIK LORENTZ) * Colonne 2, ligne 63 - colonne 3, ligne 10; colonne 6, ligne 49 - colonne 7, ligne 38; colonne 10, ligne 4 - colonne 12, ligne 15 *	1,5
A	---	2-4
A	US-A-4 612 636 (GROVER et al.) * Colonne 1, ligne 42 - colonne 2, ligne 17; colonne 2, ligne 65 - colonne 3, ligne 38; colonne 6, lignes 32-40 *	1-5
A	EP-A-0 094 322 (BODROS et al.) * Page 1, lignes 1-28; page 2, ligne 31 - page 2, ligne 9; page 5, lignes 7-27; page 2, ligne 19 - page 4, ligne 17 *	1-5
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H 04 J H 04 L
Date d'achèvement de la recherche		Examineur
22-08-1990		VAN DEN BERG, J. G. J.
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>		

EPO FORM 1503 03.82 (P0413)