



(12) 发明专利

(10) 授权公告号 CN 101124678 B

(45) 授权公告日 2010. 04. 14

(21) 申请号 200580046792. 5

(22) 申请日 2005. 11. 30

(30) 优先权数据

11/000, 222 2004. 12. 01 US

(85) PCT申请进入国家阶段日

2007. 07. 17

(86) PCT申请的申请数据

PCT/US2005/042982 2005. 11. 30

(87) PCT申请的公布数据

W02006/060337 EN 2006. 06. 08

(73) 专利权人 半南实验室公司

地址 美国密西西比

(72) 发明人 伊格尔·桑金 约瑟夫·N·梅里特

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 付建军

(51) Int. Cl.

H01L 29/76 (2006. 01)

(56) 对比文件

CN 1413360 A, 2003. 04. 23, 全文.

US 6545297 B1, 2003. 04. 08, 全文.

WO 2004/082111 A2, 2004. 09. 23, 全文.

审查员 季茂源

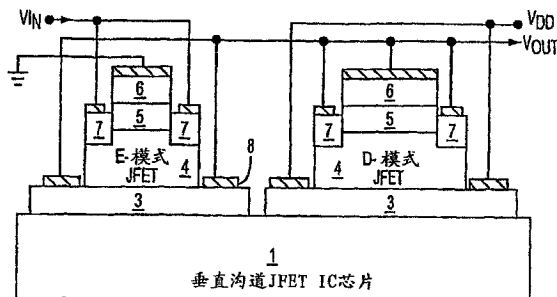
权利要求书 13 页 说明书 13 页 附图 22 页

(54) 发明名称

宽能带隙半导体的常关集成 JFET 功率开关及其制造方法

(57) 摘要

描述了一种包括常关 VJFET 集成功率开关的宽能带隙半导体器件。该功率开关可以单片或混合地实现,而且可以与在单芯片或多芯片宽能带隙功率半导体模块中建立的控制电路集成。该器件可用于高功率、能耐受温度和抵抗辐射的电子设备部件中。还描述了制造该器件的方法。



1. 一种单片集成电路,包括:  
具有位于相反侧的第一和第二主表面的衬底;以及  
在衬底的第一主表面上分立的位置上的第一和第二结型场效应晶体管,第一和第二结型场效应晶体管中的每一个都包括:  
n型半导体材料的漏极层,其在衬底的第一主表面上,而且与该第一主表面不同延,从而使衬底的围绕该漏极层的部分暴露;  
n型半导体材料的漂移层,其在漏极层上,而且与漏极层不同延,从而使漏极层的部分暴露,该漂移层的电导率低于漏极层的电导率;  
在漂移层上分立的位置处的一个或多个凸起区域,每个凸起区域包括漂移层上的n型半导体材料的沟道区以及沟道区上的n型半导体材料的源极区,该源极区的半导体材料的电导率高于沟道区的半导体材料的电导率;  
在漂移层上邻近所述一个或多个凸起区域的p型半导体材料的栅极区,其与漂移层和沟道区的n型材料形成整流结;  
在栅极和源极区上以及在漏极层的暴露部分上的欧姆触点;  
第一结型场效应晶体管的源极欧姆触点和第二结型场效应晶体管的栅极欧姆触点之间的第一电连接;以及  
第一结型场效应晶体管的漏极欧姆触点和第二结型场效应晶体管的源极欧姆触点之间的第二电连接。
2. 根据权利要求1的集成电路,其中所述漏极层、漂移层、栅极区、沟道区和源极区中每一个的半导体材料都具有至少为 $2\text{eV}$ 的 $E_g$ 。
3. 根据权利要求2的集成电路,其中所述漏极层、漂移层、栅极区、沟道区和源极区中每一个的半导体材料都是SiC或第III族氮化物化合物半导体材料。
4. 根据权利要求1的集成电路,其中:所述漏极层的厚度为 $0.2$ 到 $5\mu\text{m}$ ;漂移层的厚度为 $0.5$ 到 $10\mu\text{m}$ ;沟道区的厚度为 $0.2$ 到 $1.5\mu\text{m}$ ;源极区的厚度为 $0.2$ 到 $1.5\mu\text{m}$ ;栅极区的厚度为 $0.1\mu\text{m}$ 或更大。
5. 根据权利要求1的集成电路,其中:所述漏极层的掺杂剂浓度 $> 5 \times 10^{18}\text{cm}^{-3}$ ;漂移层的掺杂剂浓度为 $5 \times 10^{15}$ 至 $5 \times 10^{17}\text{cm}^{-3}$ ;沟道区的掺杂剂浓度为 $5 \times 10^{15}$ 至 $5 \times 10^{17}\text{cm}^{-3}$ ;源极区的掺杂剂浓度 $> 5 \times 10^{18}\text{cm}^{-3}$ ;栅极区的掺杂剂浓度 $> 5 \times 10^{18}\text{cm}^{-3}$ 。
6. 根据权利要求1的集成电路,其中所述衬底是半绝缘衬底。
7. 根据权利要求1的集成电路,其中所述第二场效应晶体管还包括肖特基结,所述肖特基结包括在漂移层上邻近栅极区并与该栅极区电连通的n型半导体材料的肖特基沟道区以及在肖特基沟道区上且与肖特基沟道区形成金属半导体整流结的金属层,该集成电路还包括肖特基金属触点和第一电连接之间的第三电连接。
8. 根据权利要求1的集成电路,其中所述肖特基沟道区的厚度为 $0.2$ 到 $1.5\mu\text{m}$ ,掺杂剂浓度为 $5 \times 10^{15}$ 至 $5 \times 10^{17}\text{cm}^{-3}$ 。
9. 一种单片集成电路,包括:  
具有位于相反侧的第一和第二主表面的衬底;以及  
在该衬底的第一主表面上的p型半导体材料的缓冲层;  
在缓冲层上相互间隔开的均为n型半导体材料的分立的第一和第二沟道区,第二沟道

区包括上部和在缓冲层上的基部,该基部横向延伸超过上部从而形成肩部;

在缓冲层上邻近第一沟道区且与第一沟道区电连通的 n 型半导体材料的源极区;

在缓冲层上第一沟道区和第二沟道区之间并且与第一沟道区和第二沟道区都电连通的 n 型半导体材料的源极/漏极区,源极/漏极区的部分与第二沟道区的肩部部分重叠;

漏极区,其在第二沟道区的肩部上,使得该漏极区与缓冲层不直接接触;

在第一沟道区上并与第一沟道区形成整流结的 p 型半导体材料的第一栅极区;

在第二沟道区的顶部的上表面上并且与该第二沟道区形成整流结的 p 型半导体材料的第二栅极区;以及

在源极区、第一和第二栅极区、源极/漏极区以及漏极区上的欧姆触点。

10. 根据权利要求 9 的集成电路,其中:所述缓冲层的厚度为至少  $0.1\mu\text{m}$ ;第一和第二沟道区中每一个的厚度为  $0.2$  到  $1.5\mu\text{m}$ ;源极、源极/漏极和漏极区中每一个的厚度为至少  $0.1\mu\text{m}$ ;第一和第二栅极区中每一个的厚度为  $0.2$  或更大。

11. 根据权利要求 9 的集成电路,其中:所述缓冲层的掺杂剂浓度为  $1\times 10^{15}$  至  $1\times 10^{17}\text{cm}^{-3}$ ;第一和第二沟道区中每一个的掺杂剂浓度为  $5\times 10^{15}$  至  $2\times 10^{17}\text{cm}^{-3}$ ;源极、源极/漏极和漏极区中每一个的掺杂剂浓度  $> 5\times 10^{18}\text{cm}^{-3}$ ;第一和第二栅极区中每一个的掺杂剂浓度  $> 5\times 10^{18}\text{cm}^{-3}$ 。

12. 根据权利要求 9 的集成电路,其中所述衬底是半绝缘衬底。

13. 根据权利要求 9 的集成电路,其中所述第二沟道区的厚度大于第一沟道区的厚度。

14. 根据权利要求 9 的集成电路,还包括所述第二栅极触点和源极/漏极触点之间的电连接。

15. 根据权利要求 9 的集成电路,还包括所述第二栅极区和源极区之间的电连接。

16. 根据权利要求 9 的集成电路,其中所述漏极区与所述第二栅极区横向间隔开,从而在第二沟道区的顶部形成横向漂移区。

17. 根据权利要求 9 的集成电路,其中所述缓冲层、漏极区、源极/漏极区、漂移层、第一和第二栅极区、第一和第二沟道区和源极区中每一个的半导体材料都具有至少为  $2\text{eV}$  的  $E_g$ 。

18. 根据权利要求 17 的集成电路,其中所述缓冲层、漏极区、源极/漏极区、漂移层、第一和第二栅极区、第一和第二沟道区和源极区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

19. 一种集成电路,包括:

第一垂直沟道结型场效应晶体管,包括:

具有位于相反侧的第一和第二表面的衬底;

在该衬底的第一表面上的 n 型半导体材料的漏极层;

n 型半导体材料的漂移层,其在漏极层上,且与漏极层不同延,从而使漏极层的部分暴露,该漂移层的电导率低于漏极层的电导率;

一个或多个凸起区域,包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;

在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;

在栅极和源极区上以及在漏极层的暴露部分上的欧姆触点;

与第一垂直沟道结型场效应晶体管分立的第二垂直沟道结型场效应晶体管,包括:  
具有位于相反侧的第一和第二主表面的 n 型半导体材料的衬底;  
在该衬底的第一主表面上的 n 型半导体材料的漏极层;  
在漏极层上的 n 型半导体材料的漂移层,该漂移层的电导率低于漏极层的电导率;  
一个或多个凸起区域,包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;  
在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;以及  
在栅极和源极区上以及在衬底的第二主表面上的欧姆触点;  
第一垂直沟道结型场效应晶体管的漏极欧姆触点与第二垂直沟道结型场效应晶体管的源极欧姆触点之间的第一电连接;以及  
第一垂直沟道结型场效应晶体管的源极欧姆触点与第二垂直沟道结型场效应晶体管的栅极欧姆触点之间的第二电连接。

20. 根据权利要求 19 的集成电路,其中对于第一垂直沟道结型场效应晶体管:所述漏极层的厚度为 0.2 到  $5\mu\text{m}$ ;漂移层的厚度为 0.5 到  $10\mu\text{m}$ ;沟道区的厚度为 0.2 到  $1.5\mu\text{m}$ ;源极区的厚度为 0.2 到  $1.5\mu\text{m}$ ;栅极区的厚度为  $0.1\mu\text{m}$  或更大。

21. 根据权利要求 19 的集成电路,其中对于第一垂直沟道结型场效应晶体管:所述漏极层的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;漂移层的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\text{cm}^{-3}$ ;沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\text{cm}^{-3}$ ;源极区的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;栅极区的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ 。

22. 根据权利要求 19 的集成电路,其中对于第一垂直沟道结型场效应晶体管,所述衬底是半绝缘衬底。

23. 根据权利要求 19 的集成电路,其中对于第二垂直沟道结型场效应晶体管:所述漏极层的厚度为 0.5 到  $1\mu\text{m}$ ;漂移层的厚度为 5 到  $350\mu\text{m}$ ;沟道区的厚度为 0.2 到  $1.5\mu\text{m}$ ;源极区的厚度为 0.2 到  $1.5\mu\text{m}$ ;栅极区的厚度为  $0.1\mu\text{m}$  或更大。

24. 根据权利要求 19 的集成电路,其中对于第二垂直沟道结型场效应晶体管:所述漏极层的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;漂移层的掺杂剂浓度为  $2 \times 10^{14}$  至  $2 \times 10^{16}\text{cm}^{-3}$ ;沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\text{cm}^{-3}$ ;源极区的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;栅极区的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ 。

25. 根据权利要求 19 的集成电路,其中对于第二垂直沟道结型场效应晶体管,所述衬底是掺杂剂浓度  $> 1 \times 10^{18}\text{cm}^{-3}$  的 n 型衬底。

26. 根据权利要求 19 的集成电路,其中所述第二垂直沟道结型场效应晶体管还包括肖特基结,所述肖特基结包括在漂移层上邻近栅极区并与该栅极区电连通的 n 型半导体材料的肖特基沟道区以及在肖特基沟道区上且与肖特基沟道区形成金属半导体整流结的金属层,该集成电路还包括肖特基金属触点和第一电连接之间的第三电连接。

27. 根据权利要求 19 的集成电路,其中所述肖特基沟道区的厚度为 0.2 到  $1.5\mu\text{m}$ ,掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\text{cm}^{-3}$ 。

28. 根据权利要求 19 的集成电路,其中对于第一和第二垂直沟道结型场效应晶体管中每一个,所述漏极层、漂移层、沟道区、源极区和栅极区中每一个的半导体材料都具有至少

为  $2eV$  的  $E_g$ 。

29. 根据权利要求 28 的集成电路,其中对于第一和第二垂直沟道结型场效应晶体管中每一个,所述漏极层、漂移层、沟道区、源极区和栅极区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

30. 一种集成电路,包括:

分立的横向沟道结型场效应晶体管,包括:

具有位于相反侧的第一和第二主表面的衬底;

在该衬底的第一主表面上的 p 型半导体材料的缓冲层;

在缓冲层上相互间隔开的均为 n 型半导体材料的分立的源极和漏极区;

在缓冲层上源极和漏极区之间并与源极和漏极区中每一个都电连通的 n 型半导体材料的沟道区;

在沟道区上并与该沟道区形成整流结的 p 型半导体材料的栅极区;

源极、栅极和漏极区上的欧姆触点;

分立的垂直沟道结型场效应晶体管,包括:

具有位于相反侧的第一和第二主表面的 n 型半导体材料的衬底;

在该衬底的第一主表面上的 n 型半导体材料的漏极层;

在漏极层上的 n 型半导体材料的漂移层,该漂移层的电导率低于漏极层的电导率;

一个或多个凸起区域,每个凸起区域包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;

在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;以及

在栅极和源极区上以及在衬底的第二主表面上的欧姆触点;

横向沟道结型场效应晶体管的漏极欧姆触点与垂直沟道结型场效应晶体管的源极欧姆触点之间的第一电连接;以及

横向沟道结型场效应晶体管的源极欧姆触点与垂直沟道结型场效应晶体管的栅极欧姆触点之间的第二电连接。

31. 根据权利要求 30 的集成电路,其中对于所述横向沟道结型场效应晶体管:所述缓冲层的厚度为至少  $0.1\mu m$ ;沟道区的厚度为  $0.2$  到  $1.5\mu m$ ;源极和漏极区中每一个的厚度为至少  $0.1\mu m$ ;栅极区的厚度为  $0.2\mu m$  或更大。

32. 根据权利要求 30 的集成电路,其中对于所述横向沟道结型场效应晶体管:所述缓冲层的掺杂剂浓度为  $1\times 10^{15}$  至  $1\times 10^{17}cm^{-3}$ ;沟道区的掺杂剂浓度为  $5\times 10^{15}$  至  $2\times 10^{17}cm^{-3}$ ;源极和漏极区中每一个的掺杂剂浓度  $> 5\times 10^{18}cm^{-3}$ ;栅极区的掺杂剂浓度  $> 5\times 10^{18}cm^{-3}$ 。

33. 根据权利要求 30 的集成电路,其中对于所述横向沟道结型场效应晶体管,所述衬底是半绝缘衬底。

34. 根据权利要求 30 的集成电路,其中对于所述垂直沟道结型场效应晶体管:所述漏极层的厚度为  $0.5$  到  $1\mu m$ ;漂移层的厚度为  $5$  到  $350\mu m$ ;沟道区的厚度为  $0.2$  到  $1.5\mu m$ ;源极区的厚度为  $0.2$  到  $1.5\mu m$ ;栅极区的厚度为  $0.1\mu m$  或更大。

35. 根据权利要求 30 的集成电路,其中对于所述垂直沟道结型场效应晶体管:所述漏

极层的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ; 漂移层的掺杂剂浓度为  $2 \times 10^{14}$  至  $2 \times 10^{16} \text{cm}^{-3}$ ; 沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ; 源极区的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ; 栅极区的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ 。

36. 根据权利要求 30 的集成电路, 其中对于所述垂直沟道结型场效应晶体管, 所述衬底是掺杂剂浓度  $> 1 \times 10^{18} \text{cm}^{-3}$  的 n 型衬底。

37. 根据权利要求 30 的集成电路, 其中对于横向沟道结型场效应晶体管, 所述缓冲层、漏极区、源极区、栅极区和沟道区中每一个的半导体材料都具有至少为 2eV 的  $E_G$ 。

38. 根据权利要求 37 的集成电路, 其中对于横向沟道结型场效应晶体管, 所述缓冲层、漏极区、源极区、栅极区和沟道区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

39. 根据权利要求 30 的集成电路, 其中对于垂直沟道结型场效应晶体管, 所述漏极层、漂移层、沟道区、源极区和栅极区中每一个的半导体材料都具有至少为 2eV 的  $E_G$ 。

40. 根据权利要求 39 的集成电路, 其中对于垂直沟道结型场效应晶体管, 所述漏极层、漂移层、沟道区、源极区和栅极区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

41. 一种单片式横向沟道结型场效应晶体管, 包括:

具有位于相反侧的第一和第二主表面的衬底;

在该衬底的第一主表面上的 p 型半导体材料的缓冲层;

在缓冲层上的 n 型半导体材料的沟道层;

在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区;

在沟道层上源极和漏极区之间并与源极和漏极区中每一个都间隔开的 n 型半导体材料的源极 / 漏极区;

在沟道层中源极和源极 / 漏极区之间形成的 p 型半导体材料的第一栅极区, 所述第一栅极区与沟道层形成整流结;

在沟道层中源极 / 漏极区和漏极区之间形成的 p 型半导体材料的第二栅极区, 所述第二栅极区与沟道层形成整流结; 以及

在源极区、第一和第二栅极区、源极 / 漏极区以及漏极区上的欧姆触点。

42. 根据权利要求 41 的晶体管, 其中: 所述缓冲层的厚度为至少  $0.1 \mu\text{m}$ ; 沟道区的厚度为  $0.3$  到  $1.5 \mu\text{m}$ ; 源极、源极 / 漏极和漏极区中每一个的厚度为  $0.2$  到  $1.5 \mu\text{m}$ ; 第一和第二栅极区中每一个的厚度为  $0.1 \mu\text{m}$  或更大。

43. 根据权利要求 41 的晶体管, 其中: 所述缓冲层的掺杂剂浓度为  $1 \times 10^{15}$  至  $1 \times 10^{17} \text{cm}^{-3}$ ; 沟道层的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ; 源极、源极 / 漏极和漏极区中每一个的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ; 第一和第二栅极区中每一个的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ 。

44. 根据权利要求 41 的晶体管, 其中所述衬底是半绝缘衬底。

45. 根据权利要求 41 的晶体管, 还包括所述源极 / 漏极欧姆触点和第二栅极区之间的电连接。

46. 根据权利要求 41 的晶体管, 还包括所述源极欧姆触点和第二栅极区之间的电连接。

47. 根据权利要求 41 的晶体管, 其中所述漏极区与所述第二栅极区横向间隔开, 从而

在沟道区中第二栅极区和漏极区之间形成横向漂移区。

48. 根据权利要求 41 的晶体管,其中对于所述横向沟道结型场效应晶体管,所述缓冲层、漏极区、源极 / 漏极区、源极区、第一和第二栅极区和沟道区中每一个的半导体材料都具有至少为  $2\text{eV}$  的  $E_g$ 。

49. 根据权利要求 48 的晶体管,其中对于所述横向沟道结型场效应晶体管,所述缓冲层、漏极区、源极 / 漏极区、源极区、第一和第二栅极区和沟道区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

50. 一种集成电路,包括:

分立的横向沟道结型场效应晶体管,包括:

具有位于相反侧的第一和第二主表面的衬底;

在该衬底的第一表面上的 p 型半导体材料的缓冲层;

在缓冲层上的 n 型半导体材料的沟道层;

在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区;

在沟道层中源极和漏极区之间形成的 p 型半导体材料的栅极区,所述栅极区与沟道层形成整流结;

在源极区、栅极区以及漏极区上的欧姆触点;

分立的垂直沟道结型场效应晶体管,包括:

具有位于相反侧的第一和第二主表面的 n 型半导体材料的衬底;

在该衬底的第一主表面上的 n 型半导体材料的漏极层;

在漏极层上的 n 型半导体材料的漂移层,该漂移层的电导率低于漏极层的电导率;

一个或多个分立的凸起区域,每个凸起区域包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;

在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;以及

在栅极和源极区上以及在衬底的第二主表面上的欧姆触点;

横向沟道结型场效应晶体管的源极欧姆触点与垂直沟道结型场效应晶体管的栅极欧姆触点之间的第一电连接;以及

横向沟道结型场效应晶体管的漏极欧姆触点与垂直沟道结型场效应晶体管的源极欧姆触点之间的第二电连接。

51. 根据权利要求 50 的集成电路,其中对于所述横向沟道结型场效应晶体管:所述缓冲层的厚度为至少  $0.1\ \mu\text{m}$ ;沟道层的厚度为  $0.3$  到  $1.5\ \mu\text{m}$ ;源极、源极 / 漏极和漏极区中每一个的厚度为  $0.2$  到  $1.5\ \mu\text{m}$ ;第一和第二栅极区中每一个的厚度为  $0.1\ \mu\text{m}$  或更大。

52. 根据权利要求 50 的集成电路,其中对于所述横向沟道结型场效应晶体管:所述缓冲层的掺杂剂浓度为  $1 \times 10^{15}$  至  $1 \times 10^{17}\ \text{cm}^{-3}$ ;沟道层的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\ \text{cm}^{-3}$ ;源极、源极 / 漏极和漏极区中每一个的掺杂剂浓度  $> 5 \times 10^{18}\ \text{cm}^{-3}$ ;第一和第二栅极区中每一个的掺杂剂浓度  $> 5 \times 10^{18}\ \text{cm}^{-3}$ 。

53. 根据权利要求 50 的集成电路,其中对于所述横向沟道结型场效应晶体管,所述衬底是半绝缘衬底。

54. 根据权利要求 50 的集成电路,其中对于垂直沟道结型场效应晶体管:所述漏极层的厚度为 0.5 到 1  $\mu\text{m}$ ;漂移层的厚度为 5 到 350  $\mu\text{m}$ ;沟道区的厚度为 0.2 到 1.5  $\mu\text{m}$ ;源极区的厚度为 0.2 到 1.5  $\mu\text{m}$ ;栅极区的厚度为 0.1  $\mu\text{m}$  或更大。

55. 根据权利要求 50 的集成电路,其中对于垂直沟道结型场效应晶体管:所述漏极层的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ;漂移层的掺杂剂浓度为  $2 \times 10^{14}$  至  $2 \times 10^{16} \text{cm}^{-3}$ ;沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ;源极区的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ;栅极区的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ 。

56. 根据权利要求 50 的集成电路,其中对于垂直沟道结型场效应晶体管,所述衬底是掺杂剂浓度  $> 1 \times 10^{18} \text{cm}^{-3}$  的 n 型衬底。

57. 根据权利要求 50 的集成电路,其中对于横向沟道结型场效应晶体管,所述缓冲层、漏极区、源极区、栅极区和沟道区中每一个的半导体材料都具有至少为 2eV 的  $E_G$ 。

58. 根据权利要求 57 的集成电路,其中所述半导体材料是 SiC 或第 III 族氮化物化合物半导体材料。

59. 根据权利要求 50 的集成电路,其中对于垂直沟道结型场效应晶体管,所述漏极层、漂移层、沟道区、源极区和栅极区中每一个的半导体材料都具有至少为 2eV 的  $E_G$ 。

60. 根据权利要求 59 的集成电路,其中所述半导体材料是 SiC 或第 III 族氮化物化合物半导体材料。

61. 一种包括横向结型场效应晶体管和垂直结型场效应晶体管的单片式集成电路,该横向结型场效应晶体管包括:  
在漂移层的第一主表面的部分中形成的 p 型半导体材料的缓冲层;  
n 型半导体材料的沟道层,其在缓冲层上,并且与缓冲层不同延,从而使得缓冲层的部分暴露;  
在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区;  
在沟道层中源极和漏极区之间形成的 p 型半导体材料的栅极区,所述栅极区与沟道层形成整流结;  
在源极区、栅极区、漏极区上以及在缓冲层的暴露部分上的欧姆触点;  
该垂直结型场效应晶体管包括:  
在漂移层的第一主表面上与缓冲层横向间隔开的 n 型半导体材料的沟道层;  
在沟道层上相互间隔开的 n 型半导体材料的一个或多个分立的源极区;  
在沟道层中邻近所述一个或多个源极区形成的 p 型半导体材料的栅极区,其与沟道层形成整流结;以及  
在栅极和源极区上的欧姆触点;  
其中所述漂移层在 n 型半导体材料的漏极层上,而该漏极层在衬底的第一主表面上;并且其中电接触在衬底的与第一主表面位于相反侧的第二主表面上。

62. 根据权利要求 61 的集成电路,其中所述漏极层的厚度为 0.5 到 1  $\mu\text{m}$ ,漂移层的厚度为 5 到 350  $\mu\text{m}$ 。

63. 根据权利要求 61 的集成电路,其中所述漏极层的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ;漂移层的掺杂剂浓度为  $2 \times 10^{14}$  至  $2 \times 10^{16} \text{cm}^{-3}$ 。

64. 根据权利要求 61 的集成电路,其中所述衬底是掺杂剂浓度  $> 1 \times 10^{18} \text{cm}^{-3}$  的 n 型衬



底。

65. 根据权利要求 61 的集成电路,其中对于所述横向结型场效应晶体管,沟道区的厚度为 0.2 到 1.5  $\mu\text{m}$ ;源极和漏极区中每一个的厚度为 0.2 到 1.5  $\mu\text{m}$ ;栅极区和缓冲层中每一个的厚度为 0.1  $\mu\text{m}$  或更大。

66. 根据权利要求 1 的集成电路,其中对于横向结型场效应晶体管,沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ;源极区的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ ;栅极区和缓冲层中每一个的掺杂剂浓度  $> 5 \times 10^{18} \text{cm}^{-3}$ 。

67. 根据权利要求 61 的集成电路,还包括:

横向沟道结型场效应晶体管的源极触点和垂直沟道结型场效应晶体管的栅极触点之间的第一电连接;

横向沟道结型场效应晶体管的栅极和缓冲层触点之间的第二电连接;以及

横向沟道结型场效应晶体管的漏极触点和垂直沟道结型场效应晶体管的源极触点之间的第三电连接。

68. 根据权利要求 61 的集成电路,还包括形成在漂移层中并限定横向结型场效应晶体管的范围的一个或多个 p 型半导体材料的环。

69. 根据权利要求 61 的集成电路,还包括形成在漂移层中并限定垂直结型场效应晶体管的范围的一个或多个 p 型半导体材料的环。

70. 根据权利要求 61 的集成电路,其中对于横向沟道结型场效应晶体管,所述缓冲层、漏极区、源极区、栅极区和沟道区中每一个的半导体材料都具有至少为 2eV 的  $E_g$ 。

71. 根据权利要求 70 的集成电路,其中对于横向沟道结型场效应晶体管,所述缓冲层、漏极区、源极区、栅极区和沟道区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

72. 根据权利要求 61 的集成电路,其中对于垂直沟道结型场效应晶体管,所述沟道层、源极区和栅极区中每一个的半导体材料都具有至少为 2eV 的  $E_g$ 。

73. 根据权利要求 72 的集成电路,其中对于垂直沟道结型场效应晶体管,所述沟道层、源极区和栅极区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

74. 根据权利要求 61 的集成电路,其中漂移层和漏极层中每一个的半导体材料都具有至少为 2eV 的  $E_g$ 。

75. 根据权利要求 74 的集成电路,其中漂移层和漏极层中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

76. 一种包括横向结型场效应晶体管和垂直结型场效应晶体管的单片式集成电路,该横向结型场效应晶体管包括:

形成在漂移层的第一主表面的部分中的 p 型半导体材料的缓冲层;

n 型半导体材料的沟道层,其在缓冲层上,并且与缓冲层不同延,从而使得缓冲层的部分暴露;

在沟道层上相互间隔开的均为 n 型半导体材料的分立的源极和漏极区;

在沟道层上源极和漏极区之间并与沟道层形成金属半导体整流结的金属层;

在源极区、漏极区上以及在缓冲层的暴露部分上的欧姆触点;

该垂直结型场效应晶体管包括:

在漂移层的第一主表面上与缓冲层横向间隔开的一个或多个凸起区域,每个凸起区域包括在漂移层的第一主表面上并与横向结型场效应晶体管的缓冲层间隔开的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区;

在漂移层上邻近所述一个或多个凸起区域并与漂移层和沟道区形成金属半导体整流结的金属层;以及

在源极区上的欧姆触点;

其中所述漂移层在一 n 型半导体材料层上,而该 n 型半导体材料层在衬底的第一主表面上;其中电接触在衬底的与第一主表面位于相反侧的第二主表面上。

77. 根据权利要求 76 的集成电路,其中所述漏极层的厚度为 0.5 到  $1\ \mu\text{m}$ ,漂移层的厚度为 5 到  $350\ \mu\text{m}$ 。

78. 根据权利要求 76 的集成电路,其中所述漏极层的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;漂移层的掺杂剂浓度为  $2 \times 10^{14}$  至  $2 \times 10^{16}\text{cm}^{-3}$ 。

79. 根据权利要求 76 的集成电路,其中所述衬底是掺杂剂浓度  $> 1 \times 10^{18}\text{cm}^{-3}$  的 n 型衬底。

80. 根据权利要求 76 的集成电路,其中对于所述横向结型场效应晶体管,沟道区的厚度为 0.2 到  $1.5\ \mu\text{m}$ ;源极和漏极区中每一个的厚度为 0.2 到  $1.5\ \mu\text{m}$ ;栅极区和缓冲层中每一个的厚度为  $0.1\ \mu\text{m}$  或更大。

81. 根据权利要求 76 的集成电路,其中对于所述横向结型场效应晶体管,沟道区的掺杂剂浓度为  $5 \times 10^{15}$  至  $5 \times 10^{17}\text{cm}^{-3}$ ;源极区的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ ;栅极区和缓冲层中每一个的掺杂剂浓度  $> 5 \times 10^{18}\text{cm}^{-3}$ 。

82. 根据权利要求 76 的集成电路,还包括:

横向结型场效应晶体管的源极触点和垂直结型场效应晶体管的金属层之间的第一电连接;

横向结型场效应晶体管的金属层和缓冲层触点之间的第二电连接;以及

横向结型场效应晶体管的漏极触点和垂直结型场效应晶体管的源极触点之间的第三电连接。

83. 根据权利要求 76 的集成电路,还包括形成在漂移层中并限定横向结型场效应晶体管的范围的一个或多个 p 型半导体材料的环。

84. 根据权利要求 76 的集成电路,还包括形成在漂移层中并限定垂直结型场效应晶体管的范围的一个或多个 p 型半导体材料的环。

85. 根据权利要求 76 的集成电路,其中对于横向结型场效应晶体管,所述缓冲层、漏极区、源极区、栅极区和沟道层中每一个的半导体材料都具有至少为 2eV 的  $E_g$ 。

86. 根据权利要求 85 的集成电路,其中对于横向结型场效应晶体管,所述缓冲层、漏极区、源极区、栅极区和沟道层中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

87. 根据权利要求 76 的集成电路,其中对于垂直结型场效应晶体管,所述沟道层、源极区和栅极区中每一个的半导体材料都具有至少为 2eV 的  $E_g$ 。

88. 根据权利要求 87 的集成电路,其中对于垂直结型场效应晶体管,所述沟道层、源极区和栅极区中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

89. 根据权利要求 76 的集成电路,其中漂移层和漏极层中每一个的半导体材料都具有至少为  $2\text{eV}$  的  $E_g$ 。

90. 根据权利要求 89 的集成电路,其中漂移层和漏极层中每一个的半导体材料都是 SiC 或第 III 族氮化物化合物半导体材料。

91. 一种制造集成电路的方法,包括:

将第一掩模设置在 n 型半导体材料层上,其中该 n 型半导体材料层在第一 p 型半导体材料层上,而该第一 p 型半导体材料层在衬底上;

通过第一掩模中的开口选择性地蚀刻该 n 型半导体材料层,以形成蚀刻区域和具有与该蚀刻区域相邻的侧壁的凸起区域;

去除第一掩模;

将第二掩模设置在 n 型半导体材料层上,该第二掩模掩蔽部分蚀刻区域和部分凸起区域;

通过该掩模中的开口在该 n 型半导体材料层中注入 n 型掺杂剂,以便形成蚀刻区域上的第一非注入区、凸起区域上的第二非注入区以及该 n 型半导体材料层中的 n 型注入区;

去除第二掩模;

在经过蚀刻和注入的 n 型半导体材料层上外延生长第二 p 型半导体材料层;

将第三掩模设置在第二 p 型半导体材料层上,该掩模掩蔽在第一非注入区上的部分第二 p 型半导体材料层和在第二非注入区上的部分第二 p 型半导体材料层;

采用第三掩模选择性地蚀刻穿透第二 p 型半导体材料层,以暴露下面的 n 型半导体材料层中的注入区,从而形成 p 型半导体材料的凸起特征;

去除第三掩模;以及

在凸起特征上以及 n 型半导体材料层内的注入区上形成欧姆触点。

92. 根据权利要求 91 的方法,其中 n 型注入区的掺杂剂浓度为  $5 \times 10^{18} \text{cm}^{-3}$  或更大,厚度为  $0.1 \mu\text{m}$  或更大。

93. 根据权利要求 91 的方法,其中所述衬底是半绝缘衬底。

94. 根据权利要求 91 的方法,其中所述 n 型半导体材料层的厚度为  $0.2$  至  $1.5 \mu\text{m}$ ,在注入之前的掺杂剂浓度为  $5 \times 10^{15}$  至  $2 \times 10^{17} \text{cm}^{-3}$ 。

95. 根据权利要求 91 的方法,其中所述第二 p 型半导体材料层外延生长至厚度为  $0.2$  至  $1.5 \mu\text{m}$ ,并且掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ 。

96. 根据权利要求 91 的方法,其中所述第一 p 型半导体材料层的厚度为  $0.1 \mu\text{m}$  或更大,掺杂剂浓度为  $1 \times 10^{15} \text{cm}^{-3}$  至  $1 \times 10^{17} \text{cm}^{-3}$ 。

97. 一种制造集成电路的方法,包括:

将第一掩模设置在第一 n 型半导体材料层上,其中第一 n 型半导体材料层在 p 型半导体材料层上,而该 p 型半导体材料层在衬底上;

通过第一掩模中的开口选择性地蚀刻第一 n 型半导体材料层,以形成蚀刻区域和凸起区域;

去除第一掩模;

在经过蚀刻和注入的 n 型半导体材料层上外延生长第二 n 型半导体材料层;

将第二掩模设置在第二 n 型半导体材料层上,使得第二掩模中的开口位于该 n 型半导

体材料层的蚀刻区域上和该 n 型半导体材料层的凸起区域上；

采用第二掩模选择性地蚀刻穿透第二 n 型半导体材料层，以暴露下面的第一 n 型半导体材料层，并形成 n 型半导体材料的凸起特征；

通过第二掩模中的开口在第一 n 型半导体材料层中选择性地注入 p 型掺杂剂，以形成 p 型注入区；

去除第二掩模；以及

在 n 型半导体材料的凸起特征以及 p 型注入区的暴露表面上形成欧姆触点。

98. 根据权利要求 97 的方法，其中第二 n 型半导体材料层被比第一 n 型半导体材料层更重地掺杂。

99. 根据权利要求 97 的方法，其中所述第二 n 型半导体材料层的厚度为 0.2 至 1.5  $\mu\text{m}$ ，掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ 。

100. 根据权利要求 97 的方法，其中所述第一 n 型半导体材料层的厚度为 0.3 至 1.5  $\mu\text{m}$ ，掺杂剂浓度为  $5 \times 10^{15} \text{cm}^{-3}$  至  $2 \times 10^{17} \text{cm}^{-3}$ 。

101. 根据权利要求 97 的方法，其中所述 p 型注入区的厚度为 0.1  $\mu\text{m}$  或更大，掺杂剂浓度为大于  $5 \times 10^{18} \text{cm}^{-3}$ 。

102. 一种制造集成电路的方法，包括：

将第一掩模设置在第一 n 型半导体材料层上，其中该第一 n 型半导体材料层在第二 n 型半导体材料层上，而该第二 n 型半导体材料层在衬底上；

采用第一掩模在第一 n 型半导体材料层中选择性地注入 p 型掺杂剂，以便在第一 n 型半导体材料层中形成与非注入区相邻的 p 型注入区；

去除第一掩模；

在第一 n 型半导体材料层上外延生长第三 n 型半导体材料层；

在第三 n 型半导体材料层上外延生长第四 n 型半导体材料层；

将第二掩模设置在第四 n 型半导体材料层上；

通过第二掩模中的开口选择性地蚀刻穿透第四 n 型半导体材料层以暴露下面的第三 n 型半导体材料层，从而形成第一 n 型半导体材料层的 p 型注入区上的 n 型半导体材料的凸起特征、以及第一 n 型半导体材料层的非注入区上的一个或多个 n 型半导体材料的凸起特征；

通过第二掩模中的开口在第三 n 型半导体材料层中注入 p 型掺杂剂，以便在第三 n 型半导体材料层中在 n 型半导体材料的凸起特征之间并与所述凸起特征相邻地形成 p 型注入区；

去除第二掩模；

设置第三掩模，其掩蔽第一 n 型半导体材料层的 p 型注入区上的凸起特征以及该凸起特征之间的区域，并掩蔽第一 n 型半导体材料层的非注入区上的一个或多个凸起特征及与上述一个或多个凸起特征相邻的区域；

采用第三掩模选择性地蚀刻穿透第三 n 型半导体材料层，以暴露下面的第一 n 型半导体材料层的 p 型注入区和非注入区，从而形成第一和第二凸起结构，其中第一凸起结构包括在第一 n 型半导体材料层的 p 型注入区上的凸起特征以及该凸起特征之间的第三 n 型半导体材料层的 p 型注入区，第二凸起结构包括在第一 n 型半导体材料层的非注入区上的一

个或多个凸起特征以及与所述一个或多个凸起特征相邻的第三 n 型半导体材料层的 p 型注入区；

去除第三掩模；

设置第四掩模，该第四掩模覆盖第一和第二凸起结构以及与第一凸起结构相邻的第一 n 型半导体材料层的 p 型注入区；

采用第四掩模选择性地蚀刻穿透与第一和第二凸起结构相邻并在第一和第二凸起结构之间的第一 n 型半导体材料层中的 p 型注入区；

去除第四掩模；

在 n 型半导体材料的凸起特征的暴露表面上以及暴露的 p 型注入区上形成欧姆触点。

103. 根据权利要求 102 的方法，其中第二 n 型半导体材料层被比第一 n 型半导体材料层更重地掺杂。

104. 根据权利要求 102 的方法，其中所述第二 n 型半导体材料层的掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ ，厚度为 0.5 至  $1 \mu\text{m}$ 。

105. 根据权利要求 102 的方法，其中所述第一 n 型半导体材料层的掺杂剂浓度为  $2 \times 10^{14} \text{cm}^{-3}$  至  $2 \times 10^{16} \text{cm}^{-3}$ ，厚度为 5 至  $350 \mu\text{m}$ 。

106. 根据权利要求 102 的方法，其中第一 n 型半导体材料层中的 p 型注入区的厚度为  $0.1 \mu\text{m}$  或更大，掺杂剂浓度为  $5 \times 10^{18} \text{cm}^{-3}$  或更大。

107. 根据权利要求 102 的方法，其中第三 n 型半导体材料层中的 p 型注入区的厚度为  $0.1 \mu\text{m}$  或更大，掺杂剂浓度为  $5 \times 10^{18} \text{cm}^{-3}$  或更大。

108. 根据权利要求 102 的方法，其中所述第三 n 型半导体材料层的掺杂剂浓度为  $5 \times 10^{15} \text{cm}^{-3}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ，厚度为 0.2 至  $1.5 \mu\text{m}$ 。

109. 根据权利要求 102 的方法，其中所述第四 n 型半导体材料层的掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ ，厚度为 0.2 至  $1.5 \mu\text{m}$ 。

110. 根据权利要求 102 的方法，其中所述 n 型衬底的掺杂剂浓度大于  $1 \times 10^{18} \text{cm}^{-3}$ 。

111. 一种制造集成电路的方法，包括：

将第一掩模设置在第一 n 型半导体材料层上，其中该第一 n 型半导体材料层在第二 n 型半导体材料层上，而该第二 n 型半导体材料层在衬底上；

采用第一掩模在第一 n 型半导体材料层中选择性地注入 p 型掺杂剂，以便在第一 n 型半导体材料层中形成与非注入区相邻的 p 型注入区；

去除第一掩模；

在第一 n 型半导体材料层上外延生长第三 n 型半导体材料层；

在第三 n 型半导体材料层上外延生长第四 n 型半导体材料层；

将第二掩模设置在第四层上；

通过第二掩模中的开口选择性地蚀刻穿透第四 n 型半导体材料层以暴露下面的第三 n 型半导体材料层，从而形成第一 n 型半导体材料层的 p 型注入区上的 n 型半导体材料的凸起特征、以及第一 n 型半导体材料层的非注入区上的一个或多个 n 型半导体材料的凸起特征；

去除第二掩模；

设置第三掩模，其掩蔽第一 n 型半导体材料层的 p 型注入区上的凸起特征以及该凸起

特征之间的区域,并掩蔽第一 n 型半导体材料层的非注入区上的凸起特征;

采用第三掩模选择性地蚀刻穿透第三 n 型半导体材料层,以暴露下面的第一 n 型半导体材料层的 p 型注入区和非注入区,从而形成第一和第二凸起结构,其中第一凸起结构包括第一 n 型半导体材料层的 p 型注入区上的凸起特征以及该凸起特征之间的第三 n 型半导体材料层的区域,第二凸起结构包括第一 n 型半导体材料层的非注入区上的凸起特征,该第二凸起结构具有侧壁;

去除第三掩模;

在 n 型半导体材料的凸起特征的暴露表面上以及第一 n 型半导体材料层的暴露的 p 型注入区上形成欧姆触点;以及

在第三 n 型半导体材料层上 p 型注入区上的凸起特征之间,在与第二凸起结构相邻的第一 n 型半导体材料层的非注入部分上,以及在第二凸起结构的侧壁上的第三 n 型半导体材料层的材料上形成肖特基触点。

112. 根据权利要求 111 的方法,其中第二 n 型半导体材料层被比第一 n 型半导体材料层更重地掺杂。

113. 根据权利要求 111 的方法,其中所述第二 n 型半导体材料层的掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ ,厚度为 0.5 至  $1 \mu\text{m}$ 。

114. 根据权利要求 111 的方法,其中所述第一 n 型半导体材料层的掺杂剂浓度为  $2 \times 10^{14} \text{cm}^{-3}$  至  $2 \times 10^{16} \text{cm}^{-3}$ ,厚度为 5 至  $350 \mu\text{m}$ 。

115. 根据权利要求 111 的方法,其中在第一 n 型半导体材料层中的 p 型注入区的厚度为  $0.1 \mu\text{m}$  或更大,掺杂剂浓度为  $5 \times 10^{18} \text{cm}^{-3}$  或更大。

116. 根据权利要求 111 的方法,其中所述第三 n 型半导体材料层的掺杂剂浓度为  $5 \times 10^{15} \text{cm}^{-3}$  至  $5 \times 10^{17} \text{cm}^{-3}$ ,厚度为 0.2 至  $1.5 \mu\text{m}$ 。

117. 根据权利要求 111 的方法,其中所述第四 n 型半导体材料层的掺杂剂浓度大于  $5 \times 10^{18} \text{cm}^{-3}$ ,厚度为 0.2 至  $1.5 \mu\text{m}$ 。

118. 根据权利要求 111 的方法,其中所述 n 型衬底的掺杂剂浓度大于  $1 \times 10^{18} \text{cm}^{-3}$ 。

## 宽能带隙半导体的常关集成 JFET 功率开关及其制造方法

[0001] 本申请与 2004 年 7 月 8 日提交的美国专利申请 60/585,881 和在 2004 年 12 月 1 日提交的、题为“Lateral Trench Field-Effect Transistors in Wide Bandgap Semiconductor Materials, Methods of Making, and Integrated Circuits Incorporating the Transistors (宽能带隙半导体材料的横向沟槽场效应晶体管, 制造方法以及包含该晶体管的集成电路)”的美国专利申请 10/999,954 相关。通过引用将上述每个申请都完全合并于此。

### 技术领域

[0002] 本发明总的涉及场效应晶体管 (FET), 具体地说, 涉及这种用宽能带隙半导体材料中形成的晶体管。此外, 本发明还涉及包括低压控制电路的单片和混合集成电路以及利用上述晶体管建立的功率开关。

### 背景技术

[0003] 宽能带隙半导体材料 ( $E_g > 2\text{eV}$ ) 如碳化硅 (SiC) 或第 III 族氮化物化合物半导体 (例如氮化镓 GaN) 对于用在高功率、高温度和 / 或抗辐射电子设备中是非常有吸引力的。功率晶体管和控制电路在单芯片或多芯片宽能带隙功率半导体模块中的单片或混合式集成对这种应用是高度期望的, 以便可以提高该系统的效率和可靠性。

[0004] SiC 智能功率技术近年来成为讨论的话题, 但是科学上的调查有限。所提出的解决方案在功率开关和控制电路的操作方面都遭到置疑。

[0005] 由于材料特性和处理技术的本质区别, 传统的 Si 或 GaAs 集成电路 (IC) 技术如互补金属-氧化物-半导体 (CMOS) 或直接耦合 FET 逻辑电路 (DCFL) 在大多数情况下不能容易地转用于宽能带隙半导体工业。在过去十来年中已经报告了对制造 SiC NMOS 和 CMOS 数字和模拟 IC 的若干尝试 (例如 [1], [2])。SiC 中的单片 CMOS 集成器件和制造该集成器件的方法在美国专利 6344663 中公开, [3]。此外, SiC 横向 DMOS 场效应晶体管 (LDMOSFET) 的最新进展 (例如 [4]-[5]) 理论上使得能够在智能功率电子设备中使用基于 MOSFET 的控制电路和功率开关的单片集成。但是, 多种问题限制了基于 MOSFET 的 SiC 集成电路在需要高温和 / 或能耐受辐射的应用中的使用。第一个这样问题是由于 SiC 至  $\text{SiO}_2$  的导带偏移远比的硅的导带偏移小而导致的开 (on) 状态绝缘体可靠性 [6]、[7]。这个问题在高温和过度辐射环境中变得更为明显。其它问题包括: 由于 SiC/ $\text{SiO}_2$  界面上的高界面状态密度和绝缘体中的高固定电荷密度而导致的低反向沟道迁移率; 以及由于界面状态的离子化而导致阈值电压随着温度而明显漂移。

[0006] 用在 SiC 智能功率电子设备中的另一种候选晶体管, SiC 双极结型晶体管 (BJT), 也遭遇了与界面相关的问题, 如在发射极和基极之间的表面上的高复合速度导致低电流增益和高控制损耗。

[0007] 用在 SiC 智能功率电子设备中的另一种候选晶体管是金属半导体场效应晶体管 (MESFET)。尽管 SiC MESFET 单片微波集成电路 (MMICS) 在过去十来年来受到了广泛注意 (例

如 [6]),但是几乎没有公布对建立 SiCMESFET 逻辑电路和模拟电路的尝试 (例如 [7])。

[0008] MOSFET 和 MESFET 方案的替换方案是使用以互补形式 (如美国专利 6503782[8] 中公开的 n 型和 p 型沟道) 或者增强耗尽 (n 型沟道) 形式来实施的基于横向 JFET 的集成电路。已经证明 SiC JFET 能耐受辐射,同时表明阈值电压随着温度的漂移很不明显。近年来已经发表了在开发高温常开功率垂直结型场效应晶体管 (VJFET) 过程中令人鼓舞的结果 (例如 [9])。但是,尽管有着优异的电流传导性和电压阻断性能,这些晶体管的主要缺陷是它们是“常开”器件。在系统级别上,这通常要求额外的 (负) 供电电压和短路保护。

[0009] 近来已经报告了建立常关 (off)SiC 高压 VJFET 开关的若干尝试。典型地,这些器件包括横向和垂直沟道区 (例如 [10]-[12])。但是这些器件表现出在器件阻断性能和导通电阻率 (specific on-resistance) 之间剧烈的矛盾。例如,具有  $75\mu\text{m}$ 、 $7\times 10^{14}\text{cm}^{-3}$  n 型漂移区的 VJFET 能够在零栅极-源极电压下阻断超过 5.5kV。同时,该器件表现出超过  $200\text{m}\Omega \cdot \text{cm}^3$  的导通电阻率 ( $R_{\text{sp-on}}$ )。通过对其厚度和掺杂的估计,其漂移层的本征电阻稍大于  $60\text{m}\Omega \cdot \text{cm}^3$ ,该导通电阻的其余部分是由沟道区贡献的。

[0010] 为了降低 SiC 功率 VJFET 的导通电阻率,这些器件可以按照双极模式通过施加高的正栅极-源极电压来驱动。例如,在施加 5V 的栅极-源极偏压时,上面讨论的以及在 [13] 中公开的器件表现出  $66.7\text{m}\Omega \cdot \text{cm}^3$  的  $R_{\text{sp-on}}$ 。但是这种方案可能由于高栅极电流而导致很大的功率损耗。

[0011] 另一种方案是采用控制常开器件的特殊电路和方法使得该器件可以以常关模式运行。在美国专利 3767946[15] 中公开了低压控制 JFET 和高压 JFET 的级联连接,其中控制 JFET 的漏极与该高压器件的源极连接,高压 JFET 的栅极与控制 JFET 的源极连接。在美国专利 4107725[16] 中也公开了单片式地实施这种级联连接的混合场效应晶体管。在美国专利 4663547[17] 中公开了类似的级联电路类型,其中低压常关器件控制高压常开器件。最近,几个小组报告了由上述配置的 SiMOSFET 控制的常开 SiC VJFET (例如 [18])。该集成功率开关表现出优异的电压阻断和电流传导性能,以及高的开关速度。但是,将硅 MOSFET 用于控制常开 SiC VJFET 中的功率极大地限制了该级联的温度范围和辐射耐受性。因此,总的来说还需要宽能带隙常关功率开关器件,具体地说需要这种与宽能带隙半导体中建立的控制电路集成的功率开关。

## 发明内容

[0012] 按照第一实施例,提供了一种单片集成电路,包括:

[0013] 具有相反的第一和第二主表面的衬底;以及

[0014] 在衬底的第一主表面上分立的位置上的第一和第二结型场效应晶体管,第一和第二结型场效应晶体管中的每一个都包括:

[0015] n 型半导体材料的漏极层,其在衬底的第一主表面上,而且与该第一主表面不同延 (non-coextensive),从而使衬底的围绕该漏极层的部分暴露;

[0016] n 型半导体材料的漂移层,其在漏极层上,而且与漏极层不同延,从而使漏极层的部分暴露,该漂移层的电导率低于漏极层的电导率;

[0017] 在漂移层上分立的位置处的一个或多个凸起区域,每个凸起区域包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的半导体材



料的电导率高于沟道区的半导体材料的电导率；

[0018] 在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区的 n 型材料形成整流结；

[0019] 在栅极和源极区上以及在漏极层的暴露部分上的欧姆触点；

[0020] 第一结型场效应晶体管的源极欧姆触点和第二结型场效应晶体管的栅极欧姆触点之间的第一电连接；以及

[0021] 第一结型场效应晶体管的漏极欧姆触点和第二结型场效应晶体管的源极欧姆触点之间的第二电连接。

[0022] 按照第二实施例,提供了一种单片集成电路,包括：

[0023] 具有相反的第一和第二主表面的衬底；以及

[0024] 在该衬底的第一主表面上的 p 型半导体材料的缓冲层；

[0025] 在缓冲层上相互间隔开的均为 n 型半导体材料的分立的第一和第二沟道区,第二沟道区包括上部和在缓冲层上的基部,该基部横向延伸超过上部从而形成肩部(shoulder)；

[0026] 在缓冲层上邻近第一沟道区且与第一沟道区接触的 n 型半导体材料的源极区；

[0027] 在缓冲层上第一沟道区和第二沟道区之间并且与第一沟道区和第二沟道区都接触的 n 型半导体材料的源极/漏极区,源极/漏极区的部分与第二沟道区的肩部部分重叠；

[0028] 漏极区,其在第二沟道区的肩部上,使得该漏极区与缓冲层不直接接触；

[0029] 在第一沟道区上并与第一沟道区形成整流结的 p 型半导体材料的第一栅极区；

[0030] 在第二沟道区的顶部的上表面上并且与该第二沟道区形成整流结的 p 型半导体材料的第二栅极区；以及

[0031] 在源极区、第一和第二栅极区、源极/漏极区以及漏极区上的欧姆触点。

[0032] 按照第三实施例,提供了一种集成电路,包括：

[0033] 第一垂直沟道 JFET,包括：

[0034] 具有相反的第一和第二表面的衬底；

[0035] 在该衬底的第一表面上的 n 型半导体材料的漏极层；

[0036] n 型半导体材料的漂移层,其在漏极层上,且与漏极层不同延,从而使漏极层的部分暴露,该漂移层的电导率低于漏极层的电导率；

[0037] 一个或多个凸起区域,包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率；

[0038] 在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结；

[0039] 在栅极和源极区上以及在漏极层的暴露部分上的欧姆触点；

[0040] 与第一垂直沟道 JFET 分立的第二垂直沟道 JFET,包括：

[0041] 具有相反的第一和第二主表面的 n 型半导体材料的衬底；

[0042] 在该衬底的第一主表面上的 n 型半导体材料的漏极层；

[0043] 在漏极层上的 n 型半导体材料的漂移层,该漂移层的电导率低于漏极层的电导率；

[0044] 一个或多个凸起区域,包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的

n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;

[0045] 在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;以及

[0046] 在栅极和源极区上以及在衬底的第二主表面上的欧姆触点;

[0047] 第一垂直沟道 JFET 的漏极欧姆触点与第二垂直沟道 JFET 的源极欧姆触点之间的第一电连接;以及

[0048] 第一垂直沟道 JFET 的源极欧姆触点与第二垂直沟道 JFET 的栅极欧姆触点之间的第二电连接。

[0049] 根据第四实施例,提供了一种集成电路,包括:

[0050] 分立的横向沟道 JFET,包括:

[0051] 具有相反的第一和第二主表面的衬底;

[0052] 在该衬底的第一主表面上的 p 型半导体材料的缓冲层;

[0053] 在缓冲层上相互间隔开的均为 n 型半导体材料的分立的源极和漏极区;

[0054] 在缓冲层上源极和漏极区之间并与源极和漏极中每一个都接触的 n 型半导体材料的沟道区;

[0055] 在沟道区上并与该沟道区形成整流结的 p 型半导体材料的栅极区;

[0056] 源极、栅极和漏极区上的欧姆触点;

[0057] 分立的垂直沟道 JFET,包括:

[0058] 具有相反的第一和第二主表面的 n 型半导体材料的衬底;

[0059] 在该衬底的第一主表面上的 n 型半导体材料的漏极层;

[0060] 在漏极层上的 n 型半导体材料的漂移层,该漂移层的电导率低于漏极层的电导率;

[0061] 一个或多个凸起区域,每个凸起区域包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区,该源极区的材料的电导率高于沟道区的材料的电导率;

[0062] 在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区,其与漂移层和沟道区形成整流结;以及

[0063] 在栅极和源极区上以及在衬底的第二主表面上的欧姆触点;

[0064] 横向沟道 JFET 的漏极欧姆触点与垂直沟道 JFET 的源极欧姆触点之间的第一电连接;以及

[0065] 横向沟道 JFET 的源极欧姆触点与垂直沟道 JFET 的栅极欧姆触点之间的第二电连接。

[0066] 按照第五实施例,提供了一种单片式横向沟道结型场效应晶体管 (JFET),包括:

[0067] 具有相反的第一和第二主表面的衬底;

[0068] 在该衬底的第一主表面上的 p 型半导体材料的缓冲层;

[0069] 在缓冲层上的 n 型半导体材料的沟道层;

[0070] 在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区;

[0071] 在沟道层上源极和漏极区之间并与源极和漏极中每一个都间隔开的 n 型半导体材料的源极 / 漏极区;

- [0072] 在沟道层中源极和源极 / 漏极区之间形成的 p 型半导体材料的第一栅极区, 所述第一栅极区与沟道层形成整流结 ;
- [0073] 在沟道层中源极 / 漏极区和漏极区之间形成的 p 型半导体材料的第二栅极区, 所述第一栅极区与沟道层形成整流结 ; 以及
- [0074] 在源极区、第一和第二栅极区、源极 / 漏极区以及漏极区上的欧姆触点。
- [0075] 按照第六实施例, 提供了一种集成电路, 包括 :
- [0076] 分立的横向沟道 JFET, 包括 :
- [0077] 具有相反的第一和第二主表面的衬底 ;
- [0078] 在该衬底的第一表面上的 p 型半导体材料的缓冲层 ;
- [0079] 在缓冲层上的 n 型半导体材料的沟道层 ;
- [0080] 在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区 ;
- [0081] 在沟道层中源极和漏极区之间形成的 p 型半导体材料的栅极区, 所述栅极区与沟道层形成整流结 ;
- [0082] 在源极区、栅极区以及漏极区上的欧姆触点 ;
- [0083] 分立的垂直沟道 JFET, 包括 :
- [0084] 具有相反的第一和第二主表面的 n 型半导体材料的衬底 ;
- [0085] 在该衬底的第一主表面上的 n 型半导体材料的漏极层 ;
- [0086] 在漏极层上的 n 型半导体材料的漂移层, 该漂移层的电导率低于漏极层的电导率 ;
- [0087] 一个或多个分立的凸起区域, 每个凸起区域包括漂移层上的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区, 该源极区的材料的电导率高于沟道区的材料的电导率 ;
- [0088] 在漂移层上邻近所述一个或多个凸起区域的 p 型半导体材料的栅极区, 其与漂移层和沟道区形成整流结 ; 以及
- [0089] 在栅极和源极区上以及在衬底的第二主表面上的欧姆触点 ;
- [0090] 横向沟道 JFET 的源极欧姆触点与垂直沟道 JFET 的栅极欧姆触点之间的第一电连接 ; 以及
- [0091] 横向沟道 JFET 的漏极欧姆触点与垂直沟道 JFET 的源极欧姆触点之间的第二电连接。
- [0092] 按照第七实施例, 提供了一种包括横向结型场效应晶体管和垂直结型场效应晶体管的单片式集成电路 ;
- [0093] 该横向结型场效应晶体管包括 :
- [0094] 在漂移层的第一主表面的部分中形成的 p 型半导体材料的缓冲层 ;
- [0095] n 型半导体材料的沟道层, 其在缓冲层上, 并且与缓冲层不同延, 从而使得缓冲层的部分暴露 ;
- [0096] 在沟道层上相互间隔开的 n 型半导体材料的分立的源极和漏极区 ;
- [0097] 在沟道层中源极和漏极区之间形成的 p 型半导体材料的栅极区, 所述栅极区与沟道层形成整流结 ;
- [0098] 在源极区、栅极区、漏极区上以及在缓冲层的暴露部分上的欧姆触点 ;

- [0099] 该垂直结型场效应晶体管包括：
- [0100] 在漂移层的第一主表面上与缓冲层横向间隔开的 n 型半导体材料的沟道层；
- [0101] 在沟道层上相互间隔开的 n 型半导体材料的一个或多个分立的源极区；
- [0102] 在沟道层中邻近所述一个或多个源极区形成的 p 型半导体材料的栅极区，其与沟道层形成整流结；以及
- [0103] 在栅极和源极区上的欧姆触点；
- [0104] 其中所述漂移层在 n 型半导体材料的漏极层上，而该漏极层在衬底的第一主表面上；并且其中电接触在衬底的与第一主表面相反的第二主表面上。
- [0105] 按照第八实施例，提供了一种包括横向结型场效应晶体管和垂直结型场效应晶体管的单片式集成电路；
- [0106] 该横向结型场效应晶体管包括：
- [0107] 形成在漂移层的第一主表面的部分中的 p 型半导体材料的缓冲层；
- [0108] n 型半导体材料的沟道层，其在缓冲层上，并且与缓冲层不同延，从而使得缓冲层的部分暴露；
- [0109] 在沟道层上相互间隔开的均为 n 型半导体材料的分立的源极和漏极区；
- [0110] 在沟道层上源极和漏极区之间并与沟道层形成金属半导体整流结的金属层；
- [0111] 在源极区、漏极区上以及在缓冲层的暴露部分上的欧姆触点；
- [0112] 该垂直结型场效应晶体管包括：
- [0113] 在漂移层的第一主表面上与缓冲层横向间隔开的一个或多个凸起区域，每个凸起区域包括在漂移层的第一主表面上并与横向结型场效应晶体管的缓冲层间隔开的 n 型半导体材料的沟道区以及沟道区上的 n 型半导体材料的源极区；
- [0114] 在漂移层上邻近所述一个或多个凸起区域并与漂移层和沟道区形成金属半导体整流结的金属层；以及
- [0115] 在源极区上的欧姆触点；
- [0116] 其中所述漂移层在一 n 型半导体材料层上，而该 n 型半导体材料层在衬底的第一主表面上；其中电接触在衬底的与第一主表面相反的第二主表面上。

#### 附图说明

- [0117] 图 1 是包括增强和耗尽模式 LTJFET 的单片式反相器电路的示意截面图。
- [0118] 图 2 是包括具有内置 PiN 二极管的增强和耗尽模式 LTJFET 的单片式常关 JFET 的示意截面图。
- [0119] 图 3A 和 3B 是包括具有内置 PiN 二极管的增强和耗尽模式 LTJFET 的单片式常关 JFET 集成电路的电路表示（图 3A）和示例布局（图 3B）。
- [0120] 图 4 是采用集成了 SBD 或 JBS 二极管的增强和耗尽模式 LTJFET 构成的单片式常关 JFET 的示意截面表示。
- [0121] 图 5A 和 5B 是包括集成了 SBD 或 JBS 二极管的增强和耗尽模式 LTJFET 的单片式常关 JFET 集成电路的电路表示（图 5A）和示例布局（图 5B）。
- [0122] 图 6 是采用具有内置 PiN 二极管的增强模式 LTJFET 和耗尽模式 VJFET 建立的混合常关 JFET 的示意截面表示。

[0123] 图 7 是采用集成了 SBD 或 JBS 二极管的增强模式 LTJFET 和耗尽模式 VJFET 建立的混合常关 JFET 的示意截面表示。

[0124] 图 8 是驱动建立在芯片上的、与分立的高压常开功率 VJFET 级联连接的低压高电流增强模式 LTJFET 的单片式 LTJFET 定时电路的电路表示。

[0125] 图 9 是利用增强和耗尽模式过度生长栅极 LJFET 建立的单片式反相器电路的示意截面表示。

[0126] 图 10 是包括增强模式过度生长栅极 LJFET 和耗尽模式 VJFET 的混合常关 JFET 的示意截面表示。

[0127] 图 11 是包括低压增强模式 LJFET 和分立的高压常开耗尽模式 VJFET 的混合常关 JFET 功率开关的示意截面表示。

[0128] 图 12 是利用增强和耗尽模式注入栅极的 LJFET 建立的单片式反相器电路的示意截面表示。

[0129] 图 13 是利用增强和耗尽模式注入栅极的 LJFET 建立的单片式常关 JFET 集成电路的示意截面表示。

[0130] 图 14 是利用增强模式注入栅极的 LJFET 和耗尽模式 VJFET 建立的混合常关 JFET 集成电路的示意截面表示。

[0131] 图 15 是利用增强模式双栅极的 LJFET 和耗尽模式 VJFET 建立的混合常关 JFET 集成电路的示意截面表示,其中 LJFET 的底部栅极被注入漂移区中。

[0132] 图 16 是利用增强模式双栅极的 LJFET 和耗尽模式 VJFET 建立的混合保护环终止 (terminated) 常关 JFET 集成电路的示意截面表示,其中 LJFET 的底部栅极和保护环被注入漂移区中。

[0133] 图 17 是利用增强模式双栅极的 LJFET 和具有肖特基栅极的耗尽模式 VJFET 建立的混合保护环终止常关 JFET 的示意截面表示,其中 LJFET 的底部栅极和保护环被注入漂移区中。

[0134] 图 18A-18D 是 SiC LTJFET 集成开关的模拟器件结构 (图 18A)、示意截面表示 (图 18B) 和示出输出 DC 特性的图 (图 18C 和 18D)。

[0135] 图 19A-19D 是混合常关 900V 功率开关的照片 (图 19A)、电路表示 (图 19B)、示出所测量的特性的图 (图 19C 和 19D)。

[0136] 图 20A 和 20B 是混合常关 900V 功率开关的电路表示 (图 20A) 和示出所测量的内部电压的图 (图 20B)。

[0137] 图 21A-21C 是 LTJFET (图 21A) 和 VJFET (图 21B) 的分布式漏极电阻的示意表示,以及针对横向漏极层的不同掺杂水平示出作为指 (finger) 长度的函数的、标准化至 VJFET 的垂直漏极的电阻的、LTJFET 的横向漏极层的电阻的图 (图 21C)。

[0138] 图 22A-22H 示出制造在图 9 和图 10 中提出的单片式集成电路的方法。

[0139] 图 23A-23H 示出制造在图 12 和图 13 中提出的单片式集成电路的方法。

[0140] 图 24A-24J 示出制造在图 15 中提出的单片式集成电路的方法。

[0141] 图 25A-25D 示出制造在图 17 中提出的单片式集成电路的方法。

[0142] 附图标记

[0143] 在附图中采用的附图标记定义如下。还为衬底、注入区以及外延生长层提供了代

表性厚度和掺杂浓度。

[0144]

#	材料
1	衬底 (例如半绝缘衬底)
1a	N 型衬底 (例如注入水平 $> 1 \times 10^{18} \text{cm}^{-3}$ )
2	外延生长层 (p 型) (例如 $\geq 0.1 \mu\text{m}$ 厚, $1 \times 10^{15} - 1 \times 10^{17} \text{cm}^{-3}$ )
3	外延生长层 (n 型) (例如 $0.2 - 5 \mu\text{m}$ , $> 5 \times 10^{18} \text{cm}^{-3}$ )
3a	外延生长层 (n 型) (例如 $0.5 - 1 \mu\text{m}$ , $> 5 \times 10^{18} \text{cm}^{-3}$ )
4	外延生长层 (n 型) (例如 $0.5 - 10 \mu\text{m}$ , $5 \times 10^{15} - 5 \times 10^{17} \text{cm}^{-3}$ )
4a	外延生长层 (n 型) (例如 $5 - 350 \mu\text{m}$ , $2 \times 10^{14} - 2 \times 10^{16} \text{cm}^{-3}$ )
5	外延生长层 (n 型) (例如 $0.2 - 1.5 \mu\text{m}$ , $5 \times 10^{15} - 5 \times 10^{17} \text{cm}^{-3}$ )
5a	外延生长层 (n 型) (例如 $0.2 - 1.5 \mu\text{m}$ , $5 \times 10^{15} - 2 \times 10^{17} \text{cm}^{-3}$ )
5b	外延生长层 (n 型) (例如 $0.3 - 1.5 \mu\text{m}$ , $5 \times 10^{15} - 2 \times 10^{17} \text{cm}^{-3}$ )
6	外延生长层 (n 型) (例如 $0.2 - 1.5 \mu\text{m}$ , $> 5 \times 10^{18} \text{cm}^{-3}$ )
6a	注入区 (n 型) (例如 $\geq 0.1 \mu\text{m}$ , $\geq 5 \times 10^{18} \text{cm}^{-3}$ )
7	注入区 (p 型) (例如 $\geq 0.1 \mu\text{m}$ , $\geq 5 \times 10^{18} \text{cm}^{-3}$ )
7a	外延生长层 (p 型) (例如 $0.2 - 1.5 \mu\text{m}$ , $> 5 \times 10^{18} \text{cm}^{-3}$ )
8	欧姆触点
9	肖特基触点

### 具体实施方式

[0145] 下面参照附图和照片详细描述本发明,其中用碳化硅 (SiC) 半导体作为例子描述本发明的优选实施例。

[0146] 碳化硅按照很多 (即超过 200) 不同的变型 (多型) 结晶。最重要的是:3C-SiC (立方晶胞, 闪锌矿); 2H-SiC; 4H-SiC; 6H-SiC (六方晶胞, 纤维锌矿); 15R-SiC (菱形晶胞)。

4H 多型由于其更高的电子迁移率而对功率器件来说更有吸引力。尽管 4H-SiC 是优选的,应当理解本发明可用于在此所述的用其它宽能带隙半导体材料如氮化镓以及碳化硅的其它多型制成的器件和集成电路。

[0147] 图 1 示出参照横向沟槽结型场效应晶体管 (LTJFET) 的增强和耗尽模式半导体器件的示意截面图,以及用于形成单片式反相器电路的电连接的示意表示。如图所示,用于形成反相器的器件建立在宽能带隙半导体衬底 (1) 上,该半导体衬底可以是:半绝缘;p 型;或具有 p 型缓冲层的 n 型。如图 1 所示,该器件包括漏极 (3)、漂移 (4)、沟道 (5) 和源极 (6) 外延生长的 n 型层,以及 p 型注入的栅极区 (7)。该器件结构可以利用等离子体蚀刻和离子注入来限定。在图 1 所示的电路中,可以在晶片的同一侧形成与源极、栅极和漏极区接触的欧姆触点,这使得该器件可用于单片式集成电路。上面描述并在图 1 中示出的器件的完整描述以及该器件的示例性制造方法可以在与本发明同一天提交的、题为“Lateral Trench Field-Effect Transistors in Wide Bandgap Semiconductor Materials, Methods of Making, and Integrated Circuits Incorporating the Transistors”的美国专利申请 10/999954 中找到,在此通过引用将该申请完全合并于此。

[0148] 图 2 是包括单指增强和耗尽模式 LTJFET 并具有内置 PiN 二极管的单片式常关 JFET 的示意表示。电连接的示意表示也在图 2 中示出。如图 2 所示,该器件按照增强模式晶体管 (称为“EJFET”) 的漏极与耗尽模式晶体管 (称为“DJFET”) 的源极连接、DJFET 的栅极与控制 EJFET 的源极连接的方式以级联配置连接。在该器件的 DJFET 的栅极区 (7) 和漂移层 (4) 之间形成的 p-n 结形成所谓的反并联续流 (free wheeling) PiN 二极管。该二极管的尺寸可以通过注入的栅极区的宽度来限定。

[0149] 尽管图 2 示出常关 JFET 的单指器件实现,实践中可以用多指 LTJFET 来形成功率开关。图 3A 和 3B 示出单片式多指常关功率开关的示意电路表示 (图 3A) 和示例性布局设计 (图 3B)。

[0150] 为了减少开关损耗,图 3A 和 3B 所示的 PiN 二极管可以用肖特基势垒二极管 (SBD) 或结型势垒肖特基 (JBS) 二极管。形成沟结构的肖特基栅极的方法在 2004 年 7 月 8 日提交的美国专利申请 60/585881 中公开,通过引用将该申请完全合并于此。图 4 提供了具有集成的续流 SBD 或 JBS 二极管的单片式常关 JFET 功率开关的示意截面图,图 5A 和 5B 提供了利用多指 LTJFET 单片式地形成的开关的示意电路表示 (图 5A) 和示例性布局设计 (图 5B)。

[0151] 图 6 和图 7 是单指常关 JFET 功率开关的示意截面表示,其中增强模式低压 LTJFET 控制分立的高压常开耗尽模式 VJFET。图 6 示出具有内置反并联 PiN 二极管的混合 JFET 功率开关,图 7 示出包括与高压 VJFET 单片式地集成的反并联 SBD 或 JBS 二极管的 JFET 功率开关。

[0152] 上述技术的示例性实现在图 8 中示出。如图 8 所示,单片式 LTJFET 定时电路驱动建立在芯片上的、与分立的高压常开功率 VJFET 级联连接的低压高电流增强模式 LTJFET。

[0153] 尽管垂直沟道多指 LTJFET 由于它们很低的导通电阻率以及不存在宽能带隙半导体中常见 (common) 的俘获效应而在高功率应用中成为优选,但是替换的 JFET 结构 (例如具有横向沟道的 JFET) 也可以用于形成常关功率 JFET 开关。图 9-17 示出利用增强和耗尽模式横向结型场效应晶体管 (LJFET) 建立的集成 JFET 开关的各种示例性实施例。

[0154] 图 9 是包括具有外延过度生长栅极的增强和耗尽模式 LJFET 的横向沟道 JFET 集成电路的具有电连接的示意截面表示。如图 9 所示,该集成电路形成单片式反相器电路。用于形成该反相器的 LJFET 建立在宽能带隙半导体衬底 (1) 上,该衬底可以是:半绝缘;p 型;或具有 p 型缓冲层的 n 型。如图 9 所示,该集成电路包括缓冲 (2) 和沟道外延生长 n 型层 (5a),以及注入源极和漏极区 (6a) 和外延生长 p 型栅极区 (7a)。该器件结构可以利用等离子体蚀刻和离子注入来限定。可以在晶片的同一侧上形成与源极、栅极和漏极区接触的欧姆触点 (8),这使得能够用于单片式集成电路。

[0155] 图 10 是利用具有过度生长栅极区的增强和耗尽模式 LJFET 建立的单片式常关 JFET 功率开关的一节 (pitch) 的示意表示。如可以从电连接的示意表示中所看出,该器件按照低压增强模式 LJFET (称为“ELJFET”) 的漏极与高压耗尽模式 LJFET (称为“DLJFET”) 的源极连接、DLJFET 的栅极与控制 ELJFET 的源极连接的方式以级联配置连接。

[0156] 图 11 示出混合常关 JFET 功率开关的示意截面图,其中低压 ELJFET 控制分立的高压常开耗尽模式 VJFET。

[0157] 还可以使用一种替换的 LJFET 结构,其中源极和漏极区形成在外延生长 n 型层中,栅极区通过离子注入来限定。该类型的器件在图 12-17 中示出。

[0158] 图 12 示出包括增强和耗尽模式注入栅极 LJFET 的单片式反相器电路的电连接的示意截面表示。如图所示,用于形成该反相器的器件建立在宽能带隙半导体衬底 (1) 上,该衬底可以是:半绝缘;p 型;或具有 p 型缓冲层的 n 型。还示出该器件包括缓冲 (2)、沟道 (5b)、源极和漏极 (6) 外延生长 n 型层,以及注入栅极 (7) 区。

[0159] 图 13 是利用增强和耗尽模式注入栅极 LJFET 建立的单片式常关 JFET 功率开关的一节的示意截面表示。如图 13 所示,D 模式 LJFET 的漏极与沟道层 (5b) 上的栅极横向间隔开,以便在该器件中形成横向漂移区。

[0160] 图 14 是常关 JFET 功率开关的示意截面表示,其中增强模式低压注入栅极 LJFET 控制分立的高压常开耗尽模式 VJFET。

[0161] 图 15 是单片式常关 JFET 功率开关的示意截面表示,其中增强模式低压双栅极 LJFET 控制分立的高压常开耗尽模式 VJFET。如图 15 所示,LJFET 的底部栅极在漂移区 (4) 上生长沟道区之前就注入漂移区 (4) 中。

[0162] 图 16 是图 3D 所示器件的示意截面表示,其中 LJFET 的底部栅极注入漂移区 4 以及保护环中。保护环可以用于增加该开关的电压阻断性能。

[0163] 尽管上面描述了具有注入的 p 型栅极的 FET 器件,但是也可以用肖特基栅极来制造常关 FET 功率开关。图 17 是图 16 所示器件的示意截面表示,其中 LJFET 的注入 p 型顶部栅极和分立的常开耗尽模式 VJFET 的注入栅极被肖特基栅极所取代。如图所示,分立的常开 FET 的肖特基栅极还用作集成的反并联续流二极管。

[0164] 图 18A-18D 示出 SiC LTJFET 集成开关的模拟器件结构 (图 18A)、示意截面表示 (图 18B) 和示出输出 DC 特性的图 (图 18C 和 18D),其中 EJFET 和 DJFET 都具有 1cm 的沟道外围。

[0165] 为了展现出上述级联功率开关的可行性,利用分立的非终止增强和耗尽模式垂直 JFET 来构成该开关的混合实施例。图 19A-19D 是混合常关 900V 功率开关的照片 (图 19A)、示意表示 (图 19B)、示出所测量的特性的图 (图 19C 和 19D)。如从图 19C 和 19D 可以看



出,尽管由耗尽模式器件感生的泄漏电流比较高(在 $V_{DS} = 900V$ 而 $V_{GS} = 0V$ 的情况下, $I_D = 330 \mu A$ ),还是由 $2.75V$ 那么小的电压来控制电压控制的 SiC 功率开关。

[0166] 该开关的基本功能可以描述如下。在 HIGH(高)控制电平(例如 $V_{GS} = 2.75V$ )下,增强模式晶体管(EJFET)接通。在耗尽模式晶体管(DJFET)的栅极和源极之间只出现很小的电压降,因此 DJFET 也接通。如果 EJFET 以 LOW(低)控制电平( $V_{GS} = 0.25V$ )断开,则其漏极-源极电压增加到 $40-50V$ ,如图 20B 所示。该电压夹断 DJFET。

[0167] 该集成开关的导通电阻率可以如下最小化。首先,两个晶体管(例如 EJFET 和 DJFET)的夹断电压与沟道外围之比可以调节为使得该比值近似等于导通电阻,因此没有一个会限制总电流。第二,该器件可以构造为使得 DJFET 的栅极-源极击穿电压等于或大于 EJFET 的漏极-源极击穿电压。

[0168] 此外,高电流多指 LTJFET 的指长度可以减小以保持改变的漏极区的电阻与垂直 $n^+$ 衬底的电阻兼容。图 21A-21C 是 LTJFET(图 21A)和 VJFET(图 21B)的分布式漏极电阻的示意表示,以及针对横向漏极层的不同掺杂示出作为指长度的函数的、标准化至 VJFET 的垂直漏极电阻的、LTJFET 的横向漏极层电阻的图(图 21C)。如从图 21C 可以看出,对于重掺杂的 $1 \mu m$ 厚横向漏极层(3)来说,LTJFET 的指长度优选不超过 $100 \mu m$ 长。但是该指长度可以通过增加漏极层(3)的厚度和/或掺杂水平来增大。

[0169] 图 22A-22H 示出制造在图 9 中提出的器件的方法。图 22A 示出包括衬底(1)、外延生长 p 型层(2)和外延生长 n 型层(5a)的多层结构。如图 22B 所示,蚀刻掩模(10)设置在外延生长 n 型层(5a)的暴露表面上。然后如图 22B 所示有选择地蚀刻(12)外延生长 n 型层(5a)。然后如图 22D 所示去除蚀刻掩模(10),然后将离子注入掩模(14)放置在外延生长 n 型层(5a)的经过蚀刻的表面上。如图 22E 所示,n 型掺杂剂通过掩模(14)的离子注入导致在外延生长 n 型层(5a)中形成重 n 掺杂的区域(6a)。然后如图 22F 所示去除掩模(14),并在外延生长 n 型层(5a)的经过蚀刻和注入的表面上生长 p 型半导体材料层(7a)。然后如图 22G 所示将蚀刻掩模(16)设置在层(7a)的暴露表面上。还如图 22G 所示,通过掩模(16)的蚀刻导致有选择地去除层(7a)并形成凸起的 p 型特征。最后,去除掩模(16)并在该凸起的 p 型特征和注入的区域(6a)的暴露表面上形成欧姆触点。

[0170] 通过选择合适的掩模,上面概述的方法还可以用于形成如图 10 所示的结构。

[0171] 图 23A-23H 示出制造在图 12 中示出的结构的方法。图 23A 示出衬底(1)、衬底(1)上的外延生长 p 型层(2)以及层(2)上的外延生长 n 型层(5b)。如图 23B 所示,蚀刻掩模(18)设置在层(5b)的暴露表面上。如图 23C 所示,蚀刻(20)导致从层(5b)中选择性地去除材料。在去除掩模(18)之后,如图 23D 所示在层(5b)的经过蚀刻的表面上生长 n 型外延层(6)。蚀刻掩模(22)设置在层(6)的暴露表面上,如图 23E 所示,而且蚀刻(24)导致从层(6)中选择性地去除材料并暴露下面的层(5b),如图 23F 所示。然后如图 23G 所示,使用掩模(22)在层(5b)的暴露表面上选择性地注入 p 型施主以形成注入栅极区(7)。然后如图 23H 所示,在注入 p 型栅极区(7)上形成欧姆触点(8)以形成该器件的栅极触点,并在凸起的 n 型区域(6)上形成欧姆触点(8)以形成该器件的源极和漏极触点。

[0172] 通过选择合适的掩模,上面概述的方法还可以用于形成如图 13 所示的结构。

[0173] 图 24A-24J 示出制造在图 15 中示出的结构的方法。图 24A 示出 n 型衬底(1a)、衬底(1a)上的外延生长 n 型层(3a)以及层(3a)上的外延生长 n 型层(4a)。还示出离子注

入掩模 (26) 在层 (4a) 的暴露的上表面上。如图 24B 所示,通过掩模 (26) 向层 (4a) 选择性地注入 p 型施主原子以形成栅极区 (7)。在去除掩模 (26) 之后,如图 24C 和 24D 所示在层 (4a) 的注入表面上连续地生长 n 型外延层 (5) 和 n 型外延层 (6)。然后如图 24D 所示,将蚀刻掩模 (30) 设置在层 (6) 的暴露表面上,然后蚀刻 (31) 穿透层 (6) 并部分穿透下面的层 (5) (图 24E)。然后如图 24F 所示,通过掩模 (30) 向层 (5) 的暴露部分注入 p 型施主原子以形成附加的栅极区 (7)。然后将蚀刻掩模 (34) 设置在该经过蚀刻和注入的结构的上表面上,并且蚀刻 (36) 导致选择性地去除了层 (5) 的部分,包括 p 型注入栅极区的部分 (图 24H)。然后如图 24I 所示,通过掩模 (38) 蚀刻层 (4a) 的暴露部分。然后在该经过蚀刻和注入的结构上形成欧姆触点 (8),以形成如图 24J 所示的器件。

[0174] 上面概述的方法还可以用于形成如图 16 所示的结构。

[0175] 图 25A-25D 示出制造在图 17 中示出的结构的方法。如图 25A 所示,通过掩模 (42) 蚀刻如图 24E 所示的结构,以暴露下面的层 (4a) 的部分 (图 25B)。然后如图 25C 所示在该经过蚀刻 / 注入的结构上形成肖特基触点 (9)。欧姆触点 (8) 的形成导致如图 25D 所示器件的产生。

[0176] 尽管上面讨论了示例性实施例,还可以采用其它替换实施例。例如,可以在碳化硅、蓝宝石或硅衬底上生长 GaN n 型外延层以形成用于制造所提出的器件结构的初始材料叠层。或者,如在 2002 年 1 月 3 日提交的美国专利申请 10/033785 (公开为美国专利公开 2002-0149021) 中公开的那样,可以使用包括具有半绝缘外延生长缓冲层的导电 SiC 衬底的衬底材料。

[0177] SiC 层可以通过利用公知技术向各层掺入施主或受主材料来形成。示例性的施主材料包括氮和磷。氮是优选的施主材料。用于对 SiC 掺杂的示例性受主材料包括硼和铝。铝是优选的受主材料。但上述材料只是示例性的,可以采用能够掺入碳化硅中的任何受主和施主材料。在此所述的 LTJFET、LJFET 和 VJFET 的各个层的掺杂水平和厚度可以变化,以产生具有具体应用所期望的特性的器件。类似地,该器件的各个特征的尺寸也可以改变,以产生具有具体应用所期望的特性的器件。

[0178] SiC 层可以通过在合适的衬底上外延生长来形成。可以在外延生长期间对各层进行掺杂。

[0179] 虽然上述说明书利用以说明为目的提供的例子讲授了本发明的原理,但是通过阅读该公开内容,本领域的技术人员应当理解,在不脱离本发明真实范围的情况下,可以进行形式和细节上的各种改变。

[0180] 参考文献

[0181] 1. W. Xie, et al., "Monolithic NMOS Digital Integrated Circuits in 6H-SiC," IEEE Electron Device Letters, Vol. :15, No. :11, November 11, 1994, pp. 455-457.

[0182] 2. D. M. Brown et al., "High temperature silicon carbide planar IC technology and first monolithic SiC operational amplifier IC," Transactions of 2<sup>nd</sup> Int. High-Temp, Elec. Conf. (HiTEC), 1994, pp. XI-17-XI-22.

[0183] 3. Slater, Jr. et al., "Silicon Carbide CMOS devices," U. S. Patent 6344663, Feb. 5, 2002.

- [0184] 4. M. Bhatnagar et al., "Lateral MOSFET with modified field plates and damage areas," U. S. Patent 5710455, Jan. 20, 1998.
- [0185] 5. I. Sankin et al., "On development of 6H-SiC LDMOS transistors using silane-ambient implant anneal," Solid-State Electronics, Vol. 45, No. 9, September, 2001, pp. 1653-165.
- [0186] 6. S. T. Sheppard et al., "High power hybrid and NMIC amplifiers using wide-bandgap semiconductor devices on semi-insulating SiC substrates," Digest of 60th Device Research Conference, 2002, June 24-26, 2002, pp. :175-178.
- [0187] 7. M. P. Lam, "Ion implant technology for 6H-SiC MESFETs digital ICs," Digest of 54th Annual Device Research Conference, 1996., June 24-26, 1996, pp. 158-159.
- [0188] 8. Casady et al., "Complementary accumulation-mode JFET integrated circuit topology using wide ( $> 2\text{eV}$ ) bandgap semiconductors," U. S. Patent No. 6503782, January 7, 2003.
- [0189] 9. J. N. Merrett et al., "Silicon Carbide Vertical Junction Field Effect Transistors Operated at Junction Temperatures Exceeding 300 °C," Proceedings of IMAPS International Conference and Exhibition on High Temperature Electronics (HiTECH 2004), May 17-20, 2004, Santa Fe, New Mexico.
- [0190] 10. Sugawara et al., "Vertical field-effect semiconductor device with buried gate region," U. S. Patent No. 6600192, July 29, 2003.
- [0191] 11. Friedrichs et al., "Semiconductor construction with buried island region and contact region," U. S. Patent NO. 6693322, February 17, 2004.
- [0192] 12. J. H. Zhao, "Double-gated vertical junction field effect power transistor," U. S. Published Patent Application 20030089930, May 15, 2003.
- [0193] 13. K. Asano et al., "5.5kV normally-off low Rons 4H-SiC SEJFET," Power Semiconductor Devices and ICs, 2001. ISPSD' 01. Proceedings of the 13th International Symposium on, 4-7 June 2001, pp. 23-26.
- [0194] 14. Y. Sugawara et al., "4H-SiC high power SIJFET module," Power Semiconductor Devices and ICs, 2003. Proceedings, ISPSD' 03. 2003 IEEE 15th International Symposium on, 14-17 April 2003, pp. 127-130.
- [0195] 15. Berger et al., "Junction Field Effect Transistor Device for Replacing a Pentode," U. S. Patent No. 3767946, Oct. 23, 1973.
- [0196] 16. Yoshida et al., "Compound Field Effect Transistor," U. S. Patent No. 4107725, Aug. 15, 1978.
- [0197] 17. Baliga et al., "Composite Circuit for Power Semiconductor Switching," U. S. Patent No. 4663547, May 5, 1987.
- [0198] 18. P. Friedrichs et al., "SiC power devices with low on-resistance for fast switching applications," Power Semiconductor Devices and ICs, 2000, Proceedings of the 12th International Symposium, May 22-25, 2000, pp. 213-216.

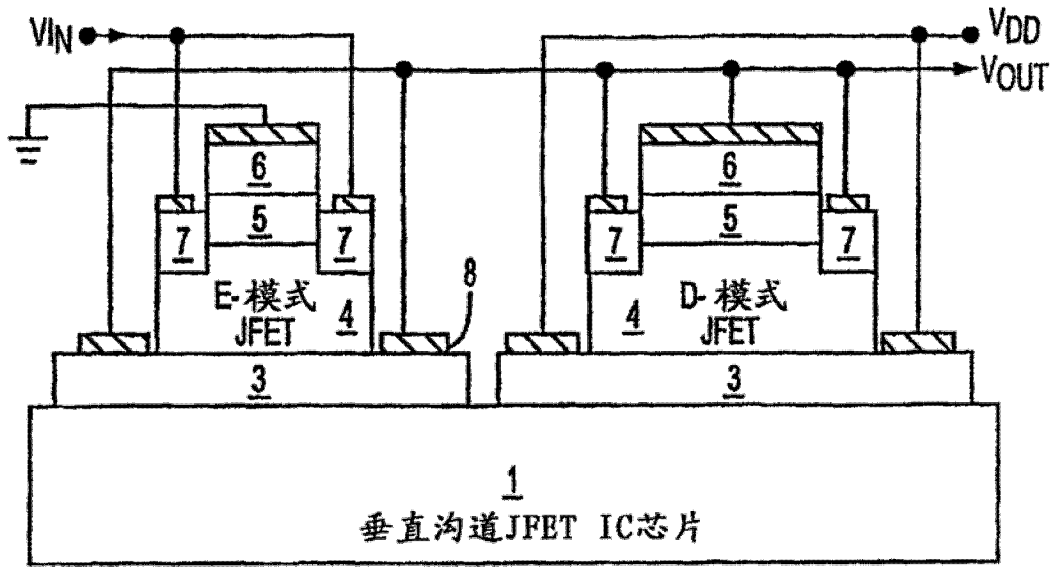


图 1

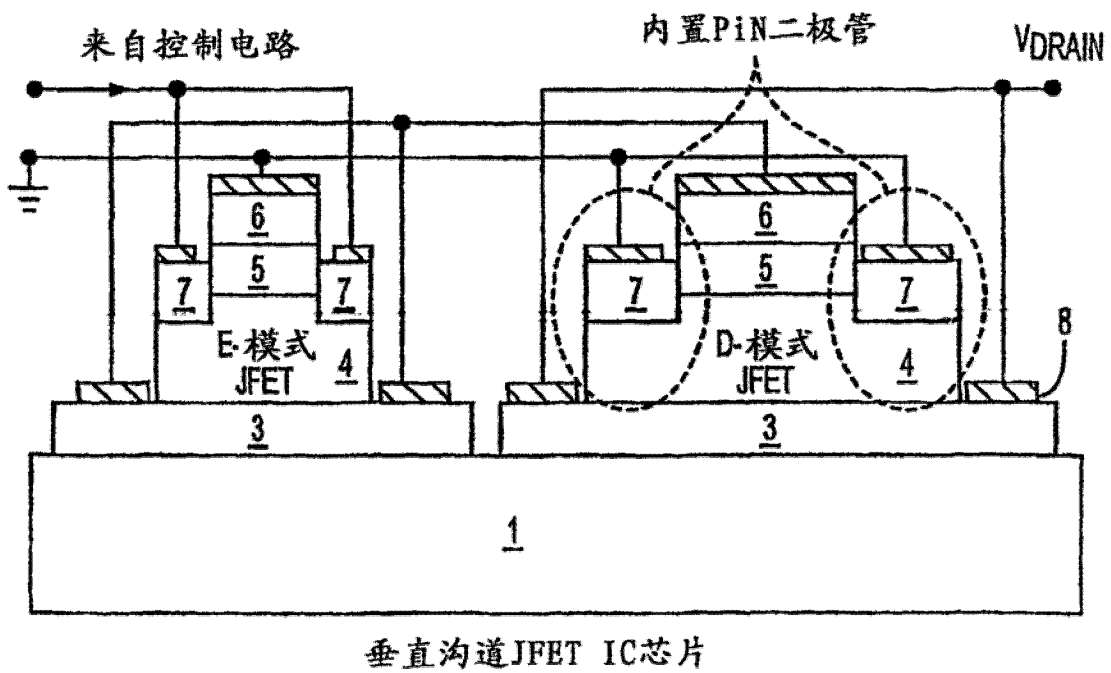


图 2

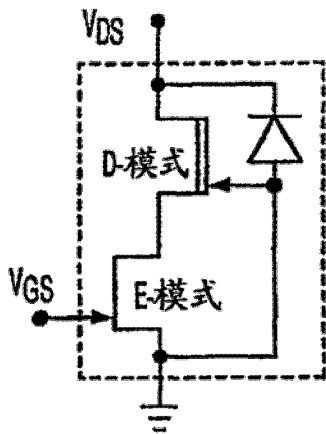


图 3A

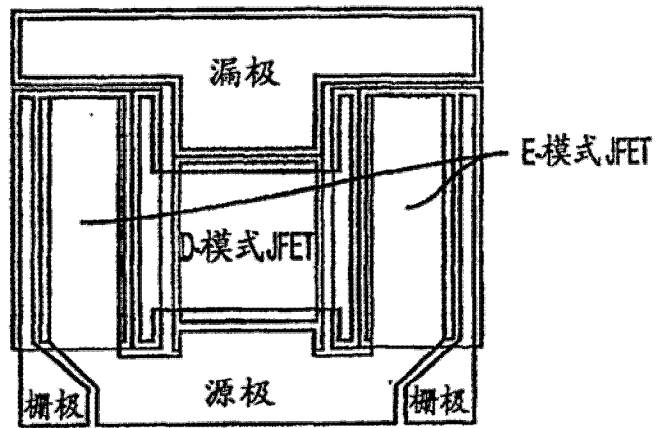


图 3B

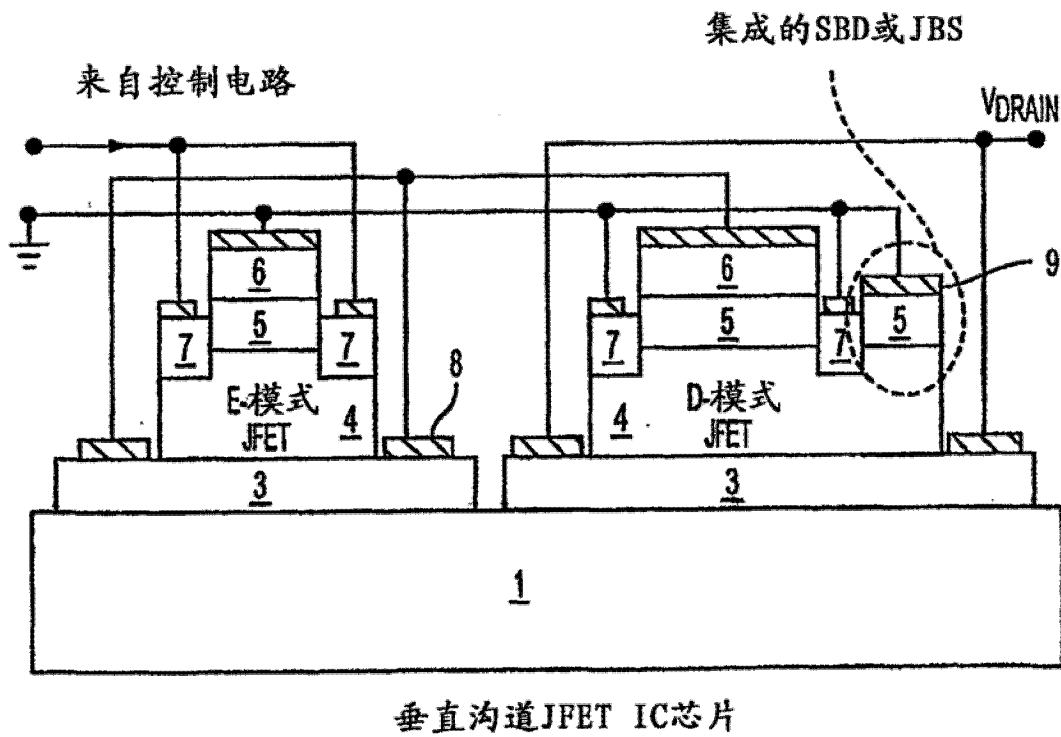


图 4

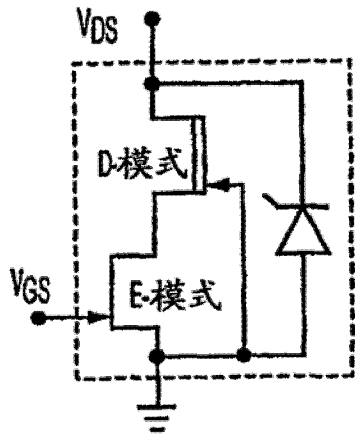


图 5A

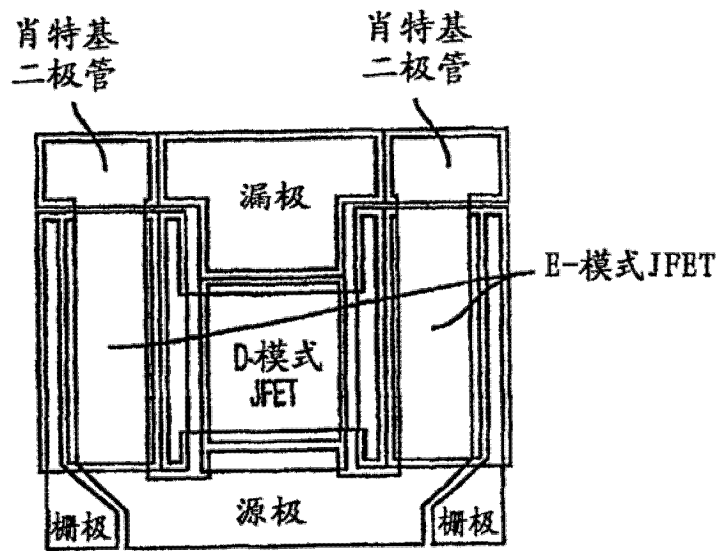


图 5B

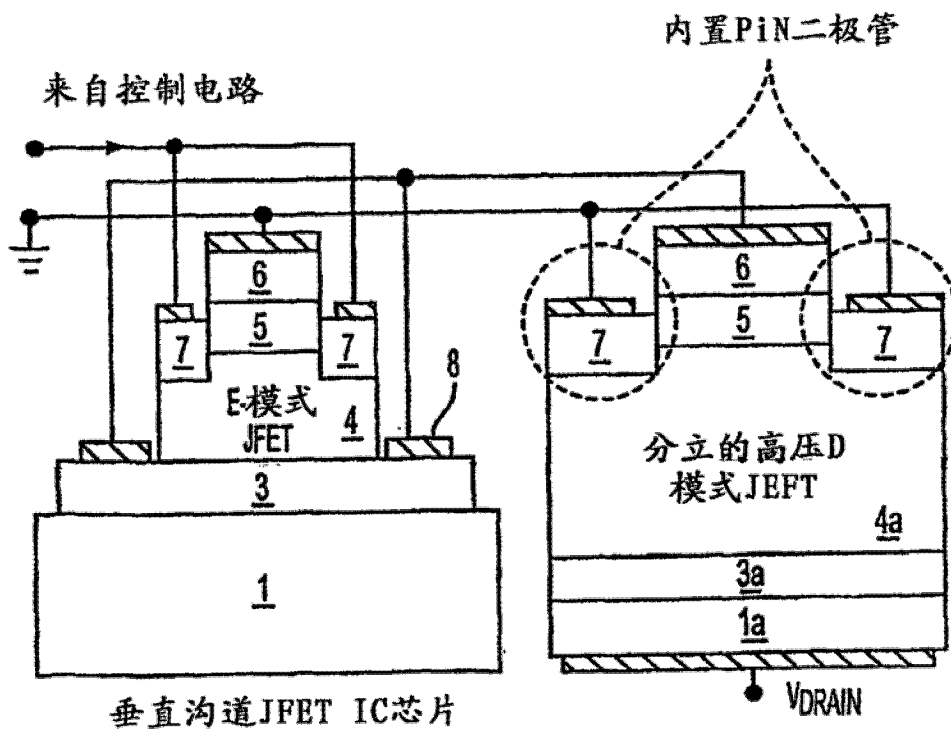


图 6

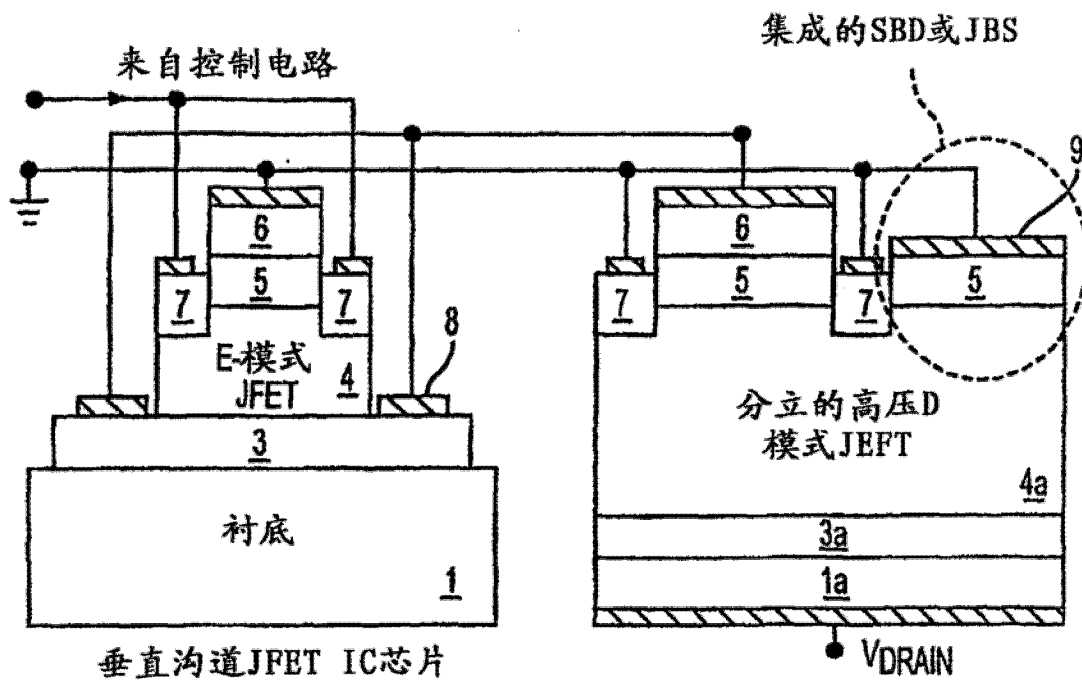


图 7

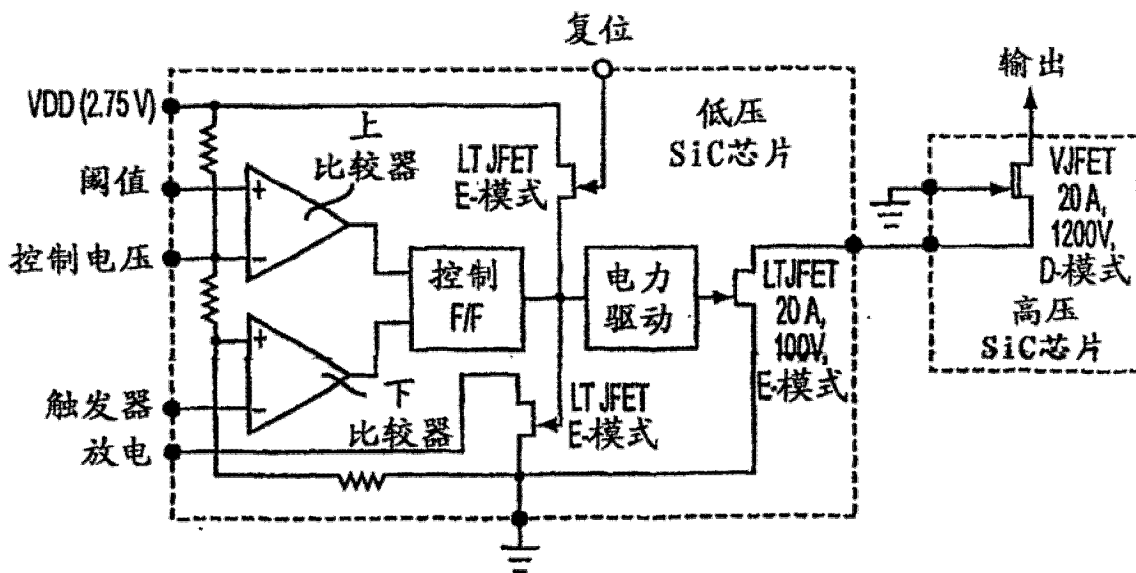


图 8

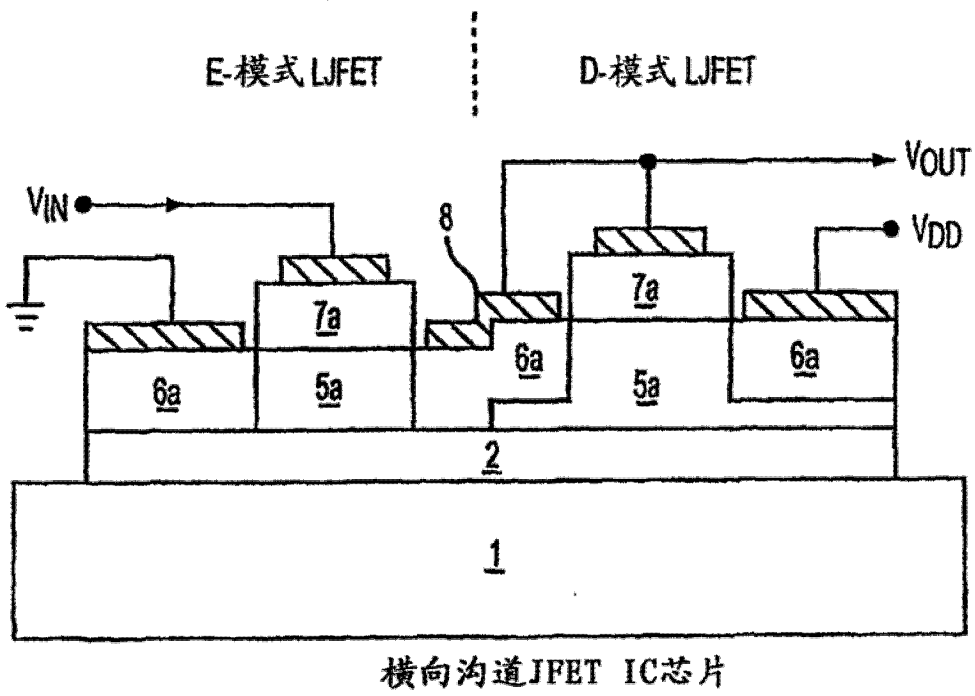


图 9

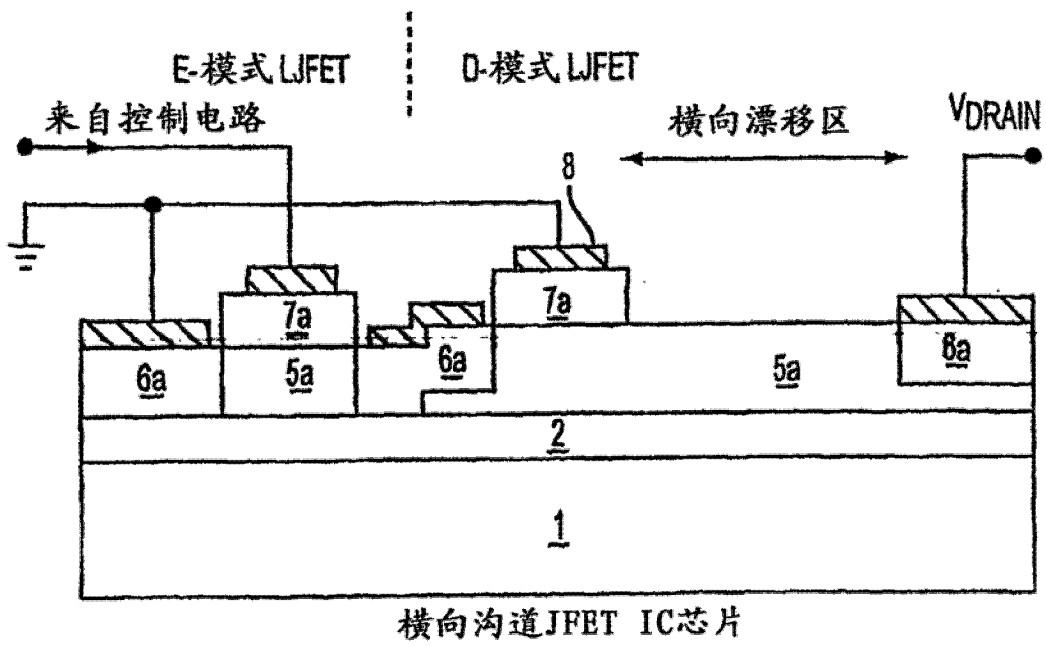


图 10



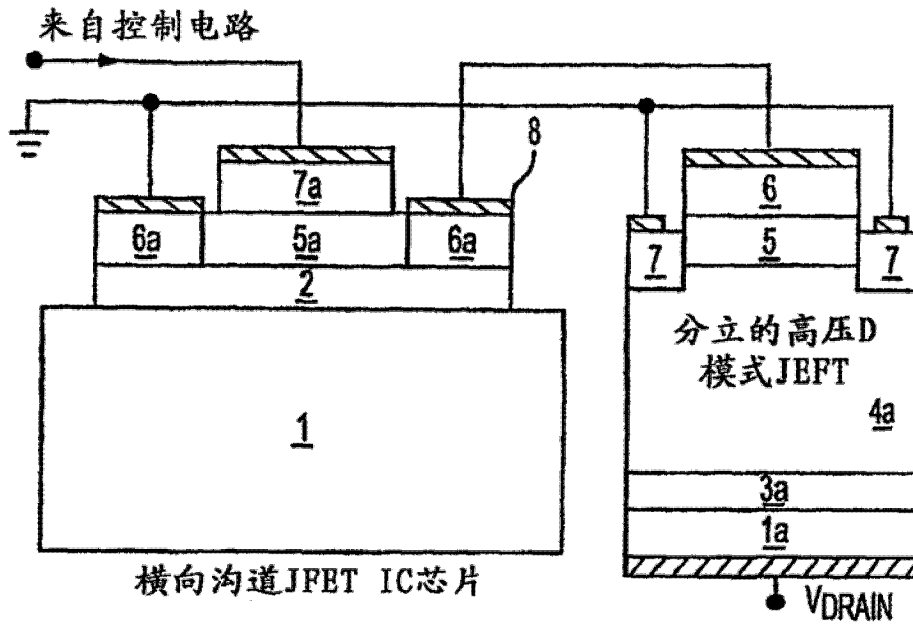


图 11

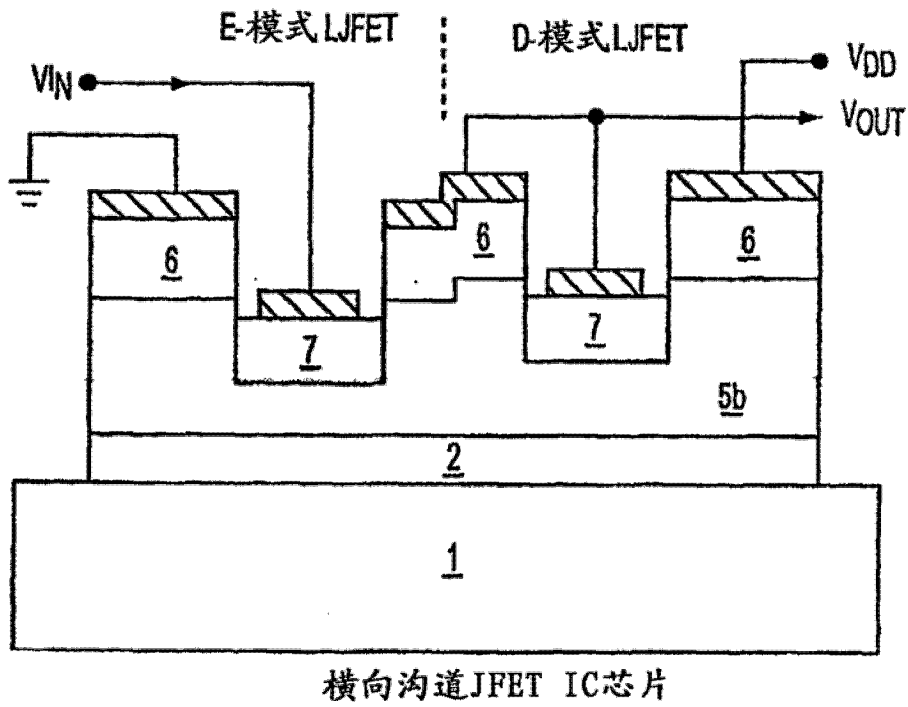


图 12

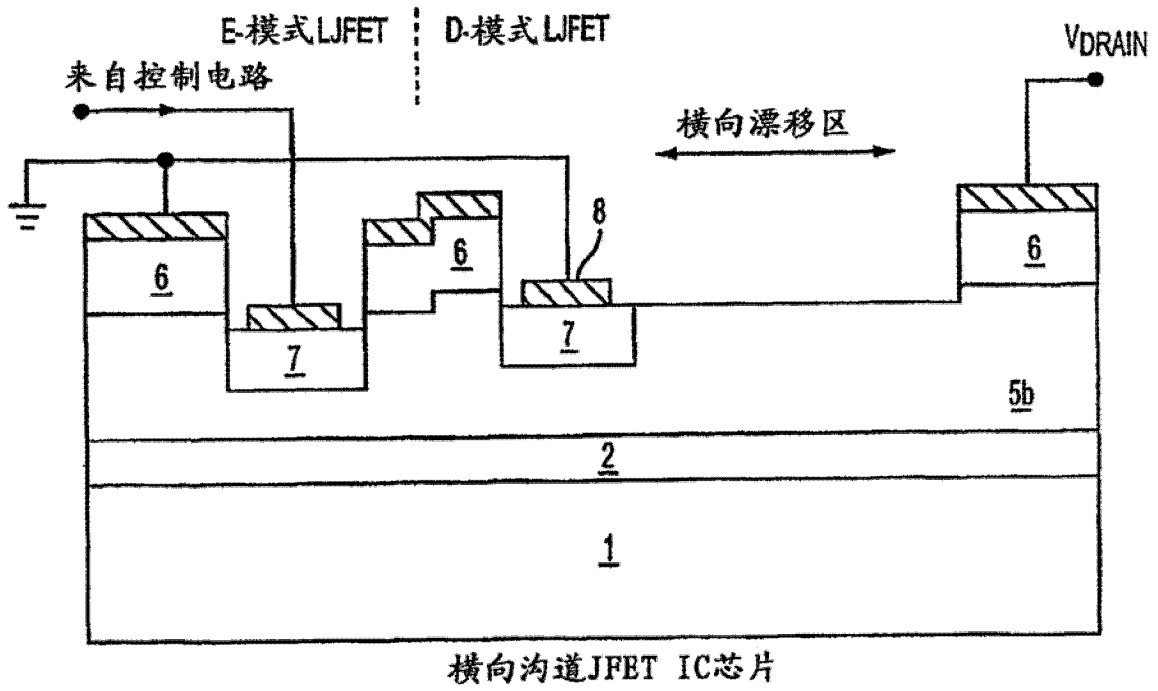


图 13

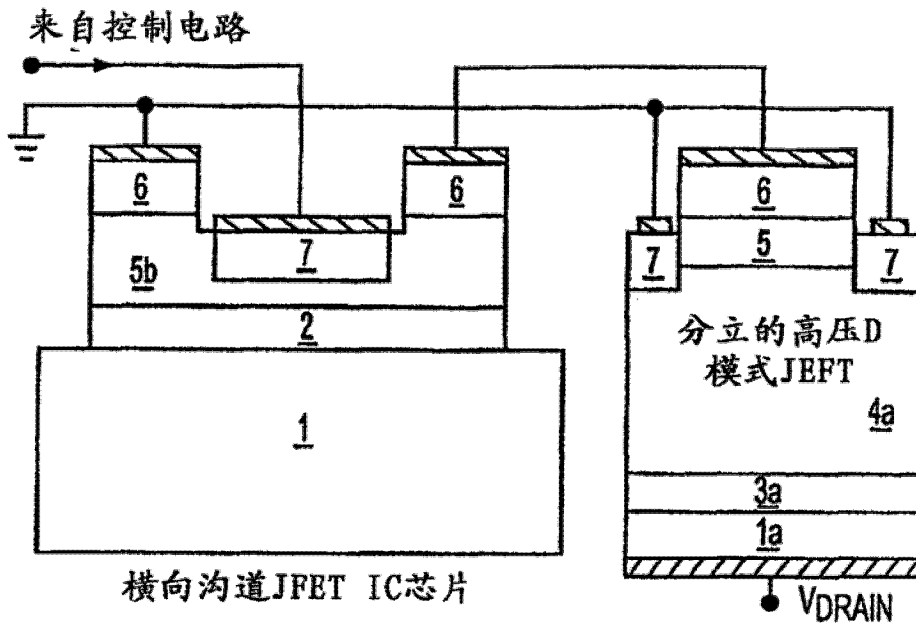


图 14



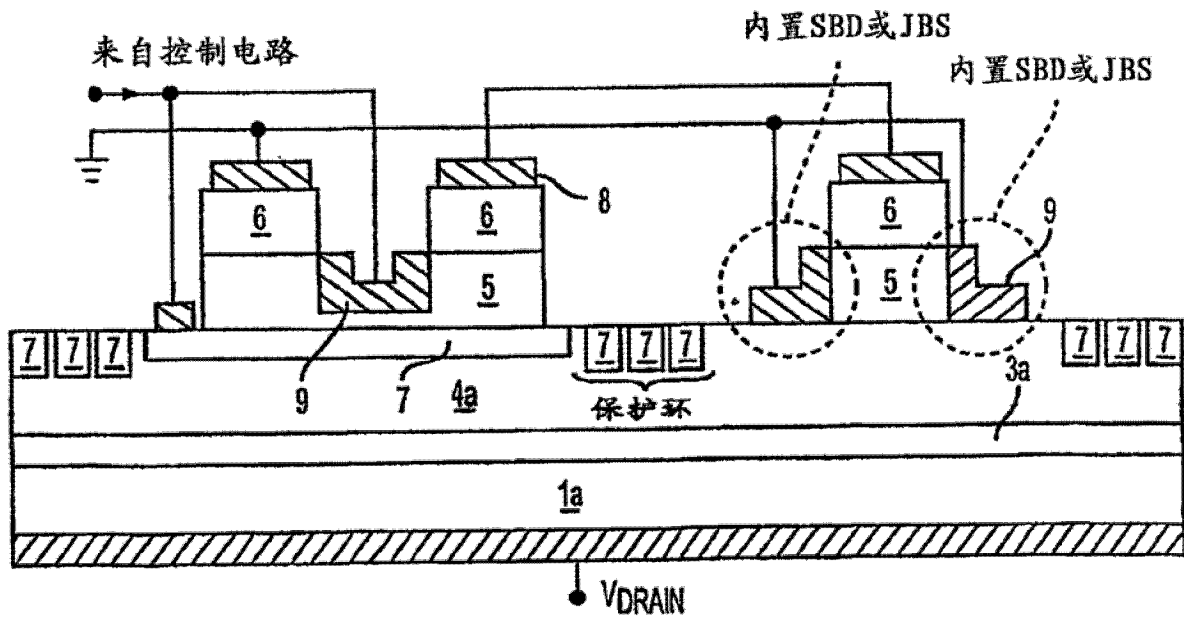


图 17

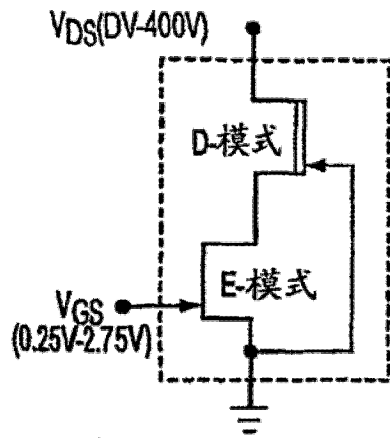


图 18A

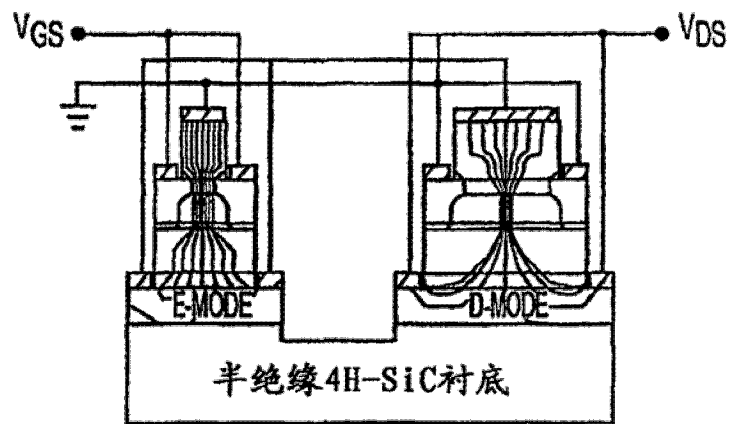


图 18B

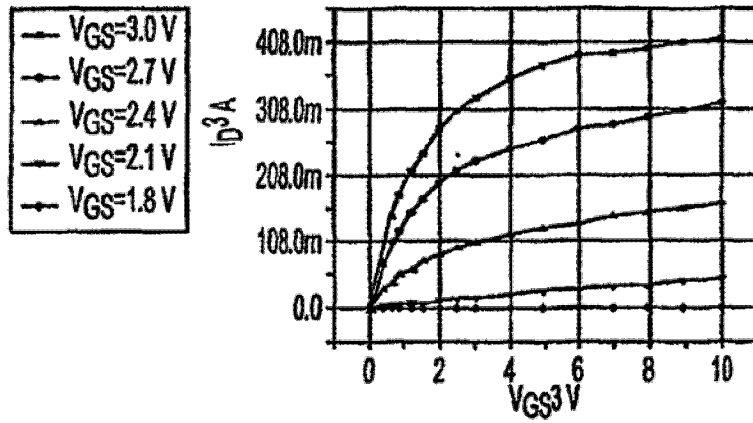


图 18C

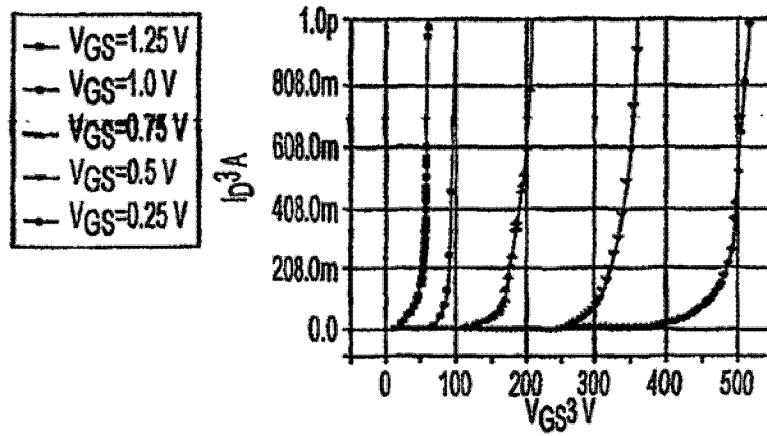


图 18D

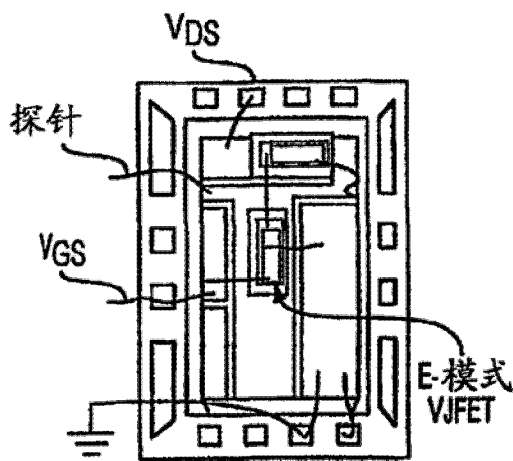


图 19A

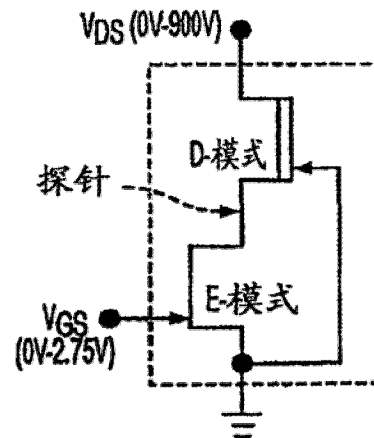


图 19B

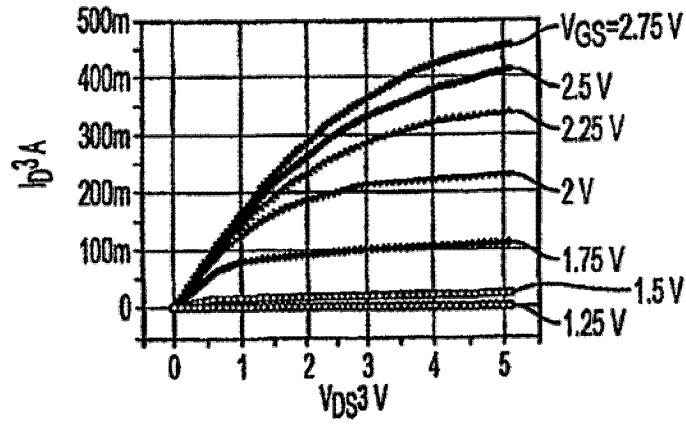


图 19C

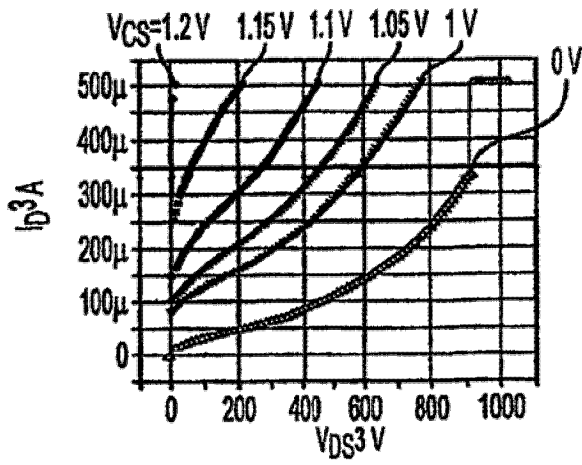


图 19D

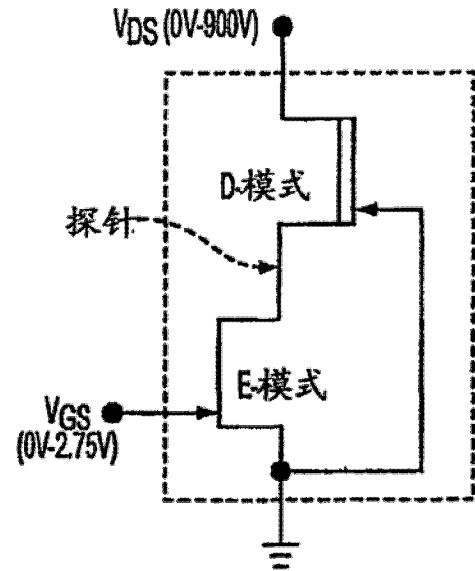


图 20A

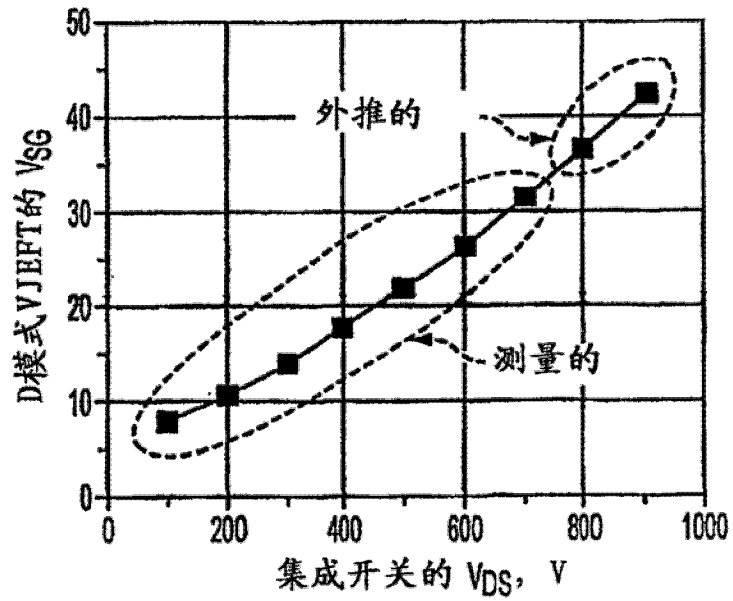


图 20B

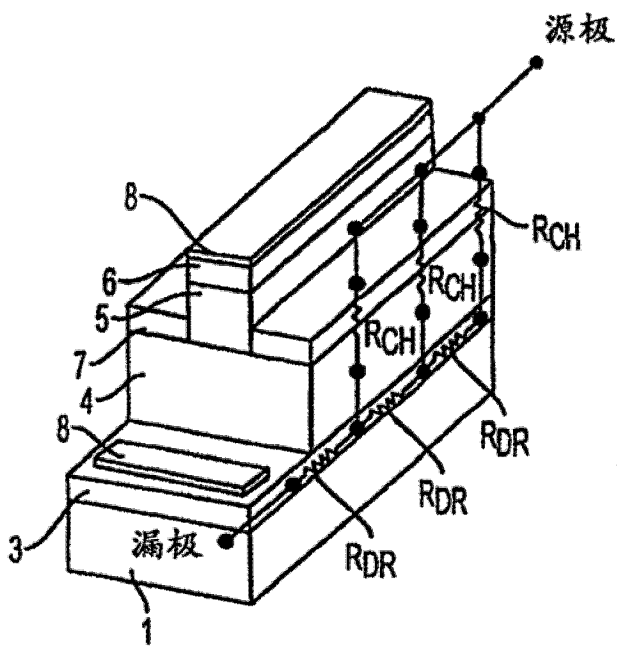


图 21A

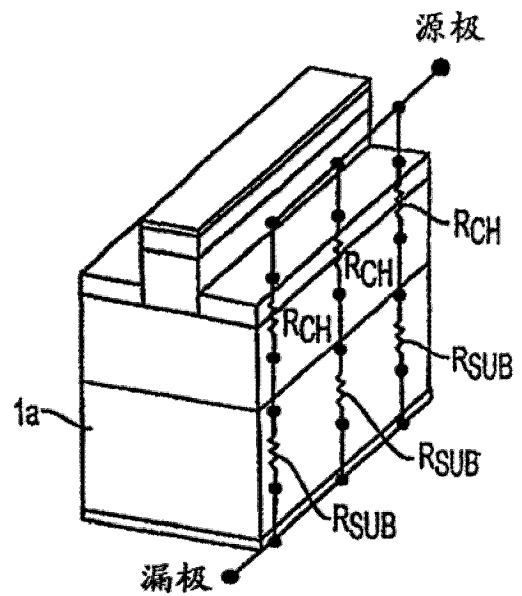


图 21B

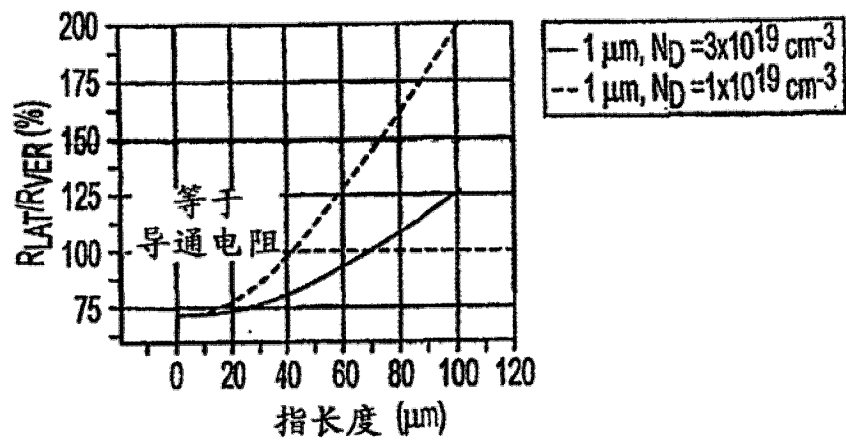


图 21C

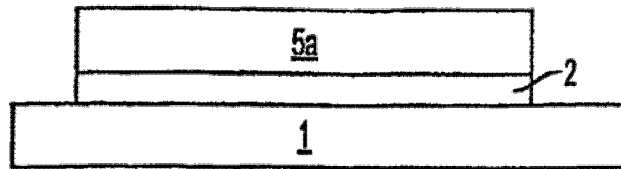


图 22A

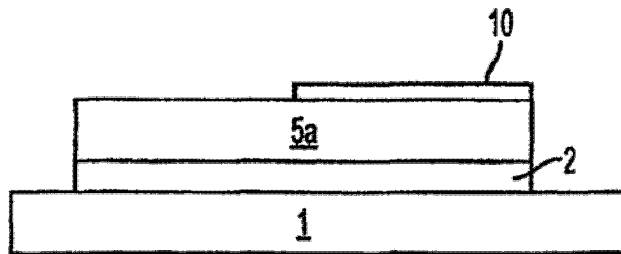


图 22B



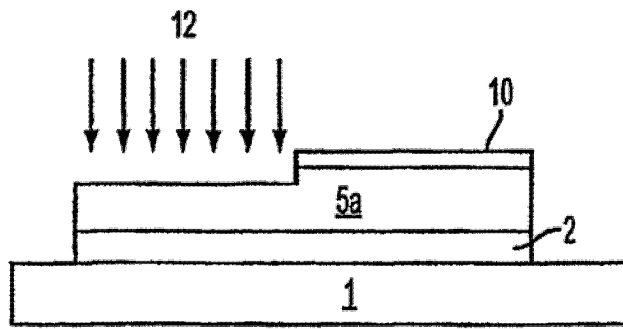


图 22C

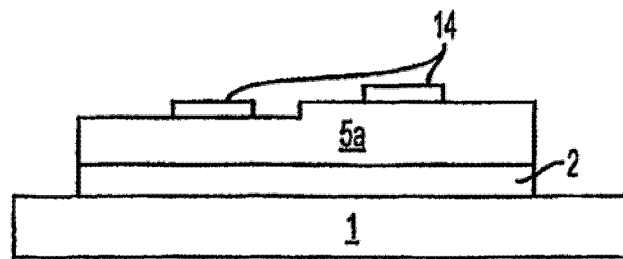


图 22D

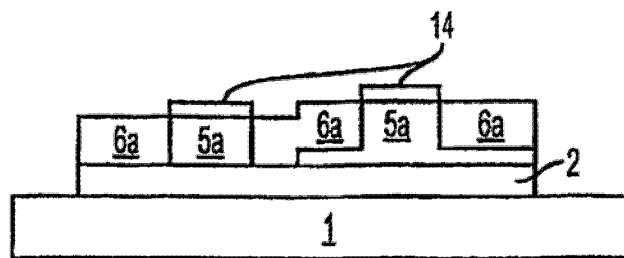


图 22E

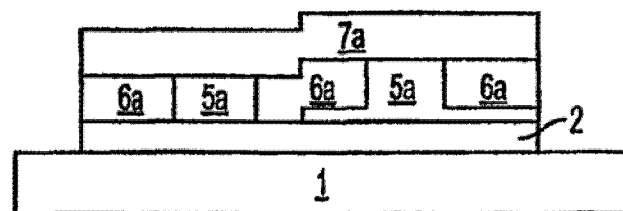


图 22F

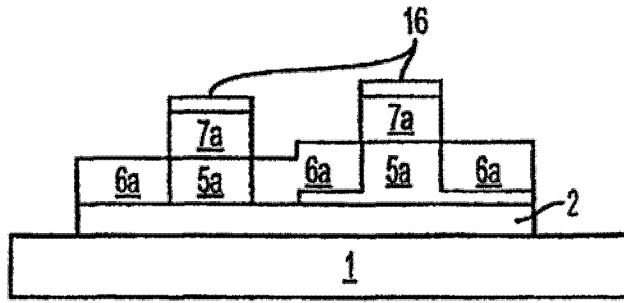


图 22G

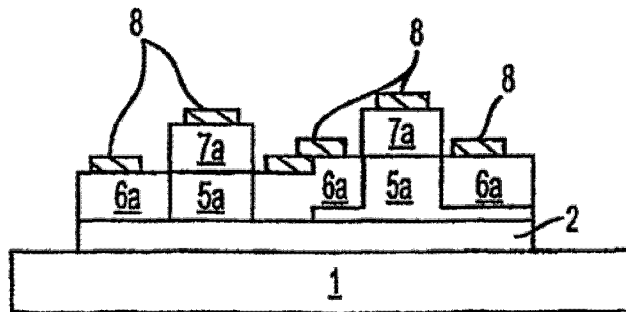


图 22H

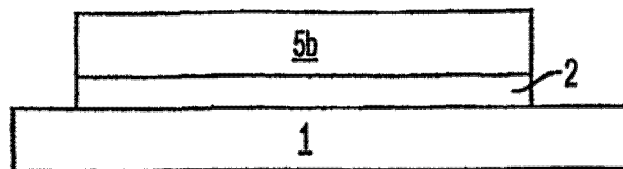


图 23A

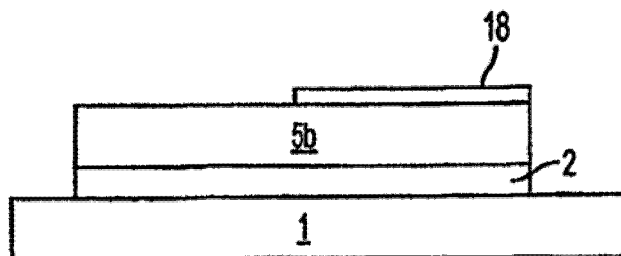


图 23B

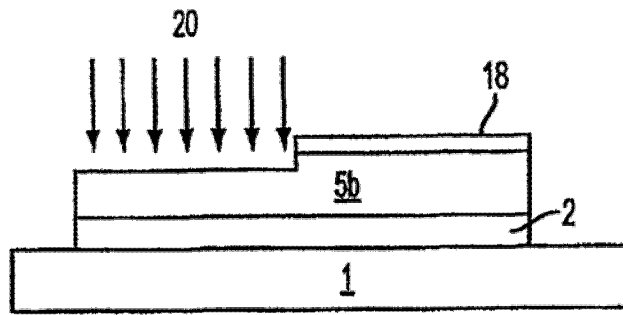


图 23C

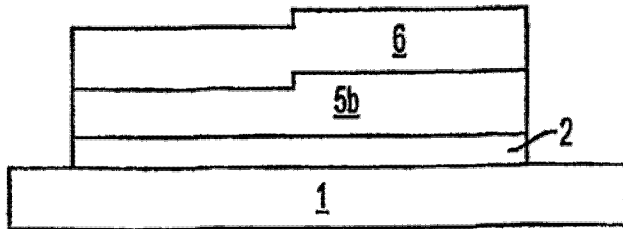


图 23D

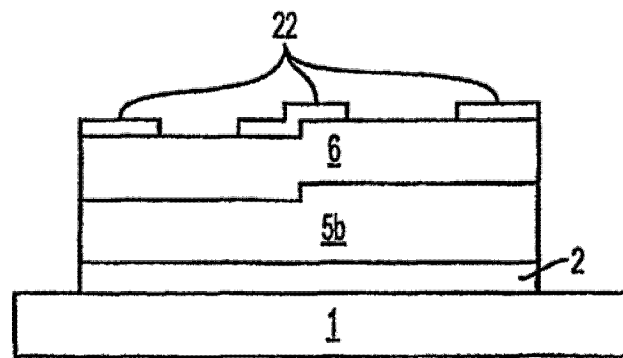


图 23E

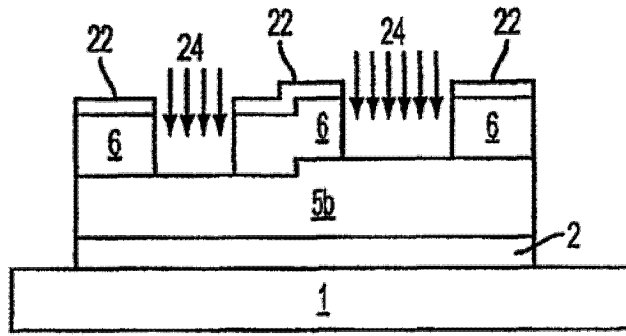


图 23F

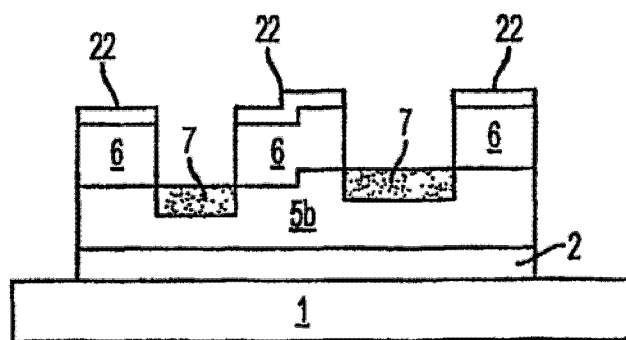


图 23G

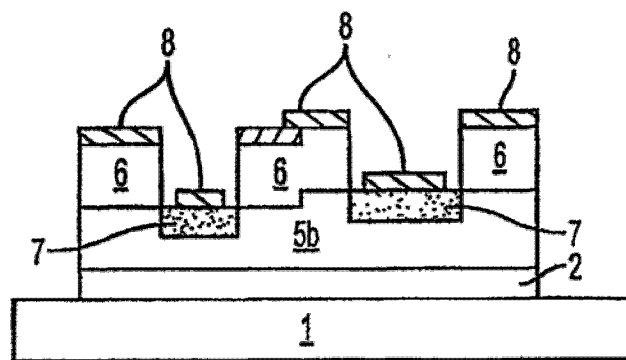


图 23H

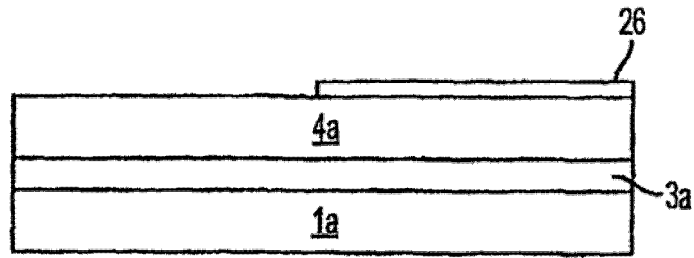


图 24A

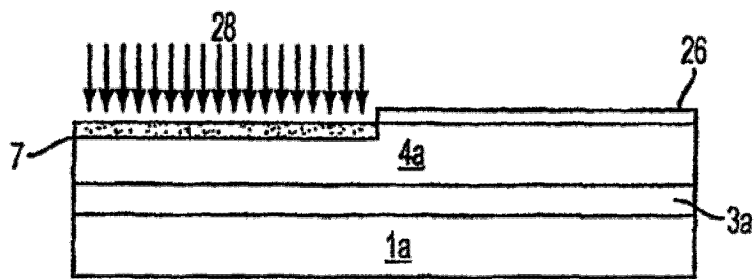


图 24B

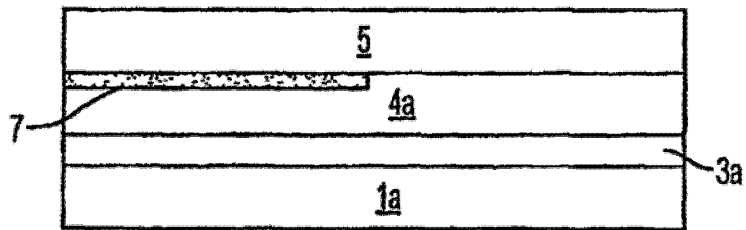


图 24C

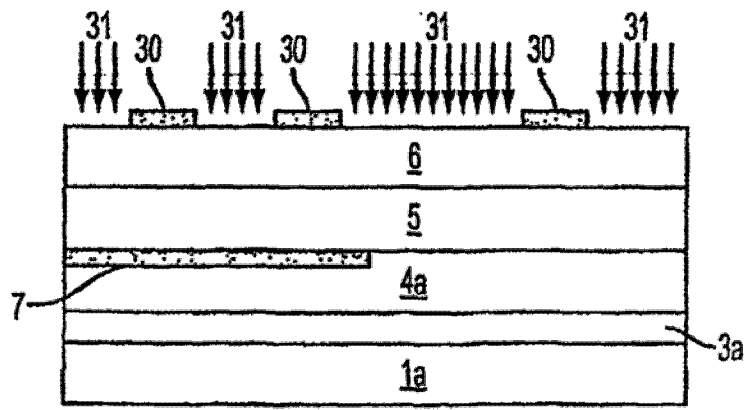


图 24D

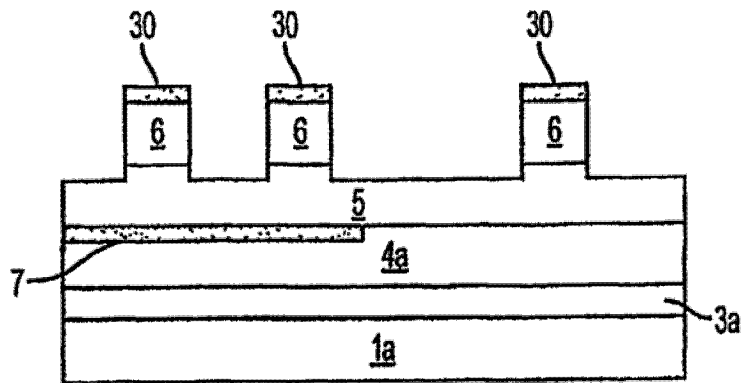


图 24E

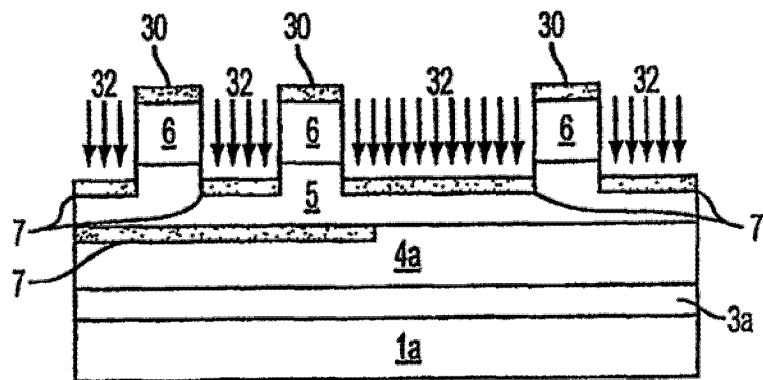


图 24F

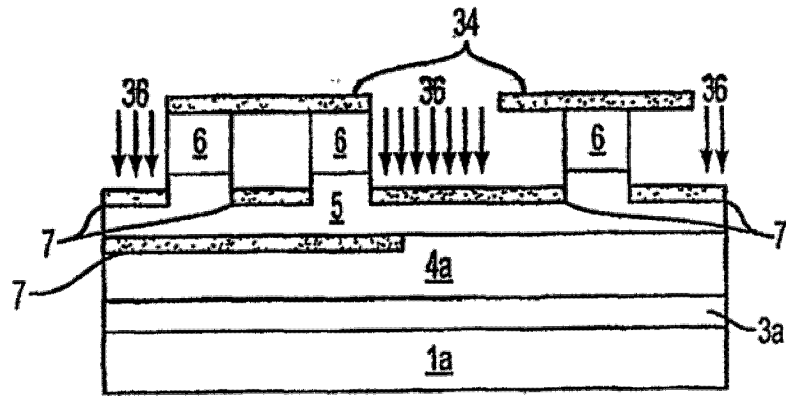


图 24G

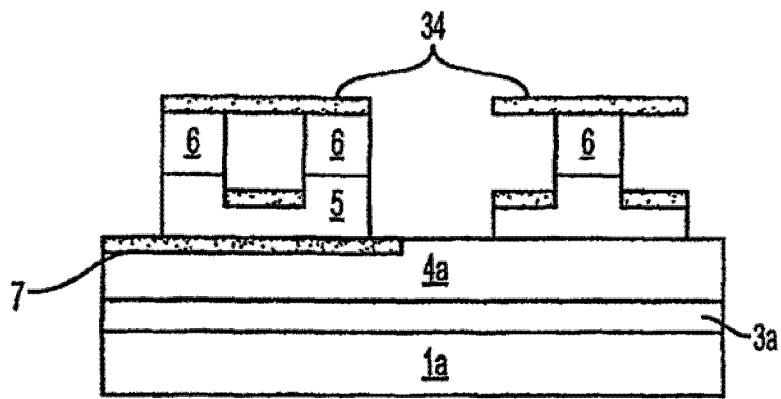


图 24H

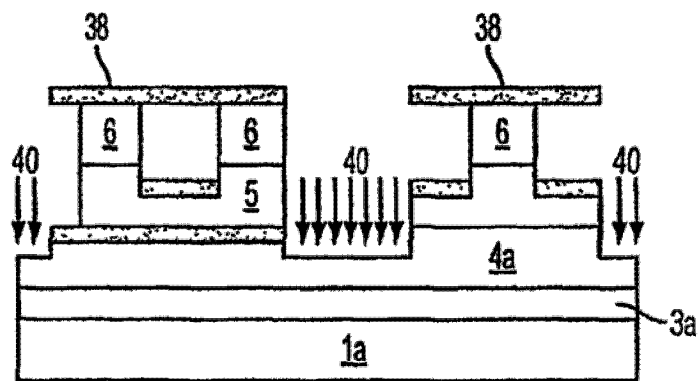


图 24I

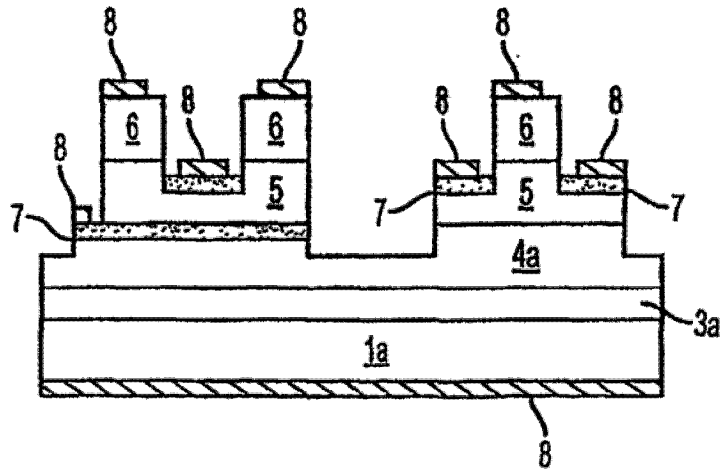


图 24J

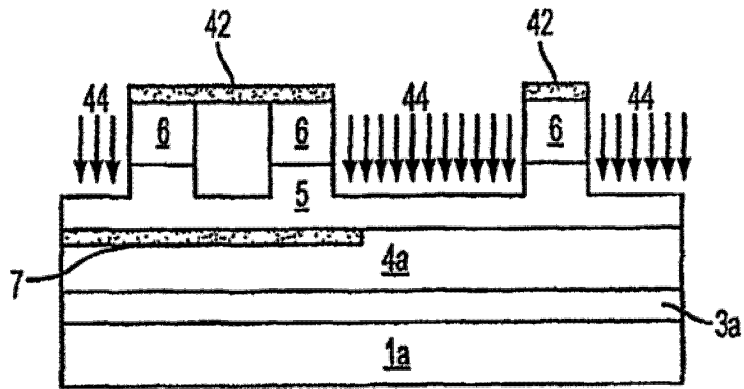


图 25A

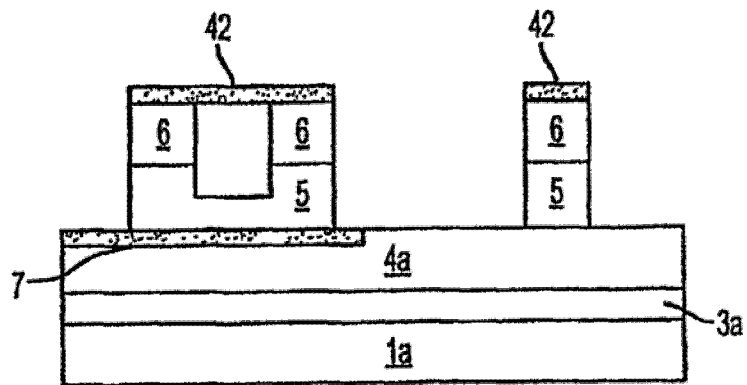


图 25B



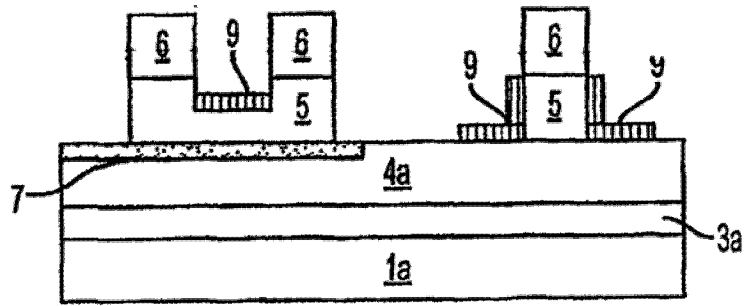


图 25C

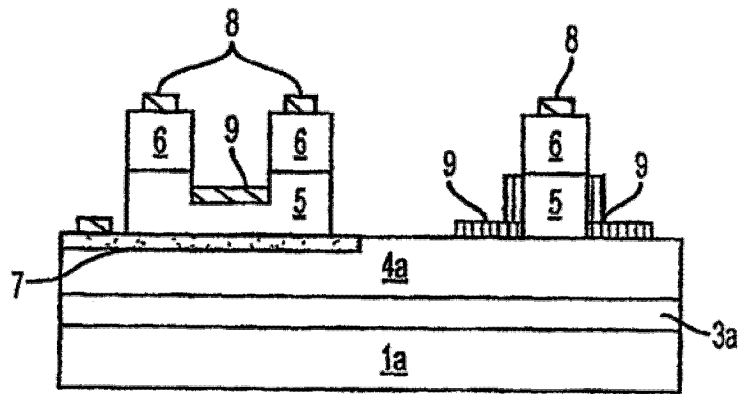


图 25D