



(12) 发明专利

(10) 授权公告号 CN 112602031 B

(45) 授权公告日 2024.05.17

(21) 申请号 201980055744.4

(22) 申请日 2019.06.24

(65) 同一申请的已公布的文献号
申请公布号 CN 112602031 A

(43) 申请公布日 2021.04.02

(30) 优先权数据
1810478.6 2018.06.26 GB

(85) PCT国际申请进入国家阶段日
2021.02.24

(86) PCT国际申请的申请数据
PCT/EP2019/066709 2019.06.24

(87) PCT国际申请的公布数据
W02020/002259 EN 2020.01.02

(73) 专利权人 北欧半导体公司
地址 挪威特隆赫姆

(72) 发明人 基莫·普萨里

(74) 专利代理机构 北京清亦华知识产权代理事务所(普通合伙) 11201
专利代理师 张润

(51) Int.Cl.
G06F 1/14 (2006.01)
G06F 1/329 (2006.01)
H04N 21/242 (2006.01)

(56) 对比文件
CN 104346253 A, 2015.02.11
CN 107851081 A, 2018.03.27
CN 1550070 A, 2004.11.24
EP 1239620 A2, 2002.09.11
US 2005149774 A1, 2005.07.07
US 2008072097 A1, 2008.03.20
US 2014245058 A1, 2014.08.28
US 2018004244 A1, 2018.01.04
WO 0190865 A1, 2001.11.29

审查员 叶璇

权利要求书2页 说明书5页 附图2页

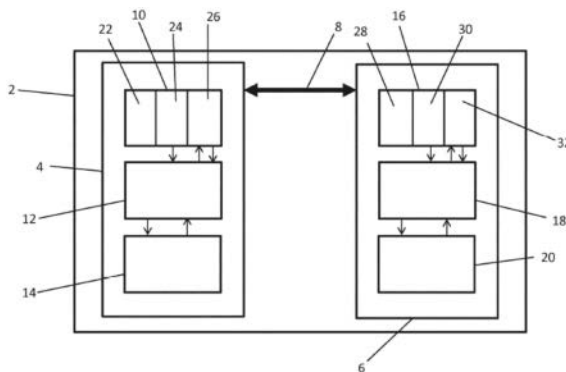
(54) 发明名称

系统间的精确定时

(57) 摘要

集成电路系统(2)包含第一处理模块4和第二处理模块6。所述第一处理模块(4)包含第一处理器(12)、第一时钟(10)和第一存储器(14);所述第二处理模块(6)包含第二处理器(18)、第二时钟(16)和第二存储器(20)。所述第一处理模块(4)向所述第二处理模块(6)发送时间标记信号,并且将所述第一时钟(10)的第一值存储到所述第一存储器(14),所述信号在所述第一时钟处发送。所述第二处理模块(6)将所述第二时钟(16)的第二值存储到所述第二存储器(20),所述信号在所述第二时钟处接收。所述第一处理模块(4)向所述第二处理模块(6)发送命令,其中所述命令包括任务相对于所述第一值的执行时间。所述第二处理模块(6)确定相对于所述第二值的所述任务的所述执行时间,并且在所述执行时间执行

所述任务。



1. 一种集成电路系统,其包含第一处理模块和第二处理模块,其中:
所述第一处理模块包含第一处理器、第一时钟和第一存储器;以及
所述第二处理模块包含第二处理器、第二时钟和第二存储器;
其中所述第一处理模块被配置成:
将时间标记信号发送到所述第二处理模块;以及
将所述第一时钟的第一值存储到所述第一存储器,所述时间标记信号在所述第一时钟处发送;
其中所述第二处理模块被配置成:
接收来自所述第一处理模块的所述时间标记信号;
将所述第二时钟的第二值存储到所述第二存储器,所述时间标记信号在所述第二时钟处接收;
其中所述第一处理模块被进一步配置成
向所述第二处理模块发送命令,其中所述命令包括相对于所述第一值的任务的执行时间;
其中所述第二处理模块被配置成确定相对于所述第二值的所述任务的所述执行时间,并且在所述执行时间执行所述任务。
2. 根据权利要求1所述的集成电路系统,其中所述第一时钟和所述第二时钟具有不同的位数。
3. 根据权利要求2所述的集成电路系统,其中所述第二时钟包含比所述第一时钟少的位数。
4. 根据前述权利要求中的任一项所述的集成电路系统,其中从所述第一处理模块发送到所述第二处理模块的所述时间标记信号没有时间戳。
5. 根据前述权利要求中的任一项所述的集成电路系统,其中所述第一处理模块被配置成通过计算所述第一时钟的所述第一值和所述任务的期望执行时间之间的差来计算相对于所述第一值的所述执行时间。
6. 根据前述权利要求中的任一项所述的集成电路系统,其中所述第一处理模块进一步被配置成向所述第二处理模块发送一个或多个另外的命令,其中所述另外的命令包含相对于所述第一值的另外的任务的执行时间,并且所述第二处理模块被配置成确定相对于所述第二值的所述另外的任务中的每一个的相应的执行时间,并且在所述相应的执行时间执行所述任务。
7. 根据前述权利要求中的任一项所述的集成电路系统,其中所述第一处理模块被配置成向所述第二处理模块发送至少一个另外的时间标记信号以使所述第一处理模块和所述第二处理模块重新同步。
8. 根据权利要求1至6中的任一项所述的集成电路系统,其中所述第一处理模块被配置成以固定频率发送多个另外的时间标记信号。
9. 根据权利要求1至6中的任一项所述的集成电路系统,其中所述第一处理模块被配置成以基于检测到的所述第一处理模块和所述第二处理模块之间的同步水平来动态调整的频率发送多个另外的时间标记信号。
10. 根据前述权利要求中的任一项所述的集成电路系统,其进一步被配置成检测所述

第一处理模块和所述第二处理模块之间的同步水平,并且使用所述检测到的同步水平来校正任务执行的定时。

11.根据权利要求10所述的集成电路系统,其中所述第一处理模块被配置成通过调整发送到所述第二处理模块的所述执行时间来补偿检测到的同步水平。

12.根据前述权利要求中的任一项所述的集成电路系统,其中所述第一处理模块和所述第二处理模块包含单个中央处理单元(CPU)的第一核心和第二核心。

13.一种使用第一处理模块和第二处理模块执行任务的方法,所述第一处理模块包含第一处理器、第一时钟和第一存储器,并且所述第二处理模块包含第二处理器、第二时钟和第二存储器;

其中所述方法包含:

所述第一处理模块向所述第二处理模块发送时间标记信号;

所述第一处理模块将所述第一时钟的第一值存储到所述第一存储器,所述时间标记信号在所述第一时钟处发送;

所述第二处理模块接收来自所述第一处理模块的所述时间标记信号;

所述第二处理模块将所述第二时钟的第二值存储到所述第二存储器,所述时间标记信号在所述第二时钟处接收;

所述第一处理模块随后向所述第二处理模块发送命令,其中所述命令包括相对于所述第一值的任务的执行时间;以及

所述第二处理模块确定相对于所述第二值的所述任务的所述执行时间,并且在所述执行时间执行所述任务。

系统间的精确定时

[0001] 本发明涉及电路系统内时钟的同步。

[0002] 集成电路系统通常包含几个组件模块,每个组件模块具有它们自己的独立的时钟(例如调制解调器和RF基带处理器)。这些时钟可以在不同的时间开始,或者可以具有不同的位数,使得难以在不同的组件之间调度任务。

[0003] 此外,时钟通常以稍微不同于其标称值的实际频率操作(例如,由于温度波动或制造变化),从而导致一个或多个假定应同步的时钟相对于彼此漂移。这可能导致定时误差,并且再次增加了在不同组件之间调度任务的难度。

[0004] 为了减轻这些问题,系统内的不同时钟可以被同步。IEEE 1588标准定义了精确时间协议(PTP),所述精确时间协议提出了一种方法,网络上的时钟可以通过所述方法被精确地同步。PTP涉及“主”时钟(通常是最高质量的时钟),网络中的所有其它“从属”时钟与之同步。

[0005] 然而,为了实现时钟同步,PTP需要主时钟和从属时钟之间的双向通信,从而需要额外的硬件并且增加了功耗。PTP的现有的替代方案需要定制硬件支持和/或减少组件时钟的功能性或独立性。本发明提出了一种可替代的方法。

[0006] 根据第一方面,本发明提供了一种集成电路系统,其包含第一处理模块和第二处理模块,其中:

[0007] 所述第一处理模块包含第一处理器、第一时钟和第一存储器;以及

[0008] 所述第二处理模块包含第二处理器、第二时钟和第二存储器;

[0009] 其中所述第一处理模块被配置成:

[0010] 将时间标记信号发送到所述第二处理模块;以及

[0011] 将所述第一时钟的第一值存储到所述第一存储器,所述时间标记信号在所述第一时钟处发送;

[0012] 其中所述第二处理模块被配置成:

[0013] 接收来自所述第一处理模块的所述时间标记信号;

[0014] 将所述第二时钟的第二值存储到所述第二存储器,所述时间标记信号在所述第二时钟处接收;

[0015] 其中所述第一处理模块被进一步配置成

[0016] 向所述第二处理模块发送命令,其中所述命令包括相对于所述第一值的任务的执行时间;

[0017] 其中所述第二处理模块被配置成确定相对于所述第二值的所述任务的所述执行时间,并且在所述执行时间执行所述任务。

[0018] 因此,本领域技术人员应当理解,根据本发明,仅使用从第一处理模块到第二处理模块的单向通信就可以实现精确的任务调度。仅使用单向通信来同步第一处理模块和第二处理模块降低了功耗,减少了所需的数据线数量和/或总线容量,并且可以使用比使用双向通信的传统同步所需的硬件更简单的硬件来实现。另外,因为第二处理模块被配置成将所述第二时钟的第二值存储到所述第二存储器,所述时间标记信号在所述第二时钟处接收,

所以不需要在每次同步时重新加载第二时钟,从而降低了设计的复杂性。

[0019] 第一时钟和第二时钟可以具有不同的位数,在这种情况下,它们在给定的时间点可以不必具有相同的值。虽然通常这将使正确调度任务执行的尝试复杂化,但是本发明不依赖于第一时钟和第二时钟的绝对值,而是可以独立于这些值来操作。这使得第一处理模块和第二处理模块能够被同步而不管位大小的差异。第二时钟可以包含比第一时钟更少的位数(例如一半的位数)。

[0020] 类似地,第一时钟和第二时钟可以在不同时间启动(或复位),这可能是引起第一时钟和第二时钟在给定时间点可能不具有相同值的另一个原因。例如,第一处理模块和第二处理模块可以不总是都被供电(例如,由于第二处理模块在某些时间被断电以节省电力)。然而,如上所述,因为本发明不依赖于第一时钟和第二时钟的绝对值,所以即使时钟开始或复位时间不同,也能使第一处理模块和第二处理模块同步。因此,第一处理模块和/或第二处理模块可以在某些时间被通电或断电以节省电力,而不影响集成电路系统精确调度任务的能力。

[0021] 以前,当需要高度同步和/或精确定时的时候,通常提供可以由每个处理模块用来调度和执行任务的共享时钟。然而,申请人已经认识到,在某些情况下,提供共享时钟是不可行的或是不利的。例如,为每个模块提供其自己的时钟使得能够在系统中提供多个模块,而不需要单独的主时钟,减少了零件计数并且使得单独地测试每个模块更容易。此外,具有其自己的时钟的每个模块可以减少必须在第一处理模块和第二处理模块之间发送的信息量(例如减少总线通信量)。本发明可以在不需要共享时钟的情况下提供期望的精度。

[0022] 根据精确时间协议(PTP),主时钟向从属时钟发送带有时间戳的消息。本发明可以消除在处理模块之间发送时间戳的需要,减少实现同步所需的带宽和电力。从第一处理模块发送到第二处理模块的时间标记信号可以包含简单的无时间戳的信号,减少了数据带宽和电力要求。

[0023] 第一处理模块和第二处理模块可以经由总线通信。

[0024] 在优选的实施例中,第一处理模块通过计算第一时钟的第一值和任务的期望执行时间之间的差来计算相对于第一值的执行时间。期望执行时间可以由第一处理模块生成(即,第一处理模块可以调度任务),或者可以从集成电路系统(例如,用户输入模块)的另一组件传递给它,或者实际上从外部源传递。在此类实施例中,可以降低所需的第二模块处理能力,因为第一处理模块处理处理器密集型调度责任,而第二处理模块可能只需要执行简单的加法功能来实现同步。

[0025] 第一时钟和/或第二时钟可能经历不同水平的定时漂移。在一些实施例中,漂移小(即,可忽略),因此第一处理模块和第二处理模块的同步可以在长时段内有效(即,由第二处理模块计算的相对于给定时间标记信号执行时间可以在长时段内保持精确)。在此类实施例中,第一处理模块可以进一步被配置成向第二处理模块发送一个或多个(例如几个)另外的命令,其中所述另外的命令包含相对于第一值的另外的任务的执行时间,并且第二处理模块可以被配置成确定相对于第二值的另外的任务中的每一个的相应的执行时间,并且在所述相应的执行时间执行所述任务。

[0026] 如果第一时钟和/或第二时钟经历的频率漂移较高,则随着时间的推移,第一处理模块和第二处理模块的同步可能变得不太精确(即,由第二处理模块计算的相对于给定时间

间标记信号的执行时间可能不再精确)。在此类实施例中,第一处理模块可以被配置成向第二处理模块发送另外的时间标记信号,以使第一处理模块和第二处理模块重新同步。

[0027] 发送另外的时间标记信号的频率可以是固定的(例如,信号之间的固定时间或固定数量的任务命令),或者可以基于检测到的第一处理模块和第二处理模块之间的同步水平来动态调整。例如,每当同步下降到阈值精度以下时,可以发送时间标记信号。第一处理模块或第二处理模块之间的同步水平可以由第一处理模块或第二处理模块中的任一个或由专用于监视所执行的任务的定时的另一模块来检测。例如,第一处理模块可以监视总线以检测任务在特定时间的执行,并将其与调度所述任务发生的时间进行比较以检测第一处理模块或第二处理模块之间的同步水平。

[0028] 在一些实施例中,检测到的第一处理模块和第二处理模块之间的同步水平可以被用于校正任务执行的定时,而不需要通过发送另外的时间标记信号来重新同步。在一些实施例中,第一处理模块可以被配置成通过相应地调整发送到第二处理模块的执行时间来补偿检测到的同步水平。例如,第一处理模块可以检测到第二处理模块已经提前1ms执行了任务。然后,第一处理模块可以通过调整后续命令来补偿这个定时误差,使得相对于第一值的任务的执行时间比其它情况晚1ms。然后,第二处理模块继续在它认为是稍后的时间但实际上是根据第一处理模块的正确时间的执行这个任务。应当理解,这个方法同样适用于第二处理模块的定时在另一方向上不正确的情况(即任务被延后执行)。

[0029] 避免另外的时间标记信号或降低另外的时间标记信号的频率降低了电力使用和所需带宽。

[0030] 因为第二处理模块存储第二值,而不是仅重置第二时钟(即,将其设置为零),所以不影响由第二处理模块执行/使用第二处理模块的内部和/或其它调度操作。

[0031] 可以看出,根据本发明,第一处理模块作为主模块,第二处理模块作为从属模块。在一些实施例中,第一时钟具有比第二时钟更高的质量,使得其不太可能随时间漂移。在此类情况下,因为任务调度由第一处理模块执行(然后被传输到第二处理模块),所以使用更精确的时钟导致整个集成电路系统的更精确的操作。然而,应当理解,即使在时钟具有基本上相等的质量的实施例中或者即使当第一时钟具有比第二时钟低的质量时,本发明也是有益的。

[0032] 申请人已经意识到,在本发明的一些实施例中,可能存在被引入到在第一处理模块和第二处理模块之间发送的时间标记信号的不可忽略的传播延迟。因此,在一些实施例中,第二处理模块被配置成通过响应于时间标记信号调整存储到第二存储器的第二时钟的第二值来补偿这个传播延迟。例如,第二处理模块可以被配置成在第二值被存储时从第二值取走恒定的预期传播时间,从而确保在正确的时间执行未来的任务。

[0033] 第一处理模块和第二处理模块可以包含单个中央处理单元(CPU)的第一核和第二核。

[0034] 本发明延伸到使用第一处理模块和第二处理模块执行任务的方法,所述第一处理模块包含第一处理器、第一时钟和第一存储器,并且所述第二处理模块包含第二处理器、第二时钟和第二存储器;

[0035] 其中所述方法包含:

[0036] 所述第一处理模块向所述第二处理模块发送时间标记信号;

[0037] 所述第一处理模块将所述第一时钟的第一值存储到所述第一存储器,所述时间标记信号在所述第一时钟处发送;

[0038] 所述第二处理模块接收来自所述第一处理模块的所述时间标记信号;

[0039] 所述第二处理模块将所述第二时钟的第二值存储到所述第二存储器,所述时间标记信号在所述第二时钟处接收;

[0040] 所述第一处理模块随后向所述第二处理模块发送命令,其中所述命令包括相对于所述第一值的任务的执行时间;以及

[0041] 所述第二处理模块确定相对于所述第二值的所述任务的所述执行时间,并且在所述执行时间执行所述任务。

[0042] 所述方法可以包含根据上述列出的任何优选的装置特征的另外的步骤。

[0043] 若适当,在此描述的任何实施例的特征可以应用于在此描述的任何其它实施例。在参考不同实施例或实施例组的情况下,应当理解这些实施例不一定是不同的,而是可以重叠。

[0044] 现在将参考附图仅以实例的方式描述本发明的某些优选的实施例,其中:

[0045] 图1是根据本发明实施例的芯片上系统(SoC)的示意图;

[0046] 图2是绘示出图1中的芯片上系统的操作的时序图。

[0047] 图1展示了包含经由通信总线8连接的调制解调器4和射频(RF)模块6的芯片上系统(SoC)2。调制解调器4包含第一时钟10、第一处理器12和第一存储器14。RF模块6包含第二时钟16、第二处理器18和第二存储器20。调制解调器4和RF模块6还包含附加组件,但为了清楚起见,这些组件在图1中被省略。

[0048] 第一时钟10包含第一计时器22、第一计数器24和比较寄存器26。第一计数器24对于计时器22的每个滴答递增一。第二时钟16包含第二计时器28、第二计数器30和第二比较寄存器32。例如,第二计数器24对于第二计时器28的每个滴答递增一。第一计数器24包含64位计数器并且第二计数器30包含32位计数器。在这个实施例中,第一计时器22和第二计时器28以相同的频率工作,然而这不是必需的。因为第一计数器24和第二计数器30具有不同的大小,所以即使它们同时启动,它们也不必在给定的时间点具有相同的值。

[0049] 现在将参考图2所展示的时序图更详细地描述上述SoC 2的操作。

[0050] 在初始时间 t_1 ,第一处理器12将时间 $t_{a,0}$ 编程到第一时钟10的比较寄存器26中,对应于在稍后的实际时间 t_{i1} 的第一计数器24的值。时间 $t_{a,0}$ 也被存储到第一存储器14。

[0051] 在时间 t_{i1} ,第一时钟10的第一计数器24的值为 $t_{a,0}$,并且第二时钟16的第二计数器30的值为 $t_{b,0}$ 。比较寄存器26被触发,并且时间标记信号m通过总线8被发送到RF模块6。时间标记信号m使第二时钟16将第二计数器30的当前值 $t_{b,0}$ 保存到第二存储器20。

[0052] 作为SoC 2正在进行的操作的一部分,当第一计数器24处于值 $t_{a,1}$ 时,第一任务(例如第一分组的传输)需要由RF模块6在时间 t_{iv} 执行。为了正确地调度这个任务,第一处理器12在 t_{iv} 之前的时间 t_{iii} 计算这个执行时间 $t_{a,1}$ 和对应于时间 t_{ii} 、 $t_{a,0}$ 的时间之间的差:

$$[0053] \quad t_1 = t_{a,1} - t_{a,0}$$

[0054] 然后第一处理器12通过总线8向RF模块6发送包括这个相对时间 t_1 的命令。这个命令可以进一步包括与第一任务有关的信息(例如控制序列标识符或包括相关控制序列的显式指令),尽管这不是必需的。

[0055] 第二处理器18在接收到这个命令时计算第二计数器30的值,所述值对应于需要执行第一任务的时间 $t_{b,1}$:

$$[0056] \quad t_{b,1} = t_{b,0} + t_1$$

[0057] 这个值 $t_{b,1}$ 被存储到第二比较寄存器32,使第二时钟16在执行时间触发。在 t_{iv} ,当第二计数器30达到 $t_{b,1}$ 时,第二处理器18由第二时钟16触发并且在正确的时间执行第一任务(例如,通过将对应的控制序列写入硬件)。

[0058] 通过使用相对于时间标记信号m的时间,RF模块6不需要知道实际调度时间 t_{iv} ,只需要执行简单的算术运算就可以成功地调度并且执行第一任务。此外,只需要从调制解调器4到RF模块6的单向通信。

[0059] 随着SoC 2的操作继续,第二任务(例如第二分组的传输)需要由第二处理器18在时间 t_{vi} 执行,此时第一时钟10处于值 $t_{a,2}$ 。因此,在 t_{vi} 之前的短时间,在时间 t_v ,第一处理器12计算这个执行时间 $t_{a,2}$ 和对应于时间 t_{ii} 、 $t_{a,0}$ 的时间之间的差:

$$[0060] \quad t_2 = t_{a,2} - t_{a,0}$$

[0061] 当调度第一任务时,第一处理器12然后通过总线8向RF模块6发送包含这个相对时间 t_2 的命令。第二处理器16在接收到这个命令时计算第二计数器30的值 $t_{b,2}$,所述值 $t_{b,2}$ 对应于需要执行第一任务的时间 t_v :

$$[0062] \quad t_{b,2} = t_{b,0} + t_2$$

[0063] 这个值 $t_{b,2}$ 被存储到第二比较寄存器32,使第二时钟16在执行时触发。当第二计数器30达到 $t_{b,2}$ 时,第二处理器18由第二时钟16触发并且执行第二任务。

[0064] 尽管未在图2中展示出,但是可以根据需要继续调度和执行另外的任务。稍后,可能必须要重新同步调制解调器4和RF模块6。这可以通过重复上述时间标记程序来实现。

[0065] 本领域技术人员应当理解,通过描述本发明的一个或多个特定实施例说明了本发明,但本发明不限于这些实施例。在所附权利要求的范围内,许多变化和修改是可能的。

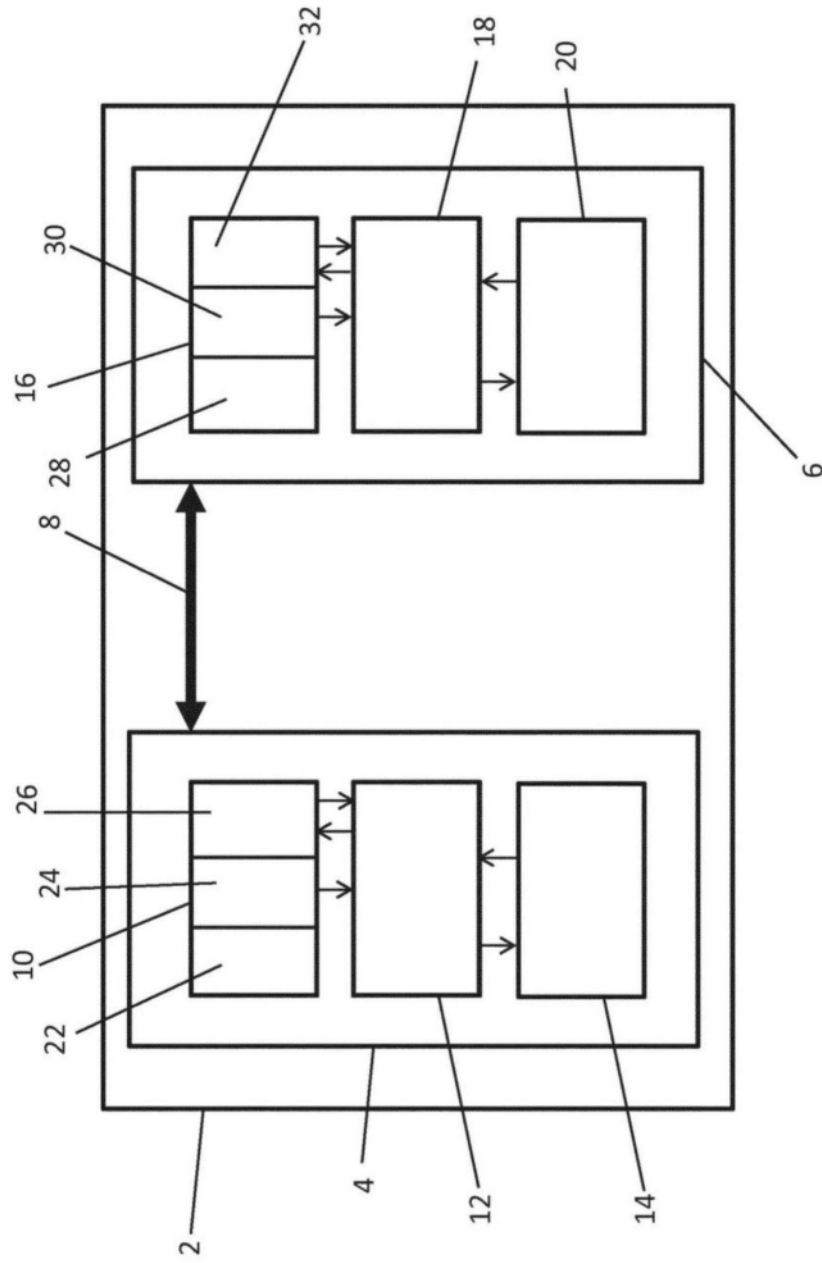


图1

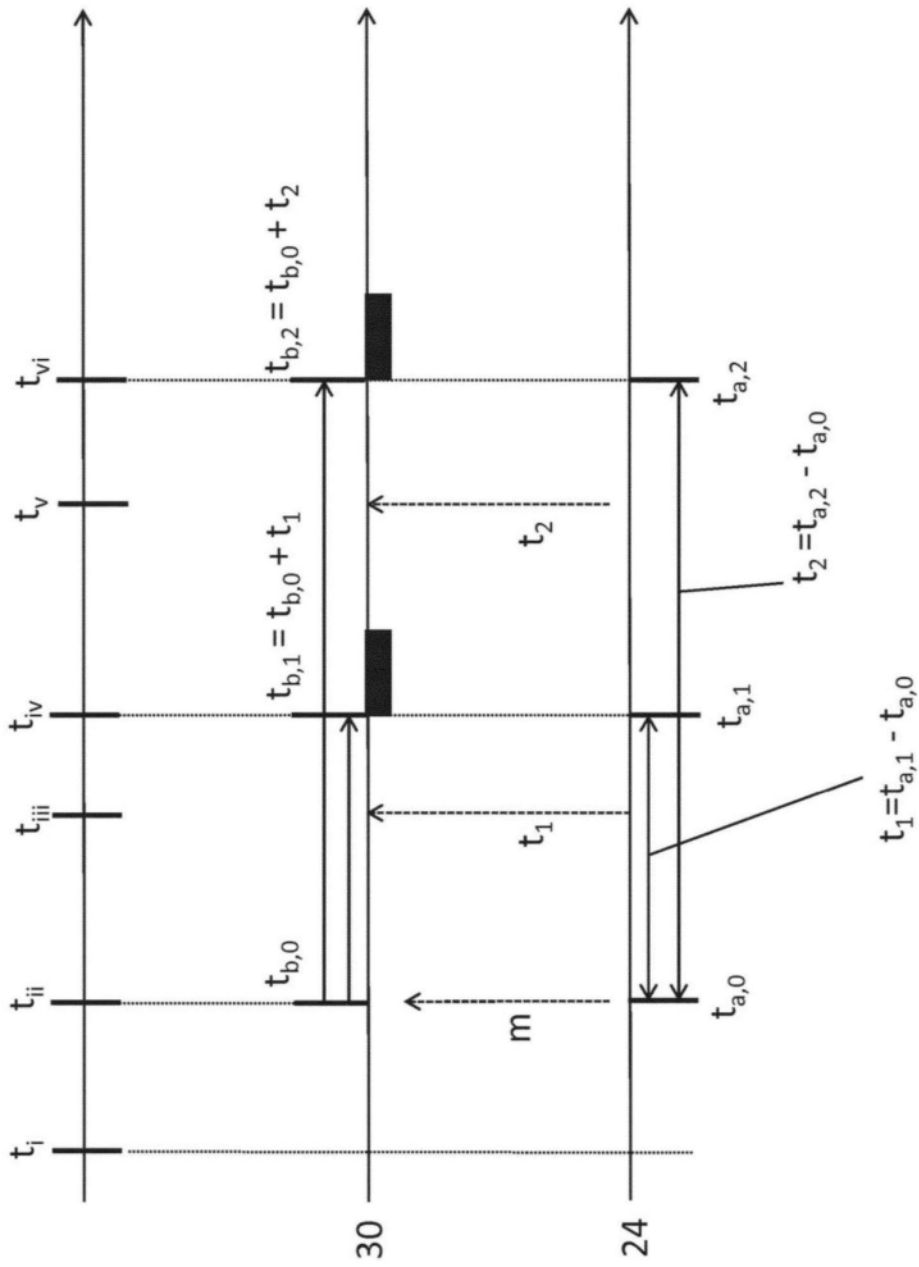


图2