



(12) 发明专利

(10) 授权公告号 CN 116682734 B

(45) 授权公告日 2023.10.13

(21) 申请号 202310934320.3

H01L 21/265 (2006.01)

(22) 申请日 2023.07.28

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 116682734 A

(43) 申请公布日 2023.09.01

(73) 专利权人 江西萨瑞半导体技术有限公司

地址 330000 江西省南昌市临空经济区
乐湖大街955号临瑞青年公寓1号楼8
楼811室

(72) 发明人 丁振峰 兰立新

(74) 专利代理机构 南昌旭瑞知识产权代理事务
所(普通合伙) 36150

专利代理师 刘红伟

(56) 对比文件

CN 102148163 A, 2011.08.10

CN 105632931 A, 2016.06.01

CN 101853852 A, 2010.10.06

CN 102184945 A, 2011.09.14

CN 102549753 A, 2012.07.04

CN 104157688 A, 2014.11.19

CN 109087952 A, 2018.12.25

CN 111682072 A, 2020.09.18

US 2009140327 A1, 2009.06.04

US 2010200912 A1, 2010.08.12

US 2020020798 A1, 2020.01.16

(51) Int. Cl.

H01L 21/336 (2006.01)

审查员 王朝政

权利要求书1页 说明书7页 附图2页

(54) 发明名称

一种Trench MOS器件及其制备方法

(57) 摘要

本发明公开了一种Trench MOS器件及其制备方法,涉及半导体电子器件技术领域,制备方法包括提供一P型外延衬底,刻蚀形成沟槽,在P型外延衬底的表面和沟槽上沉积第一介质层;在沟槽内的第一介质层上生长多晶硅,以将沟槽填满,磨平回刻;在P型外延层上依次进行N型掺杂和P型掺杂,得到阱区和源极;在P型外延层的表面沉积第二介质层,刻蚀阱区,形成凹槽;在凹槽内以第一预设温度、第一预设浓度进行P型离子注入,再进行N型离子注入;在凹槽内沉积金属,本发明能够解决沉积金属之前注入与阱区的掺杂离子为同类型的掺杂,由于工艺波动所引起的通孔深度变化而导致阱区的掺杂下阔,使PN结形成曲率半径较小的凸起,造成BV下降的技术问题。



1. 一种Trench MOS器件的制备方法,其特征在于,所述Trench MOS器件的制备方法包括:

提供一P型外延衬底,并在所述P型外延衬底上刻蚀形成沟槽,在所述P型外延衬底的表面和所述沟槽上沉积预设厚度的第一介质层;

在所述沟槽内的所述第一介质层上生长多晶硅,以将所述沟槽填满,并将所述多晶硅进行磨平回刻;

在所述P型外延衬底于靠近所述沟槽的侧壁的一侧依次进行N型掺杂和P型掺杂,得到阱区和源极,所述源极设于所述阱区之上;

在所述P型外延衬底的表面沉积第二介质层,于靠近所述沟槽的一侧刻蚀所述第二介质层至所述阱区,形成凹槽;

在所述凹槽内以第一预设温度、第一预设浓度进行P型离子注入,待P型离子注入完成后,以第二预设温度、第二预设浓度进行N型离子注入,其中,所述P型离子为硼离子,所述第一预设温度为 800°C - 1100°C ,所述第一预设浓度为 $1 \times 10^{12} \text{cm}^{-3}$ - $1 \times 10^{15} \text{cm}^{-3}$,所述N型离子为砷离子,所述第二预设温度为 700°C - 1100°C ,所述第二预设浓度为 $1 \times 10^{13} \text{cm}^{-3}$ - $1 \times 10^{16} \text{cm}^{-3}$;
待所述N型离子注入完成后,在所述凹槽内沉积金属。

2. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述N型离子和所述P型离子均是通过所述凹槽的底部边缘注入。

3. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述凹槽的深度为 $0.3\mu\text{m}$ - $0.6\mu\text{m}$ 。

4. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述预设厚度为 400\AA - 700\AA 。

5. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述阱区的掺杂剂为磷,所述N型掺杂的温度为 700°C - 1000°C ,所述N型掺杂的浓度为 $1 \times 10^{10} \text{cm}^{-3}$ - $1 \times 10^{14} \text{cm}^{-3}$ 。

6. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述源极的掺杂剂为硼,所述P型掺杂的温度为 800°C - 1100°C ,所述P型掺杂的浓度为 $1 \times 10^{13} \text{cm}^{-3}$ - $1 \times 10^{17} \text{cm}^{-3}$ 。

7. 根据权利要求1所述的Trench MOS器件的制备方法,其特征在于,所述沟槽的深度为 $1\mu\text{m}$ - $1.5\mu\text{m}$ 。

8. 一种Trench MOS器件,其特征在于,所述Trench MOS器件由权利要求1-7任一项所述的Trench MOS器件的制备方法制备得到,所述Trench MOS器件包括:

P型外延衬底;

所述P型外延衬底设有沟槽,所述沟槽内依次设有第一介质层和多晶硅,在所述沟槽和所述P型外延衬底上均设有第二介质层,所述第二介质层上开设有凹槽,所述凹槽的底部边缘依次注有P型离子和N型离子,所述凹槽内填充有金属;

所述沟槽和所述凹槽之间设有源极和阱区,所述源极设于所述阱区之上。

一种Trench MOS器件及其制备方法

技术领域

[0001] 本发明涉及半导体电子器件技术领域,具体涉及一种Trench MOS器件及其制备方法。

背景技术

[0002] Trench MOS器件是一种新型垂直结构器件,是在VDMOS(垂直双扩散金属氧化物半导体场效应晶体管)的基础上发展起来的,和VDMOS相比,Trench MOS具有更低的导通电阻和栅漏电荷密度,因此具有更低的导通和开关损耗和更快的开关速度。同时由于Trench MOS器件的沟道是垂直的,故可进一步提高其沟道密度,减小芯片尺寸。

[0003] 目前比较常见的Trench MOS器件的源极是通过在外延衬底的金属区域刻蚀通孔,沉积金属,以连接源极,将源极接出,但是为了避免寄生三极管效应,通孔一般会刻蚀至阱区,并且在沉积金属之前先要进行离子注入,减少金属与源极的接触电阻。

[0004] 但是,沉积金属之前的离子注入与阱区的掺杂离子为同类型的掺杂,当在沉积金属之前进行离子注入时,由于通孔深度变深,阱区的掺杂会下阔,形成凸起,减少抗压外延衬底的厚度,结曲率半径变小,造成BV(击穿电压)下降。

发明内容

[0005] 针对现有技术的不足,本发明的目的在于提供一种Trench MOS器件及其制备方法,旨在解决沉积金属之前注入与阱区的掺杂离子为同类型的掺杂,由于工艺波动所引起的通孔深度变化而导致阱区的掺杂下阔,使PN结形成曲率半径较小的凸起,造成BV下降的技术问题。

[0006] 本发明的一方面在于提供一种Trench MOS器件的制备方法,所述Trench MOS器件的制备方法包括:

[0007] 提供一P型外延衬底,并在所述P型外延衬底上刻蚀形成沟槽,在所述P型外延衬底的表面和所述沟槽上沉积预设厚度的第一介质层;

[0008] 在所述沟槽内的所述第一介质层上生长多晶硅,以将所述沟槽填满,并将所述多晶硅进行磨平回刻;

[0009] 在所述P型外延衬底于靠近所述沟槽的侧壁的一侧依次进行N型掺杂和P型掺杂,得到阱区和源极,所述源极设于所述阱区之上;

[0010] 在所述P型外延衬底的表面沉积第二介质层,于靠近所述沟槽的一侧刻蚀所述第二介质层至所述阱区,形成凹槽;

[0011] 在所述凹槽内以第一预设温度、第一预设浓度进行P型离子注入,待P型离子注入完成后,以第二预设温度、第二预设浓度进行N型离子注入;

[0012] 待所述N型离子注入完成后,在所述凹槽内沉积金属。

[0013] 与现有技术相比,本发明的有益效果在于:通过本发明提供的一种Trench MOS器件的制备方法,能有效地提高Trench MOS器件的BV,具体为,通过在凹槽内注入N型离子,以

减少金属与源极的接触电阻,在N型离子注入之前注入P型离子,以抑制N型离子的扩散,避免N型离子的扩散造成阱区下阔,形成凸起,造成BV下降,从而解决了沉积金属之前注入与阱区的掺杂离子为同类型的掺杂,由于工艺波动所引起的通孔深度变化而导致阱区的掺杂下阔,使PN结形成曲率半径较小的凸起,造成BV下降的技术问题。

[0014] 根据上述技术方案的一方面,所述P型离子为硼离子,所述第一预设温度为800°C-1100°C,所述第一预设浓度为 $1 \times 10^{12} \text{cm}^{-3}$ - $1 \times 10^{15} \text{cm}^{-3}$ 。

[0015] 根据上述技术方案的一方面,在所述预设次数下,所述N型离子为砷离子,所述第二预设温度为700°C-1100°C,所述第二预设浓度为 $1 \times 10^{13} \text{cm}^{-3}$ - $1 \times 10^{16} \text{cm}^{-3}$ 。

[0016] 根据上述技术方案的一方面,所述N型离子和所述P型离子均是通过所述凹槽的底部边缘注入。

[0017] 根据上述技术方案的一方面,所述凹槽的深度为0.3 μm -0.6 μm 。

[0018] 根据上述技术方案的一方面,所述预设厚度为400Å-700Å。

[0019] 根据上述技术方案的一方面,所述阱区的掺杂剂为磷,所述N型掺杂的温度为700°C-1000°C,所述N型掺杂的浓度为 $1 \times 10^{10} \text{cm}^{-3}$ - $1 \times 10^{14} \text{cm}^{-3}$ 。

[0020] 根据上述技术方案的一方面,所述源极的掺杂剂为硼,所述P型掺杂的温度为800°C-1100°C,所述P型掺杂的浓度为 $1 \times 10^{13} \text{cm}^{-3}$ - $1 \times 10^{17} \text{cm}^{-3}$ 。

[0021] 根据上述技术方案的一方面,所述沟槽的深度为1 μm -1.5 μm 。

[0022] 本发明的另一方面在于提供一种Trench MOS器件,所述Trench MOS器件由上述任一项所述的Trench MOS器件的制备方法制备得到,所述Trench MOS器件包括:

[0023] P型外延衬底;

[0024] 所述P型外延衬底设有沟槽,所述沟槽内依次设有第一介质层和多晶硅,在所述沟槽和所述P型外延衬底上均设有第二介质层,所述第二介质层上开设有凹槽,所述凹槽的底部边缘依次注有P型离子和N型离子,所述凹槽内填充有金属;

[0025] 所述沟槽和所述凹槽之间设有源极和阱区,所述源极设于所述阱区之上。

附图说明

[0026] 本发明的上述与/或附加的方面与优点从结合下面附图对实施例的描述中将变得明显与容易理解,其中:

[0027] 图1为本发明的Trench MOS器件的制备方法的流程图;

[0028] 图2为本发明的Trench MOS器件的制备方法的原理图;

[0029] 附图元器件符号说明:

[0030] P型外延衬底10,第一介质层20,第二介质层21,多晶硅30,阱区40,源极50,金属60。

具体实施方式

[0031] 为使本发明的目的、特征与优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。附图中给出了本发明的若干实施例。但是,本发明可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是对本发明的公开内容更加透彻全面。

[0032] 需要说明的是,当元件被称为“固设于”另一个元件,它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件,它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“垂直的”、“水平的”、“左”、“右”、“上”、“下”以及类似的表述只是为了说明的目的,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造与操作,因此不能理解为对本发明的限制。

[0033] 在本发明中,除非另有明确的规定与限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的与所有的组合。

[0034] 请参阅图1-图2,所示为本发明提供的一种Trench MOS器件的制备方法,所述Trench MOS器件的制备方法包括步骤S10-S15:

[0035] 步骤S10,提供一P型外延衬底,并在所述P型外延衬底上刻蚀形成沟槽,在所述P型外延衬底的表面和所述沟槽上沉积预设厚度的第一介质层;

[0036] 其中,沟槽的深度为 $1\mu\text{m}$ - $1.5\mu\text{m}$,沟槽用于填充多晶硅30,形成栅极。

[0037] 另外,预设厚度为 400\AA - 700\AA ,第一介质层20用于隔离P型外延衬底10,当预设厚度太薄时,无法有效地隔离衬底与栅极,造成短路。

[0038] 第一介质层20的生长温度为 800°C - 1100°C ,通过热氧和高温的方式,能提高第一介质层20的致密性和平整性。

[0039] 步骤S11,在所述沟槽内的所述第一介质层上生长多晶硅,以将所述沟槽填满,并将所述多晶硅进行磨平回刻;

[0040] 其中,多晶硅30磨平回刻后,形成栅极,避免多晶硅30残留于P型外延衬底10的表面造成短路。

[0041] 步骤S12,在所述P型外延衬底于靠近所述沟槽的侧壁的一侧依次进行N型掺杂和P型掺杂,得到阱区和源极,所述源极设于所述阱区之上;

[0042] 具体为,对P型外延衬底10进行N型掺杂,掺杂剂为磷,N型掺杂的温度为 700°C - 1000°C ,得到阱区40;其中,N型掺杂的浓度为 $1\times 10^{10}\text{cm}^{-3}$ - $1\times 10^{14}\text{cm}^{-3}$ 。

[0043] 对P型外延衬底10进行P型掺杂,掺杂剂为硼,P型掺杂的温度为 800°C - 1100°C ,得到源极50。其中,P型掺杂的浓度为 $1\times 10^{13}\text{cm}^{-3}$ - $1\times 10^{17}\text{cm}^{-3}$ 。

[0044] 步骤S13,在所述P型外延衬底的表面沉积第二介质层,于靠近所述沟槽的一侧刻蚀所述第二介质层至所述阱区,形成凹槽;

[0045] 其中,刻蚀第二介质层21至阱区40,形成凹槽,凹槽的深度为 $0.3\mu\text{m}$ - $0.6\mu\text{m}$,用于沉积金属60,将源极50导通接出,但是为了避免寄生三极管效应,凹槽一般会刻蚀至阱区40。

[0046] 步骤S14,在所述凹槽内以第一预设温度、第一预设浓度进行P型离子注入,待P型离子注入完成后,以第二预设温度、第二预设浓度进行N型离子注入;

[0047] 其中,为了减少金属60与源极50之间的接触电阻,需要在沉积金属60之前注入与阱区40的掺杂离子为同类型的掺杂,进行N型离子注入。但是,N型离子与阱区40的掺杂离子类型相同,将会导致阱区40的掺杂下阔,形成凸起,减少抗压外延衬底的厚度,结曲率半径

变小,造成BV(击穿电压)的下降。

[0048] 因此,在N型离子注入之前注入P型离子,以抑制N型离子的扩散,使得阱区40平滑,改善凸起的形成,从而抑制BV的下降。

[0049] 具体为,P型离子为硼离子,第一预设温度为800°C-1100°C,第一预设浓度为 $1 \times 10^{12} \text{cm}^{-3}$ - $1 \times 10^{15} \text{cm}^{-3}$ 。通过第一预设温度和第一预设浓度的设置,以控制P型离子的扩散区域,扩散区域太宽,会影响阈值电压,扩散区域太深,将会导致源极50区域短路。

[0050] 当第一预设浓度太低时,抑制N型离子的扩散有限,阱区40下阔形成凸起,导致BV下降;当第一预设浓度太高时,导致P型离子的扩散区域变宽变深,影响阈值电压或造成源极50短路。

[0051] 同理,当第一预设温度过低时,P型离子的扩散区域有限,抑制N型离子的扩散有限,阱区40下阔形成凸起,导致BV下降;当第一预设温度太高时,导致P型离子的扩散区域变宽变深,影响阈值电压或造成源极50短路。

[0052] N型离子为砷离子,第二预设温度为700°C-1100°C,第二预设浓度为 $1 \times 10^{13} \text{cm}^{-3}$ - $1 \times 10^{16} \text{cm}^{-3}$ 。

[0053] 其中,N型离子和P型离子均是通过凹槽的底部边缘注入。

[0054] 步骤S15,待所述N型离子注入完成后,在所述凹槽内沉积金属。

[0055] 另外,本发明还提供一种Trench MOS器件,所述Trench MOS器件由上述所述的Trench MOS器件的制备方法制备得到,所述Trench MOS器件包括:

[0056] P型外延衬底;

[0057] 所述P型外延衬底设有沟槽,所述沟槽内依次设有第一介质层和多晶硅,在所述沟槽和所述P型外延衬底上均设有第二介质层,所述第二介质层上开设有凹槽,所述凹槽的底部边缘依次注有P型离子和N型离子,所述凹槽内填充有金属;

[0058] 其中,沟槽的深度为 $1 \mu\text{m}$ - $1.5 \mu\text{m}$ 。第一介质层用于隔离P型外延衬底,多晶硅形成栅极。凹槽的设置用于沉积金属,导通源极,将源极接出。

[0059] 另外,为了减少金属与源极之间的接触电阻,需要在沉积金属之前注入与阱区的掺杂离子为同类型的掺杂,进行N型离子注入。但是,N型离子与阱区的掺杂离子类型相同,将会导致阱区的掺杂下阔,形成凸起,减少抗压外延衬底的厚度,结曲率半径变小,造成BV(击穿电压)的下降。因此,在N型离子注入之前注入P型离子,以抑制N型离子的扩散,使得阱区平滑,改善凸起的形成,从而抑制BV的下降。

[0060] 具体为,在所述凹槽内以第一预设温度、第一预设浓度进行P型离子注入,待P型离子注入完成后,以第二预设温度、第二预设浓度进行N型离子注入。

[0061] 所述沟槽和所述凹槽之间设有源极和阱区,所述源极设于所述阱区之上。

[0062] 其中,P型外延层进行N型掺杂得到阱区,P型外延层进行P型掺杂得到源极。

[0063] 下面以具体实施例进一步说明本发明:

[0064] 实施例1

[0065] 本发明的第一实施例提供了一种Trench MOS器件的制备方法,所述Trench MOS器件的制备方法包括步骤S10-S15:

[0066] 步骤S10,提供一P型外延衬底,并在所述P型外延衬底上刻蚀形成沟槽,在所述P型外延衬底的表面和所述沟槽上沉积预设厚度的第一介质层;

- [0067] 其中,沟槽的深度为 $1\mu\text{m}$ - $1.5\mu\text{m}$,沟槽用于填充多晶硅,形成栅极。
- [0068] 另外,预设厚度为 400\AA - 700\AA ,第一介质层用于隔离P型外延衬底。
- [0069] 第一介质层的生长温度为 800°C - 1100°C 。
- [0070] 步骤S11,在所述沟槽内的所述第一介质层上生长多晶硅,以将所述沟槽填满,并将所述多晶硅进行磨平回刻;
- [0071] 其中,多晶硅磨平回刻后,形成栅极,避免多晶硅残留于P型外延衬底的表面造成短路。
- [0072] 步骤S12,在所述P型外延衬底于靠近所述沟槽的侧壁的一侧依次进行N型掺杂和P型掺杂,得到阱区和源极,所述源极设于所述阱区之上;
- [0073] 具体为,对P型外延层进行N型掺杂,掺杂剂为磷,N型掺杂的温度为 700°C - 1000°C ,得到阱区;其中,N型掺杂的浓度为 $1\times 10^{10}\text{cm}^{-3}$ - $1\times 10^{14}\text{cm}^{-3}$ 。
- [0074] 对P型外延层进行P型掺杂,掺杂剂为硼,P型掺杂的温度为 800°C - 1100°C ,得到源极。其中,P型掺杂的浓度为 $1\times 10^{13}\text{cm}^{-3}$ - $1\times 10^{17}\text{cm}^{-3}$ 。
- [0075] 步骤S13,在所述P型外延衬底的表面沉积第二介质层,于靠近所述沟槽的一侧刻蚀所述第二介质层至所述阱区,形成凹槽;
- [0076] 其中,凹槽的深度为 $0.3\mu\text{m}$,用于沉积金属,将源极导通接出。
- [0077] 步骤S14,在所述凹槽内以第一预设温度、第一预设浓度进行P型离子注入,待P型离子注入完成后,以第二预设温度、第二预设浓度进行N型离子注入;
- [0078] 具体为,P型离子为硼离子,第一预设温度为 800°C - 1100°C ,第一预设浓度为 $1\times 10^{12}\text{cm}^{-3}$ - $1\times 10^{15}\text{cm}^{-3}$ 。
- [0079] N型离子为砷离子,第二预设温度为 700°C - 1100°C ,第二预设浓度为 $1\times 10^{13}\text{cm}^{-3}$ - $1\times 10^{16}\text{cm}^{-3}$ 。
- [0080] 其中,N型离子和P型离子均是通过凹槽的底部边缘注入。
- [0081] 步骤S15,待所述N型离子注入完成后,在所述凹槽内沉积金属。
- [0082] 实施例2
- [0083] 本发明第二实施例提供一种Trench MOS器件的制备方法,本实施例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:
- [0084] 凹槽的深度为 $0.4\mu\text{m}$ 。
- [0085] 实施例3
- [0086] 本发明第三实施例提供一种Trench MOS器件的制备方法,本实施例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:
- [0087] 凹槽的深度为 $0.5\mu\text{m}$ 。
- [0088] 实施例4
- [0089] 本发明第四实施例提供一种Trench MOS器件的制备方法,本实施例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:
- [0090] 凹槽的深度为 $0.6\mu\text{m}$ 。
- [0091] 对比例1
- [0092] 本发明第一对比例提供一种Trench MOS器件的制备方法,本对比例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:

[0093] 凹槽内没有P型离子注入,凹槽的深度为0.3 μm 。

[0094] 对比例2

[0095] 本发明第二对比例提供的一种Trench MOS器件的制备方法,本对比例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:

[0096] 凹槽内没有P型离子注入,凹槽的深度为0.4 μm 。

[0097] 对比例3

[0098] 本发明第三对比例提供的一种Trench MOS器件的制备方法,本对比例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:

[0099] 凹槽内没有P型离子注入,凹槽的深度为0.5 μm 。

[0100] 对比例4

[0101] 本发明第四对比例提供的一种Trench MOS器件的制备方法,本对比例中的Trench MOS器件的制备方法与第一实施例中的Trench MOS器件的制备方法的不同之处在于:

[0102] 凹槽内没有P型离子注入,凹槽的深度为0.6 μm 。

[0103] 请参阅下表1,所示为不同实施例和对比例下制备的Trench MOS器件的项性能测试结果。

[0104] 表1

项目	凹槽的深度 (μm)	BV值 (V)
实施例1	0.3	35.7
实施例2	0.4	35.2
实施例3	0.5	35.3
实施例4	0.6	35.2
对比例1	0.3	35.4
对比例2	0.4	34.8
对比例3	0.5	34.1
对比例4	0.6	33.2

[0106] 根据表1,结合实施例1至实施例4和对比例1至对比例4在不同凹槽的深度测试数据可知,凹槽的深度越深,刻蚀到阱区的深度越深,注入的N型离子越容易造成阱区下阔,凸起越大,BV下降越多,当在N型离子之前注入P型离子,能有效地抑制阱区下阔,抑制凸起的产生,提升BV。此外,凹槽越深,P型离子的抑制作用越明显。

[0107] 综上,在N型离子注入之前注入P型离子,以抑制N型离子的扩散,使得阱区平滑,改善凸起的形成,提升BV。

[0108] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0109] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体与详细,但并不

不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形与改进,这些都属于本发明的保护范围。因此,本发明专利的保护范围应以所附权利要求为准。

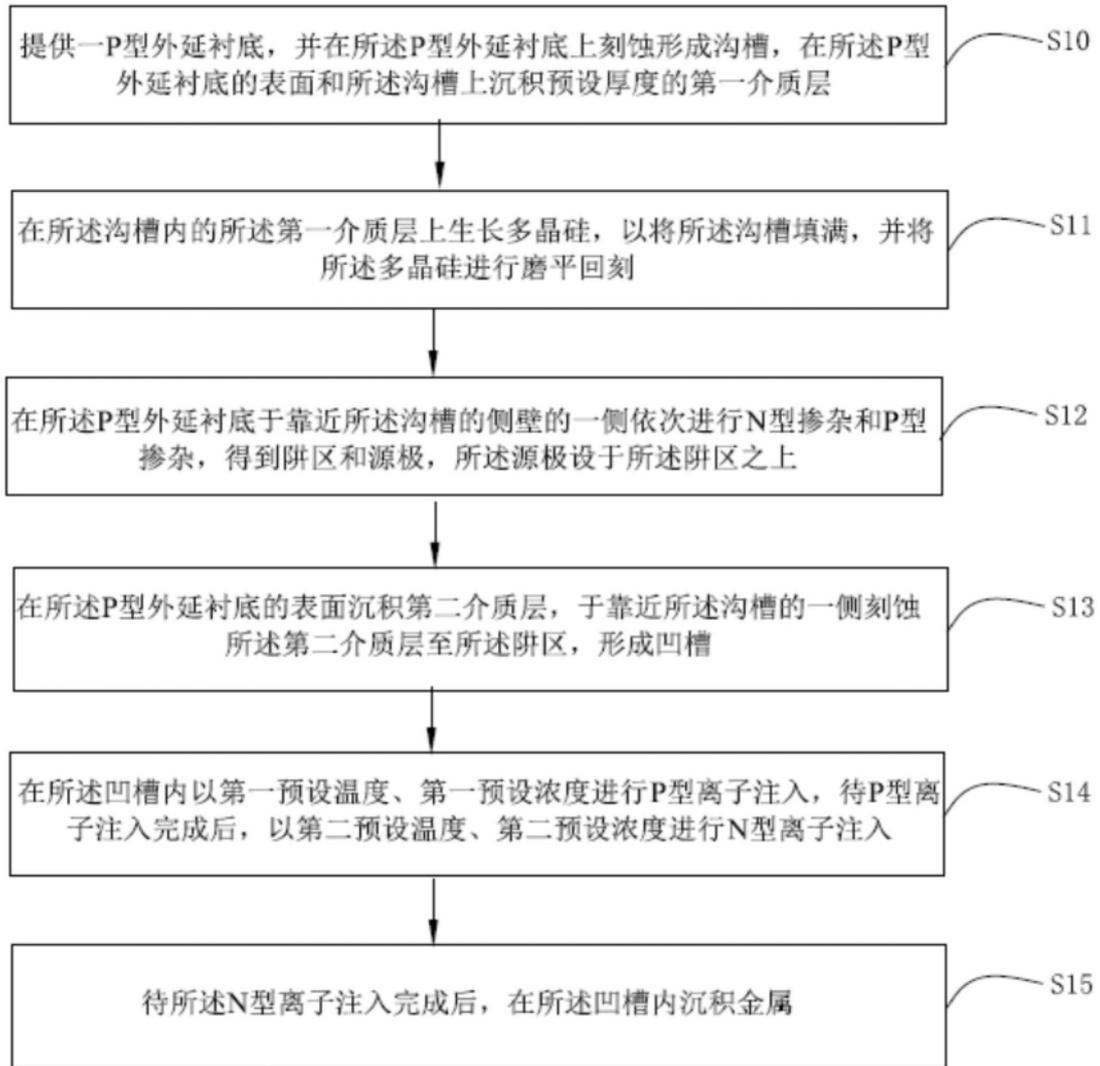


图1

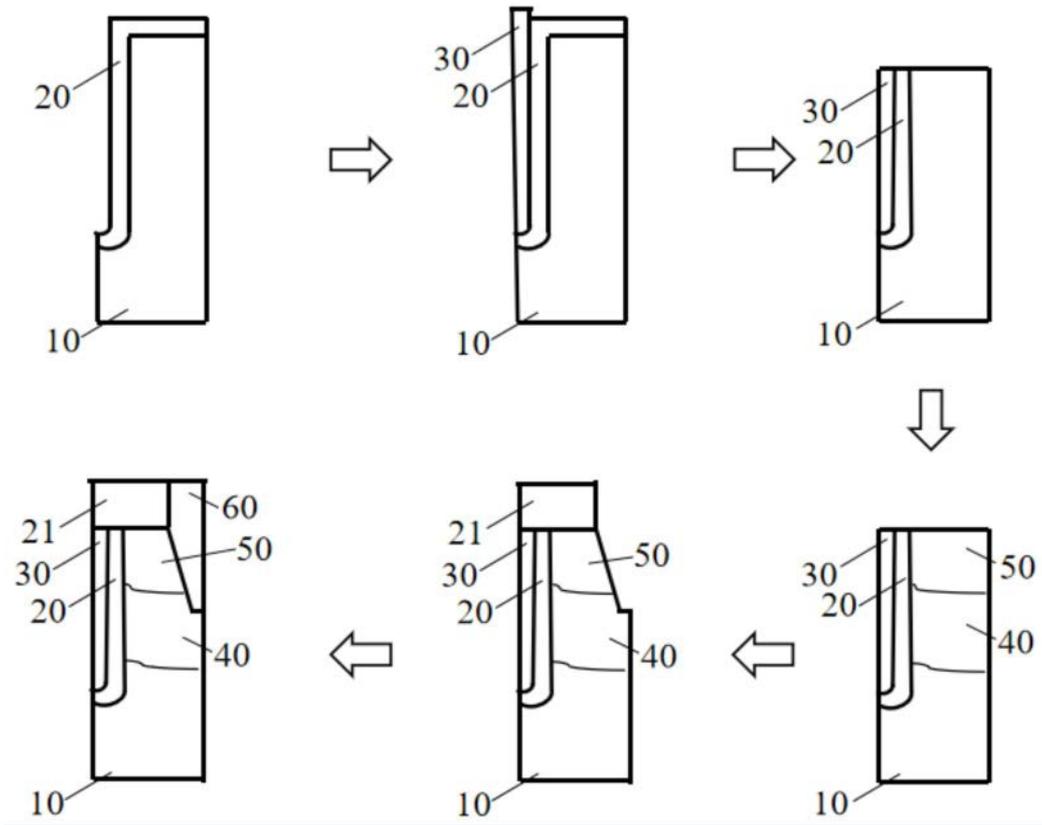


图2