



(12) 发明专利

(10) 授权公告号 CN 109192779 B

(45) 授权公告日 2021. 10. 26

(21) 申请号 201810991194.4

H01L 29/24 (2006.01)

(22) 申请日 2018.08.28

H01L 29/06 (2006.01)

(65) 同一申请的已公布的文献号

H01L 21/265 (2006.01)

申请公布号 CN 109192779 A

H01L 21/336 (2006.01)

(43) 申请公布日 2019.01.11

审查员 丁宁

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)

西源大道2006号

(72) 发明人 张金平 邹华 罗君轶 赵阳

李泽宏 张波

(74) 专利代理机构 成都点睛专利代理事务所

(普通合伙) 51232

代理人 敖欢 葛启函

(51) Int. Cl.

H01L 29/78 (2006.01)

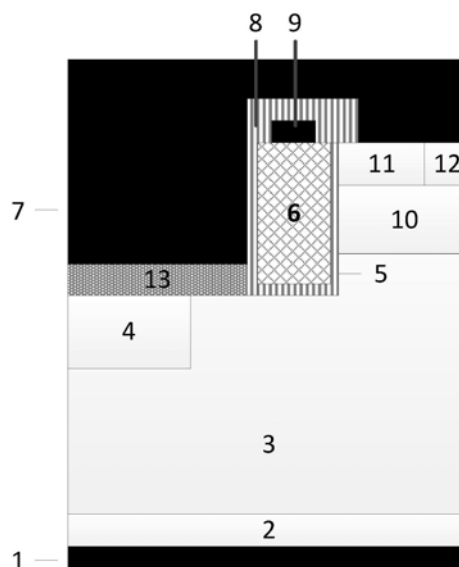
权利要求书1页 说明书9页 附图17页

(54) 发明名称

一种碳化硅MOSFET器件及其制造方法

(57) 摘要

本发明提供一种碳化硅MOSFET器件及其制造方法,本发明通过改进器件结构设计并最终集成了具有整流特性的肖特基接触或异质结接触。该改进在优化传统碳化硅UMOSFET结构基本特性的同时,实现了多子整流器件的集成,极大地优化了器件第三象限工作性能,另外,本发明还针对器件动态性能进行了优化,具有更短的开关时间;除此之外,本发明还具有工艺简单、易于实现的特点。



1. 一种碳化硅MOSFET器件,其特征在于:元胞结构包括自下而上依次设置的漏极金属(1)、碳化硅 $N^+$ 衬底(2)及碳化硅 $N^-$ 外延层(3);所述碳化硅 $N^-$ 外延层(3)左上方具有碳化硅 $P^+$ 区(4),所述碳化硅 $N^-$ 外延层(3)右上方具有台面结构,所述台面结构包括碳化硅 $P$ 型基区(10)、碳化硅 $N^+$ 源区(11)和碳化硅 $P^+$ 接触区(12),所述碳化硅 $N^+$ 源区(11)和碳化硅 $P^+$ 接触区(12)位于碳化硅 $P$ 型基区(10)上方,所述台面结构左侧、碳化硅 $N^-$ 外延层(3)上方具有栅极结构,所述栅极结构包括栅介质层(5)、多晶硅栅(6)以及栅电极(9),多晶硅栅(6)由栅介质层(5)包围,其上方通过栅电极(9)引出;所述栅电极(9)底部高度等于所述台面结构顶部高度,所述台面结构深度浅于栅极结构,所述碳化硅 $P$ 型基区(10)、碳化硅 $N^+$ 源区(11)与栅极结构紧密接触,所述栅极结构左侧、碳化硅 $P^+$ 区(4)上方以及部分碳化硅 $N^-$ 外延层(3)上方具有肖特基接触金属(13),肖特基接触金属(13)与碳化硅 $N^-$ 外延层(3)表面直接接触,形成具有整流特性的肖特基接触;所述器件表面由一层源极金属(7)覆盖,所述源极金属(7)与栅电极(9)通过硼磷硅玻璃BPSG(8)相互隔离;

所述肖特基接触金属(13)右侧覆盖了栅极结构底部区域。

2. 根据权利要求1所述的一种碳化硅MOSFET器件,其特征在于:所述栅极结构底部区域具有碳化硅 $P^+$ 区(4)。

3. 根据权利要求1所述的一种碳化硅MOSFET器件,其特征在于:所述栅极结构底部区域具有分离栅结构。

4. 根据权利要求1~3任意一项所述的一种碳化硅MOSFET器件,其特征在于:所述肖特基接触金属(13)区域替代为多晶硅(14)。

5. 根据权利要求1~3任意一项所述的一种碳化硅MOSFET器件,其特征在于:碳化硅材料用Si、Ge、GaAs、GaN、金刚石、硅锗、氧化镓半导体材料代替。

## 一种碳化硅MOSFET器件及其制造方法

### 技术领域

[0001] 本发明属于功率半导体技术,具体的说,是涉及一种金属氧化物半导体场效应(MOSFET)器件结构及其制造方法。

### 背景技术

[0002] 人类纪元已进入21世纪,虽然出现了多种形式的新型能源,如风能、核能、太阳能以及地热能等,但世界能源生产和消费仍以化石能源为主,且化石能源依然将在很长的一段时期内占领着人类众多能源需求最重要的一席。化石能源的大量、长期使用必将导致一系列的问题,这些问题与当下全球变暖等全球环境问题的恶化息息相关。而化石能源中有相当大的比例转化为电能。电能作为人类可直接利用能源的主要形式之一,对其使用效率提升是应对世界能源问题的重要解决途径。电力系统是人类利用电能和提高电能使用效率的必要途径,电力系统对电能输运、管理以及使用效率的高低,体现着电力系统的现代化程度,进而体现着人类对于能源资源利用效率的高低。能源资源的高效率使用,对于人类可持续发展具有重大意义。具体来说,电力系统主要是对电能的产生过程进行调节、测量、控制、保护、调度和通信等,这个过程中,功率半导体器件起到了核心的作用。也就是所,功率半导体器件性能的高低,决定着大小电力系统性能。从某种程度上来说,功率半导体器件及其模块性能的优劣,关乎着人类可持续发展。

[0003] 功率器件当下由硅基功率器件主导,主要以晶闸管、功率PIN器件、功率双极结型器件、肖特基势垒二极管、功率MOSFET以及绝缘栅场效应晶体管为主,在全功率范围内均得到了广泛的应用,以其悠久历史、十分成熟的设计技术和工艺技术占领了功率半导体器件的主导市场。然而,因研究人员对其机理研究较为透彻,性能均已接近硅材料的理论极限,已经很难通过对硅基功率器件的设计和优化达到性能上的大幅度提升。

[0004] 以碳化硅(SiC)和氮化镓(GaN)等为代表的宽禁带半导体材料,亦称下一代半导体材料,以其优异的材料特性引起了科研人员的兴趣。碳化硅材料是第三代半导体材料的典型代表,也是目前晶体生长技术和器件制造水平最成熟、应用最广泛的宽禁带半导体材料之一。其相比于硅材料具有较大的禁带宽度,较高的热导率,较高的电子饱和漂移速度以及10倍于硅材料的临界击穿电场,使其在高温、高频、大功率、抗辐射应用场合下成为十分理想的半导体材料。由于碳化硅功率器件可显著降低电子设备的能耗,故碳化硅功率器件享有“带动“新能源革命”的“绿色能源”器件”美名。

[0005] 碳化硅MOSFET器件是以宽禁带半导体材料碳化硅制造的下一代半导体器件。该器件因其绝佳的材料优势在高压应用中受到了广泛的关注,甚至被认为有望在全功率等级上取代传统硅基IGBT。尽管如此,因MOS沟道的不理想导致MOS沟道迁移率过低,极大地限制了碳化硅MOSFET通态电流密度。因此,具有更高沟道密度、从而具有更大通态电流密度的碳化硅UMOSFET受到的广泛关注和研究。尽管碳化硅UMOSFET具有更低通态电阻以及更紧凑的元胞布局,由于底部栅氧化层电场过高的问题,给碳化硅UMOSFET长久使用带来可靠性问题。传统的碳化硅UMOSFET如图1所示。

[0006] 碳化硅MOSFET器件在众多应用场合中,通常需要一个二极管反并联使用。一般认为有两种方式可以达到这个目的。第一种方法是直接使用该器件碳化硅P+区(或碳化硅P-base区)与碳化硅N<sup>-</sup>漂移区、碳化硅N<sup>+</sup>衬底形成的寄生二极管。该寄生碳化硅二极管导通压降大(碳化硅PN结导通压降约为3.1V),且反向恢复特性差(正向导通时漂移区电导调制注入大量过剩载流子)造成了高的功率损耗,另外该寄生二极管存在的双极退化,均使其不利于其在功率市场中的推广;同时因工作速度低而导致工作效率低下,对于碳化硅MOSFET器件在逆变电路、斩波电路等应用中极为不利;第二种方法是通过将器件与外部二极管反并联使用。该方法增加了金属互连数目,增加了系统寄生电感,不利于系统可靠性的提升;同时,由于器件数目的增加,导致系统体积增大,配套的散热需求也有所提升,封装成本也有所上升。以上种种问题使得碳化硅MOSFET器件在众多实际应用中的推广受到了一定的阻碍。

### 发明内容

[0007] 本发明需要解决的,即针对上述问题,在碳化硅UMOSFET结构的基础上,提出一种能优化碳化硅MOSFET器件在实际电路应用中存在的栅介质电场过高、功率损耗高、工作效率低、生产成本较高等问题的碳化硅MOSFET器件及其制造方法。

[0008] 本发明通过传统碳化硅UMOSFET结构(如图1所示)的基础上,通过改进器件结构设计,使呈现台面结构突出的特点。并通过设计,最终于碳化硅MOSFET内部集成了具有整流特性的肖特基接触或异质结接触。当淀积的材料为金属时,所形成的接触,其势垒高度可以通过改变金属材料、工艺控制以及碳化硅N<sup>-</sup>外延浓度进行调节,最终形成较低导通压降(V<sub>on</sub>)的肖特基接触。通常该接触V<sub>on</sub>处于0.8V~1.5V的范围。从而实现正向电学性能优于寄生二极管的肖特基二极管的体内集成。由于该二极管为多子器件,反向恢复过程中由于不存在少子存储,具有更快的反向恢复时间、更低的反向恢复损耗以及更加的反向恢复可靠性,故相对于寄生二极管,具有更佳的反向恢复性能。该改进相对于体外反并联一个二极管的方式,显著减小了电力电子系统体积,降低了封装花费。同时由于不具有与二极管之间的金属引线,避免了金属引线带来的寄生效应,从而提高了系统应用可靠性;当淀积的材料为多晶硅时,所形成的接触为异质结接触。其特性与肖特基接触近似:同为多子器件,同时也具有整流特性。其正向导通压降V<sub>on</sub>约为1.1V,优于碳化硅MOSFET的体二极管特性,对于优化器件第三象限工作特性同样具有极佳的作用。另外,在肖特基接触金属材料或多晶硅下方的碳化硅P+区在对肖特基接触金属材料或多晶硅起到保护作用的同时,也大幅降低了器件栅介质电场,优化了器件电场分布,提升了器件耐压水平;同时,由于器件耐压能力的提升,器件JFET区域掺杂也可以做得更高,从而器件具有更低的比导R<sub>on,sp</sub>。故本发明结构具有优异的电学特性。

[0009] 为实现上述目的,本发明采用以下技术方案:

[0010] 一种碳化硅MOSFET器件,元胞结构包括自下而上依次设置的漏极金属1、碳化硅N<sup>+</sup>衬底2及碳化硅N<sup>-</sup>外延层3;所述碳化硅N<sup>-</sup>外延层3左上方具有碳化硅P+区4,所述碳化硅N<sup>-</sup>外延层3右上方具有台面结构,所述台面结构包括碳化硅Pbase区10、碳化硅N+源区11和碳化硅P+接触区12,所述碳化硅N+源区11和碳化硅P+接触区12位于碳化硅Pbase区10上方,所述台面结构左侧、碳化硅N<sup>-</sup>外延层3上方具有栅极结构,所述栅极结构包括栅介质层5、多晶硅

栅6以及栅电极9,多晶硅栅6由栅介质层5包围,其上方通过栅电极9引出;所述栅电极9底部高度等于所述台面结构顶部高度,所述台面结构深度浅于栅极结构,所述碳化硅Pbase区10、碳化硅N<sup>+</sup>源区11与栅极结构紧密接触,所述栅极结构左侧、碳化硅P<sup>+</sup>区4上方以及部分碳化硅N<sup>-</sup>外延层3上方具有肖特基接触金属13,肖特基接触金属13与碳化硅N<sup>-</sup>外延层3表面直接接触,形成具有整流特性的肖特基接触;所述器件表面由一层源极金属7覆盖,所述源极金属7与栅电极9通过硼磷硅玻璃BPSG8相互隔离。

[0011] 作为优选方式,所述肖特基接触金属13右侧覆盖了栅极结构底部区域。

[0012] 作为优选方式,所述栅极结构底部区域具有碳化硅P<sup>+</sup>区4。

[0013] 作为优选方式,所述栅极结构底部区域具有split-gate结构。

[0014] 作为优选方式,所述肖特基接触金属13区域替代为多晶硅14。

[0015] 作为优选方式,所述碳化硅P<sup>+</sup>区4正上方的肖特基接触金属13下方于Z方向具有不连续的沟槽,其沟槽深度小于或等于碳化硅P<sup>+</sup>区4深度,沟槽内部以肖特基接触金属13或多晶硅14淀积填充,沟槽底部为碳化硅N<sup>-</sup>外延层3。

[0016] 进一步地,所述split-gate结构包括split-gate多晶硅15以及包围split-gate多晶硅15的介质层16组成;

[0017] 进一步地,所述的一种碳化硅MOSFET器件,其所用的宽、窄禁带材料不仅限于碳化硅、硅材料,对于其它由宽、窄禁带材料的组合同样适用。

[0018] 作为优选方式,碳化硅材料用Si、Ge、GaAs、GaN、金刚石、硅锗、氧化镓半导体材料代替。

[0019] 一种碳化硅MOSFET器件的制造方法,包括以下步骤:

[0020] 第1步:选取碳化硅片,作为后面的碳化硅N<sup>+</sup>衬底2、碳化硅N<sup>-</sup>外延层3;

[0021] 第2步:通过高能离子注入工艺,进行铝离子注入,形成碳化硅Pbase区10,或通过外延方式形成碳化硅Pbase区10;

[0022] 第3步:通过光刻、离子注入工序,利用PSD掩膜版进行铝离子注入,形成碳化硅P<sup>+</sup>接触区12;

[0023] 第4步:通过光刻、离子注入工序,利用NSD掩膜版进行磷离子注入,形成碳化硅N<sup>+</sup>源区11;

[0024] 第5步:通过沟槽刻蚀工艺,利用Trench掩膜版刻蚀出指定尺寸的沟槽;

[0025] 第6步:通过光刻、高能离子注入工序,进行铝离子注入,形成碳化硅P<sup>+</sup>区4,或通过沟槽刻蚀工艺,利用Trench掩膜版刻蚀出指定尺寸的沟槽,并采用外延、刻蚀工艺,形成碳化硅P<sup>+</sup>区4;

[0026] 第7步:通过干氧氧化工艺形成栅介质层5;

[0027] 第8步:通过淀积及刻蚀工艺,在栅沟槽内淀积一层多晶硅,形成多晶硅栅6,通过刻蚀去除多余的多晶硅;

[0028] 第9步:通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8;

[0029] 第10步:通过淀积及刻蚀工艺,在沟槽底部淀积一层金属,形成肖特基接触金属13,通过刻蚀去除多余的金属;

[0030] 第11步:通过淀积、光刻以及刻蚀工艺形成栅电极9;

[0031] 第12步:通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8;

[0032] 第13步:分别通过淀积、光刻以及刻蚀工艺形成源极7金属、漏极金属1,至此,器件制作完成。

[0033] 进一步地,也可以先做沟槽栅刻蚀,形成碳化硅P+区4、肖特基接触金属13等区域后,再做栅极结构;

[0034] 进一步地,在第6步中,可以在刻蚀区域右侧形成第二个沟槽,两个沟槽不连续分布。并于外延过程中,于该沟槽同时形成碳化硅P+区4,如图4所示;

[0035] 进一步地,在完成第6步形成碳化硅P+区4后,于碳化硅P+区4右侧表面再进行一次沟槽刻蚀,并对沟槽内侧壁及底部进行氧化,形成厚氧化层。并于厚氧化层表面淀积一层多晶硅14,如图5所示;

[0036] 进一步地,第10步中,所淀积的沟槽肖特基接触金属13也可替换为多晶硅14材料;

[0037] 进一步地,在第5步形成沟槽后,可以再增加一次刻蚀,于沟槽底部形成不连续的二次沟槽。其深度小于第6步形成的碳化硅P+区4深度;

[0038] 以下阐述本发明原理。碳化硅MOSFET器件在众多应用场合均需要与一个二极管反并联使用。若不考虑体内单片集成,一般有两种方式可以达到这个目的。其一是直接使用碳化硅MOSFET器件碳化硅P型基区与碳化硅N-外延层3、碳化硅N+衬底2形成的寄生碳化硅PiN二极管。该寄生碳化硅PiN正向导通压降 $V_{on}$ 通常认为是3.1V,极大的正向导通压降对于低压功率下的应用极为不利,将显著地增大了器件通态损耗。同时,由于该器件属于双极器件,在通态因电导调制作用将产生少子的积累。尽管少子的积累在通态下能够降低通态压降,但对于开关瞬态、尤其是关断瞬态,由于少子存储导致的关断时间增长、关断损耗增加、反向峰值电流增加以及关断可靠性下降等问题,造成了该寄生二极管极差的反向恢复特性。因此对于反并联的二极管,应该具有低导通压降 $V_{on}$ 、快恢复的基本要求;其二是通过将器件与器件外部的二极管反并联使用。尽管该方法达到了低导通压降 $V_{on}$ 、快恢复的基本要求,但是该方法因器件个数增多、功率系统增大、散热要求提升等众多因素引起生产成本的上升以及金属连线增加后可靠性的降低,使得外部并联二极管的选择并非最佳。这也促使其它实现反并联二极管方法的提出。本发明通过传统碳化硅UMOSFET结构如图1所示的基础上,通过结构上的设计和改进,使得器件台面结构突出于器件表面,并通过进一步地改进,最终形成具有整流特性的肖特基接触或异质结接触。肖特基接触如图2所示;异质结接触如图6所示。当所发明结构处于MOSFET阻断工作时,由于器件耐压部分由碳化硅P+区4及碳化硅Pbase区10与碳化硅N-外延层3提供,器件的改进提升了传统碳化硅UMOSFET耐压水平;由于碳化硅P+区4的屏蔽作用,肖特基接触或异质结接触的漏电得以大幅降低,同时降低了器件栅氧化层电场,从而提高了器件长久应用可靠性。所发明结构处于MOSFET正向工作时,由于碳化硅P+区4对器件雪崩击穿耐压的提升及对栅介质层的保护,器件JFET区域掺杂可以做得更高,从而降低MOSFET比导值,优化了器件导通性能。同时,本发明结构对于器件第三象限工作具有极大的优化作用。当所淀积的材料为肖特基接触金属时,前文所提到的势垒高度可以通过调节金属种类、工艺条件以及碳化硅N-外延等方式,形成 $V_{on}$ 约为0.6V~2V的肖特基接触;同时由于碳化硅P+区4的保护功能,使得肖特基接触界面漏电较小。通常认为碳化硅PiN二极管的 $V_{on}$ 为3.1V左右。肖特基势垒二极管的嵌入,大大降低了器件第三象限工作下的通态损耗,同时肖特基势垒二极管属于多子器件,由于不存在少子存储效应,其具有更短的反向恢复时间,更低的关断损耗、更低的反向恢复峰值电流、更佳的反向

恢复过程中器件的可靠性；当所淀积的材料为多晶硅时，多晶硅14与碳化硅N-外延层3于碳化硅N-外延层3表面形成Si/SiC异质结接触。据相关文献报道，该异质结同样具有整流特性。其正向导通压降 $V_{on}$ 约为1.1V。同样相对于寄生二极管对于器件第三象限工作具有极大的改进作用。同时，由于其为多子器件，与肖特基二极管相似，具有极佳的反向恢复性能；由于栅漏电容对于器件开关速度具有很大的影响，因此为了进一步提升器件开关速度，本发明还提供了一种结构，如图5所示。该结构减小了器件栅结构与碳化硅N-外延之间的正对面积，即减小了栅漏电荷，从而降低了器件栅漏电容，对于器件开关速度具有很大的提升效果；为了进一步提升元胞排列紧凑性，本发明还提出了一种优化结构，如图3所示。所述结构形成了更大整流接触面积的同时，减小了元胞宽度，达到了更为紧凑的元胞排列，优化了通态性能。为进一步提高器件第三象限工作性能，所发明结构还对结构进行了进一步的优化。即通过继续刻蚀沟槽底部，于碳化硅P+区4内部形成不连续的沟槽结构。该沟槽结构同样以肖特基接触金属13或多晶硅14淀积填充。二次沟槽刻蚀的深度小于碳化硅P+区4深度，以增大肖特基/异质结接触面积，从而进一步优化了器件第三象限工作性能。

[0039] 综上所述，本发明的有益效果为：

[0040] 一，本发明结构相对于传统碳化硅UMOSFET而言，具有更高耐压、更低的比导 $R_{on,sp}$ 以及更佳的器件长久应用可靠性；

[0041] 二，本发明结构实现了肖特基势垒二极管(SBD)以及硅/碳化硅异质结的集成，使得器件在第三象限工作区间，相对于器件内部寄生二极管，具有更佳的反向恢复性能，包括更短的反向恢复时间，更低的关断损耗、更低的反向恢复峰值电流、更佳的反向恢复过程中器件的可靠性。同时，所述肖特基势垒二极管(SBD)以及硅/碳化硅异质结具有漏电低的特点；

[0042] 三，相对于体外反并联二极管的方式，本发明结构降低了系统器件数目，减小了系统体积；降低了对散热系统体积的要求；同时降低了封装成本；降低了金属引线互连数量，减小了系统寄生电感。所发明结构提升器件可靠性的同时，也降低了器件应用成本；

[0043] 四，为形成更为紧凑的元胞排布，本发明还提供了一种结构。该结构在增大整流接触面积、进一步优化二极管性能的同时，也减小了元胞宽度；

[0044] 五，本发明结构与碳化硅UMOSFET器件生产工艺兼容，不需要额外开发全新工艺；

[0045] 六，本发明针对器件动态性能进行了优化，提出了split-gate结构。该结构显著降低了栅-碳化硅N-外延正对面积，减小了器件开启过程中所必须栅电荷，故而减小了器件栅漏电容，提升了器件开关速度；

[0046] 七，本发明还针对器件第三象限工作性能进行了更进一步的优化，得到了更佳MOSFET第三象限应用性能。

## 附图说明

[0047] 图1是传统碳化硅UMOSFET器件元胞结构示意图；

[0048] 图2是实施例1提供的一种碳化硅MOSFET器件基本元胞结构示意图；

[0049] 图3是实施例2提供的一种碳化硅MOSFET器件基本元胞结构示意图；

[0050] 图4是实施例3提供的一种碳化硅MOSFET器件基本元胞结构示意图；

[0051] 图5是实施例4提供的一种碳化硅MOSFET器件基本元胞结构示意图；

- [0052] 图6是实施例5提供的一种碳化硅MOSFET器件基本元胞结构示意图；
- [0053] 图7是实施例1结构“Region A”区域Z方向示意图；
- [0054] 图8是实施例6提供的一种碳化硅MOSFET器件基本元胞结构示意图；
- [0055] 图9是本发明实施例1提供的碳化硅衬底示意图；
- [0056] 图10是本发明实施例7提供的通过离子注入工艺形成碳化硅Pbase区10示意图；
- [0057] 图11是本发明实施例7提供的通过光刻、离子注入等工序，利用PSD掩膜版进行铝离子注入，形成碳化硅P+接触区12示意图；
- [0058] 图12是本发明实施例7提供的通过光刻、离子注入等工序，利用NSD掩膜版进行磷离子注入，形成碳化硅N+源区11示意图；
- [0059] 图13是本发明实施例7提供的通过沟槽刻蚀工艺，形成沟槽示意图；
- [0060] 图14是本发明实施例7提供的通过光刻、离子注入工艺，形成碳化硅P+区4示意图；
- [0061] 图15是本发明实施例7提供的通过干氧氧化工艺形成栅介质层5示意图；
- [0062] 图16是本发明实施例7提供的通过淀积、光刻以及刻蚀工艺形成多晶硅栅6示意图；
- [0063] 图17是本发明实施例7提供的通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8示意图；
- [0064] 图18是本发明实施例7提供的通过淀积及刻蚀工艺，在沟槽底部淀积一层金属，形成肖特基接触金属13示意图；
- [0065] 图19是本发明实施例7提供的通过淀积、光刻以及刻蚀工艺形成栅电极9示意图；
- [0066] 图20是本发明实施例7提供的通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8示意图；
- [0067] 图21是本发明实施例7提供的通过淀积、光刻以及刻蚀工艺形成源极金属7、漏极金属1示意图。
- [0068] 1为漏极金属，2为碳化硅N+衬底，3为碳化硅N-外延层，4为碳化硅P+区，5为栅介质层，6为多晶硅栅，7为源极金属，8为硼磷硅玻璃BPSG，9为栅电极，10为碳化硅Pbase区，11为碳化硅N+源区，12为碳化硅P+接触区，13为肖特基接触金属，14为多晶硅，15为split-gate多晶硅，介质层16。

### 具体实施方式

[0069] 以下结合附图，本部分以一种1200V的碳化硅MOSFET器件为例，详细描述本发明的技术方案，同时对本发明的原理和特性做进一步的说明。所举实例只用于解释本发明，并非用于限定本发明的范围。

[0070] 实施例1：

[0071] 如图2所示，一种碳化硅MOSFET器件，元胞结构包括自下而上依次设置的漏极金属1、碳化硅N<sup>+</sup>衬底2及碳化硅N<sup>-</sup>外延层3；所述碳化硅N<sup>-</sup>外延层3左上方具有碳化硅P+区4，所述碳化硅N<sup>-</sup>外延层3右上方具有台面结构，所述台面结构包括碳化硅Pbase区10、碳化硅N+源区11和碳化硅P+接触区12，所述碳化硅N+源区11和碳化硅P+接触区12位于碳化硅Pbase区10上方，所述台面结构左侧、碳化硅N<sup>-</sup>外延层3上方具有栅极结构，所述栅极结构包括栅介质层5、多晶硅栅6以及栅电极9，多晶硅栅6由栅介质层5包围，其上方通过栅电极9引出；所



述栅电极9底部高度等于所述台面结构顶部高度,所述台面结构深度浅于栅极结构,所述碳化硅Pbase区10、碳化硅N+源区11与栅极结构紧密接触,所述栅极结构左侧、碳化硅P+区4上方以及部分碳化硅N<sup>-</sup>外延层3上方具有肖特基接触金属13,肖特基接触金属13与碳化硅N<sup>-</sup>外延层3表面直接接触,形成具有整流特性的肖特基接触;所述器件表面由一层源极金属7覆盖,所述源极金属7与栅电极9通过硼磷硅玻璃BPSG8相互隔离。其中,漏极金属1厚度为0.5 $\mu\text{m}$ ~2 $\mu\text{m}$ ,宽度为2~5 $\mu\text{m}$ ,栅电极9厚度为0.5 $\mu\text{m}$ ~2 $\mu\text{m}$ ,宽度为0.2~0.4 $\mu\text{m}$ ,源极金属7厚度为4 $\mu\text{m}$ ~10 $\mu\text{m}$ ,宽度为2~5 $\mu\text{m}$ ;碳化硅N+衬底2厚度为1~3 $\mu\text{m}$ ,浓度为1e18~1e19 $\text{cm}^{-3}$ ;碳化硅N<sup>-</sup>外延层3厚度为6~10 $\mu\text{m}$ ,浓度为1e15~1e16 $\text{cm}^{-3}$ ;碳化硅P+区4厚度为1~2 $\mu\text{m}$ ,宽度为0.5~2 $\mu\text{m}$ ,浓度为1e17~6e17 $\text{cm}^{-3}$ ;碳化硅Pbase区10厚度为0.3~0.8 $\mu\text{m}$ ,宽度为0.4~1 $\mu\text{m}$ ,浓度为6e16~4e17 $\text{cm}^{-3}$ ;碳化硅N+源区11厚度为0.2~0.4 $\mu\text{m}$ ,宽度为0.2~0.3 $\mu\text{m}$ ,浓度为2e18~1e19 $\text{cm}^{-3}$ ;栅介质层5厚度为20~80nm;多晶硅栅6厚度为0.4~1 $\mu\text{m}$ ,宽度为0.4~1 $\mu\text{m}$ 。肖特基接触金属13厚度为1~2 $\mu\text{m}$ ,宽度为1~3 $\mu\text{m}$ 。本发明提供的一种碳化硅MOSFET,通过体内集成肖特基接触或异质结接触,在对优化器件基本性能的同时,优化了器件第三象限工作性能,降低了功率系统应用成本。

[0072] 实施例2:

[0073] 本实施例其结构与实施例1大致相同,不同之处在于,所述肖特基接触金属13具有更大的横向尺寸,所述肖特基接触金属13右侧覆盖了栅极结构底部区域。如图3所示。该设置在增加了肖特基接触面积的同时,也减小了元胞面积,使得器件拥有更佳的通态特性。

[0074] 实施例3:

[0075] 本实施例其结构与实施例1大致相同,不同之处在于,所述栅极结构底部区域具有碳化硅P+区4,如图4所示。该改进有益于对栅极结构以及肖特基接触金属13的进一步保护,以提升器件长久使用可靠性;

[0076] 实施例4:

[0077] 本实施例与实施例1不同之处在于,所述栅极结构底部区域具有split-gate结构。所述split-gate结构包括split-gate多晶硅15以及包围split-gate多晶硅15的介质层16组成。所述split-gate多晶硅15于背部由金属引线引出,可以接地,也可以与源极短接。该方式显著降低了器件栅漏电荷,从而降低了米勒电容,对于器件开关速度的提升具有很大的优化作用;如图5所示。

[0078] 实施例5:

[0079] 本实施例针其结构与实施例1大致相同,不同之处在于,所使用的肖特基接触金属13区域替代为多晶硅14,如图6所示。同样在碳化硅N<sup>-</sup>外延层3表面与碳化硅N<sup>-</sup>外延层3形成具有整流接触的Si/SiC异质结结构。该异质结结构正向导通压降Von约为1.1V,对于器件第三象限工作同样具有较大的提升作用。同时,由于该异质结属于多子器件,使得二极管具有良好的反向恢复性能。

[0080] 实施例6:

[0081] 本实施例与实施例1不同之处在于,所述碳化硅P+区4正上方的肖特基接触金属13下方于Z方向具有不连续的沟槽,其沟槽深度小于或等于碳化硅P+区4深度,沟槽内部以肖特基接触金属13或多晶硅14淀积填充,沟槽底部为碳化硅N<sup>-</sup>外延层3,如图8所示。实施例1肖特基接触金属13下方结构如图7所示。相对于实施例1,本实施例优化了器件第三象限工

作时的通态电流密度。

[0082] 实施例7:

[0083] 本实施例同样以1200V的碳化硅MOSFET器件制作方法为例,对上述1~6实施例的具体实现方式进行说明,根据本领域常识,可根据实际需求制备不同性能参数的器件。

[0084] 第1步:选取合适电阻率与厚度的碳化硅片,即作为后面的碳化硅N+衬底2、碳化硅N-区3,如图9所示。其中,碳化硅N+衬底2厚度为1~3 $\mu\text{m}$ ,浓度为 $1\text{e}18\sim 1\text{e}19\text{cm}^{-3}$ ;碳化硅N-外延3厚度为6~10 $\mu\text{m}$ ,浓度为 $1\text{e}15\sim 1\text{e}16\text{cm}^{-3}$ ;

[0085] 第2步:通过高能离子注入工艺,注入能量约为1500~1900keV,进行铝离子注入,形成碳化硅Pbase区10。该步骤也可以通过外延方式形成碳化硅Pbase区10。形成碳化硅Pbase区10后的器件如图10所示;

[0086] 第3步:通过光刻、离子注入等工序,利用PSD掩模版进行铝离子注入,形成碳化硅P+接触区12。该步骤也可以通过外延方式形成厚度为0.3~0.8 $\mu\text{m}$ ,宽度为0.5~1.1 $\mu\text{m}$ ,浓度为 $6\text{e}16\sim 4\text{e}17\text{cm}^{-3}$ 的碳化硅Pbase区7,如图11所示;

[0087] 第4步:通过光刻、离子注入等工序,利用NSD掩模版进行磷离子注入,注入能量约为1300~1700keV,形成厚度为0.2~0.4 $\mu\text{m}$ ,宽度为0.2~0.3 $\mu\text{m}$ ,浓度为 $2\text{e}18\sim 1\text{e}19\text{cm}^{-3}$ 的碳化硅N+源区11,如图12所示;

[0088] 第5步:通过沟槽刻蚀工艺,利用Trench掩模版刻蚀出厚度为1~3 $\mu\text{m}$ ,宽度为1~4 $\mu\text{m}$ 的沟槽,如图13所示;

[0089] 第6步:通过光刻、离子注入等工序,进行铝离子注入,注入能量为1700~2000keV,形成厚度为1~2 $\mu\text{m}$ ,宽度为0.5~2 $\mu\text{m}$ ,浓度为 $1\text{e}17\sim 6\text{e}17\text{cm}^{-3}$ 的碳化硅P+区4。如图14所示。该工艺也可以通过刻蚀、外延工艺形成碳化硅P+掺杂区4;

[0090] 第7步:在约1000 $^{\circ}\text{C}\sim 1400^{\circ}\text{C}$ 的温度下,通过干氧氧化工艺形成厚度为20~80nm的栅介质层5,如图15所示;

[0091] 第8步:通过淀积及刻蚀工艺,在栅沟槽内淀积一层多晶硅,形成厚度为0.4~1 $\mu\text{m}$ ,宽度为0.4~1 $\mu\text{m}$ 的多晶硅栅6,通过刻蚀去除多余的多晶硅,如图16所示;

[0092] 第9步:通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8,如图17所示;

[0093] 第10步:通过淀积及刻蚀工艺,在沟槽底部淀积一层金属,形成形成厚度为1~2 $\mu\text{m}$ ,宽度为1~3 $\mu\text{m}$ 的肖特基接触金属13,通过刻蚀去除多余的金属。如图18所示;

[0094] 第11步:通过淀积、光刻以及刻蚀工艺形成厚度为0.5 $\mu\text{m}\sim 2\mu\text{m}$ ,宽度为0.2~0.4 $\mu\text{m}$ 的栅极9,如图19所示。

[0095] 第12步:通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃BPSG8,如图20所示;

[0096] 第13步:分别通过淀积、光刻以及刻蚀工艺形成厚度为4 $\mu\text{m}\sim 6\mu\text{m}$ ,宽度为2~5 $\mu\text{m}$ 的源极7、厚度为0.5 $\mu\text{m}\sim 2\mu\text{m}$ ,宽度为2~5 $\mu\text{m}$ 的漏极1。至此,器件制作完成,如图21所示。

[0097] 进一步地,在第8步中所淀积的多晶硅14,既可以是N型多晶硅,也可以是P型多晶硅;

[0098] 进一步地,也可以先做沟槽栅刻蚀,形成碳化硅P+区4、肖特基接触金属13等区域后,再做栅极结构;

[0099] 进一步地,在第6步中,可以在刻蚀区域右侧形成第二个沟槽,两个沟槽不连续分布。并于外延过程中,于该沟槽同时形成碳化硅P+区4,如图4所示。所述碳化硅P+区4与前述

碳化硅P+区4同时形成；

[0100] 进一步地，在完成第6步形成碳化硅P+区4后，于碳化硅P+区4右侧表面再进行一次沟槽刻蚀，并对沟槽内侧壁及底部进行氧化，形成厚氧化层。并于厚氧化层表面淀积一层多晶硅14，如图5所示；

[0101] 进一步地，第10步中，所淀积的沟槽肖特基接触金属13也可替换为多晶硅13材料；该多晶硅同样既可以是N型多晶硅，也可以是P型多晶硅；

[0102] 进一步地，在第5步形成沟槽后，可以再增加一次刻蚀，于原沟槽底部形成不连续的沟槽。二次刻蚀的沟槽深度小于后期形成的碳化硅P+区4深度；

[0103] 同时需要申明的是：本领域工程技术人员根据本领域基本知识可以知道，本发明所述的一种碳化硅功率MOSFET器件结构中，所用的P型多晶硅亦可以采用N型多晶硅实现，也可通过P型单晶硅实现，当然还可通过N型单晶硅实现；所用的介质材料除了可以采用二氧化硅(SiO<sub>2</sub>)实现，也可通过采用氮化硅(Si<sub>3</sub>N<sub>4</sub>)、二氧化铪(HfO<sub>2</sub>)、三氧化二铝(Al<sub>2</sub>O<sub>3</sub>)等高K介质材料实现；所述碳化硅材料还可以用氮化镓，金刚石等宽禁带材料代替。同时，制造工艺的具体实施方式也可以根据实际需要进行调整。

[0104] 上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本发明的权利要求所涵盖。

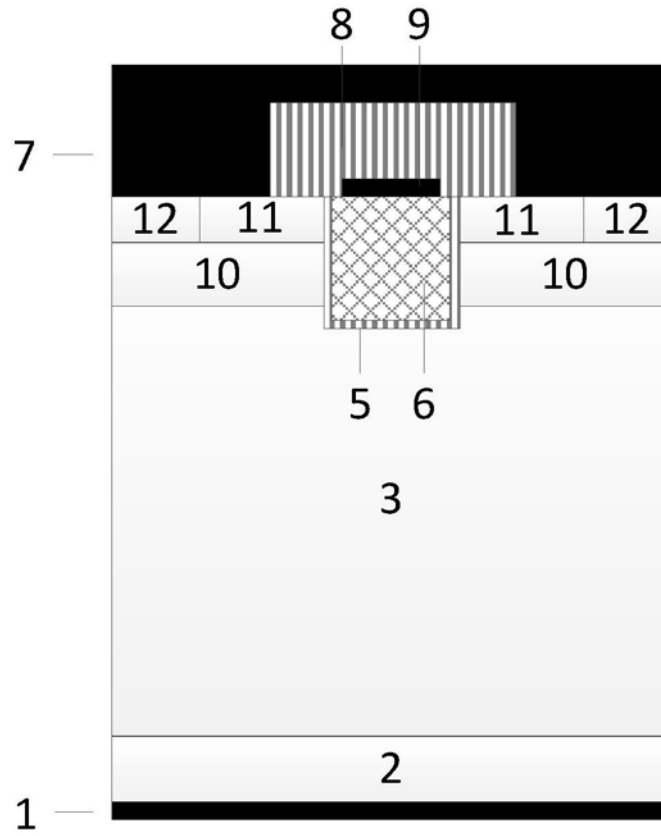


图1

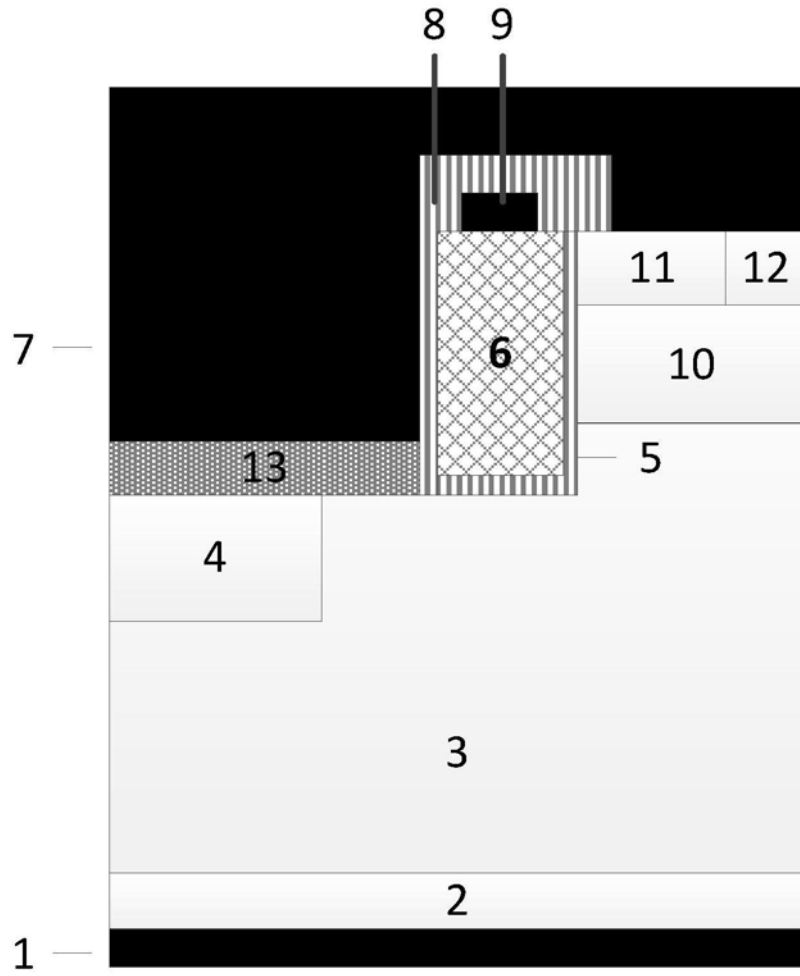


图2

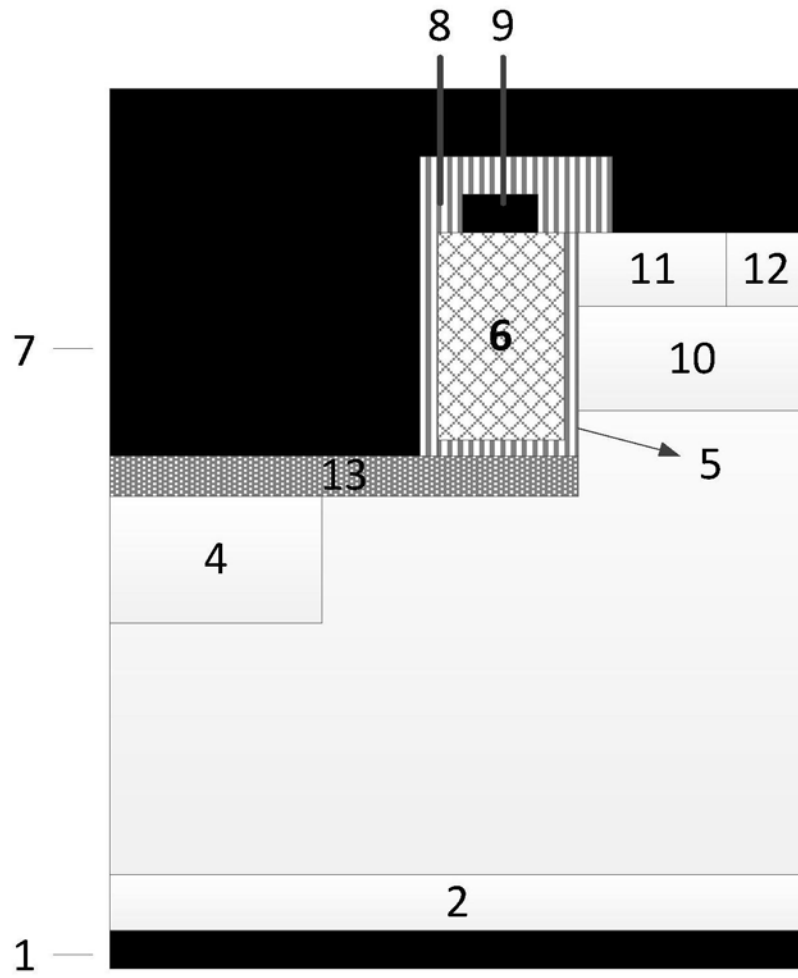


图3

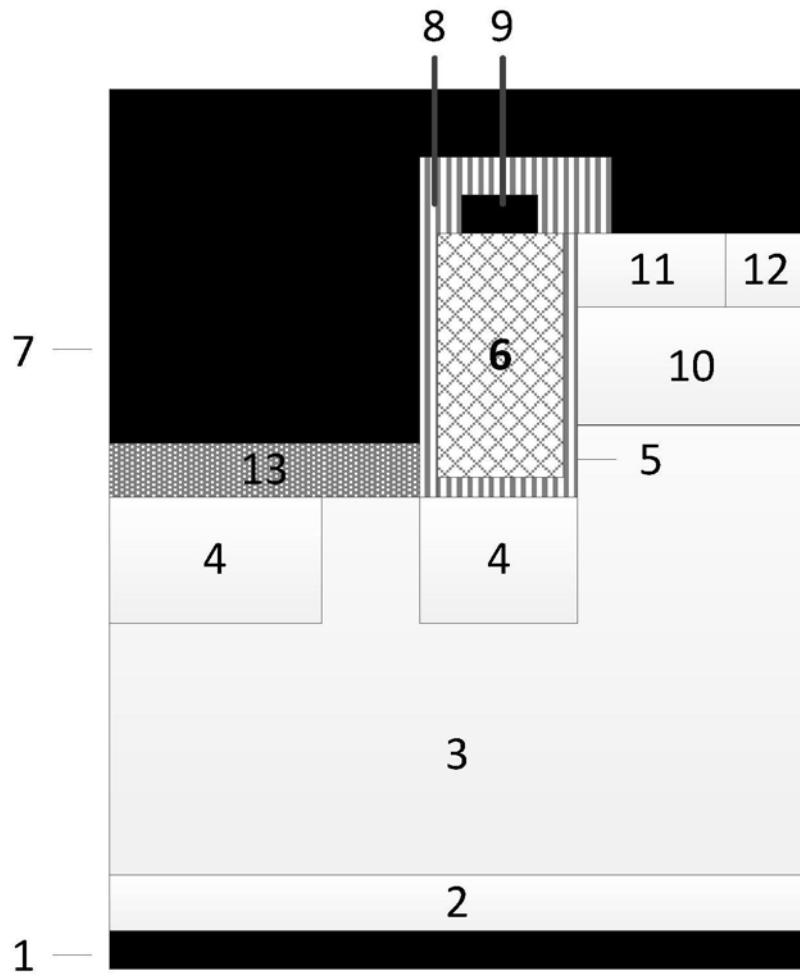


图4

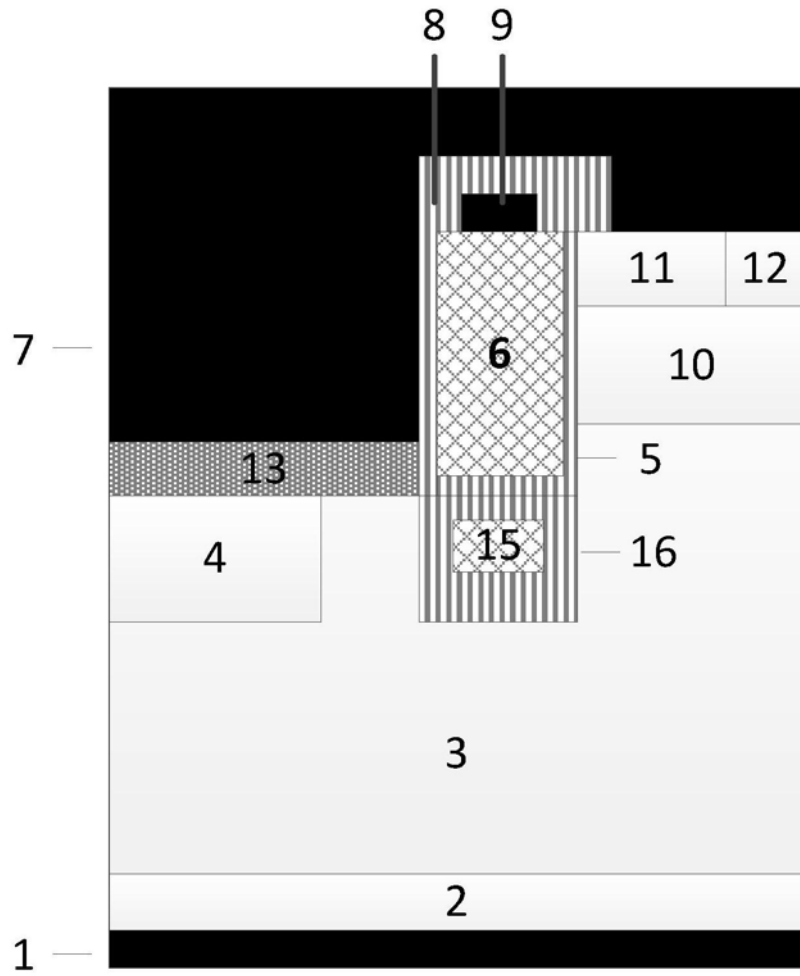


图5



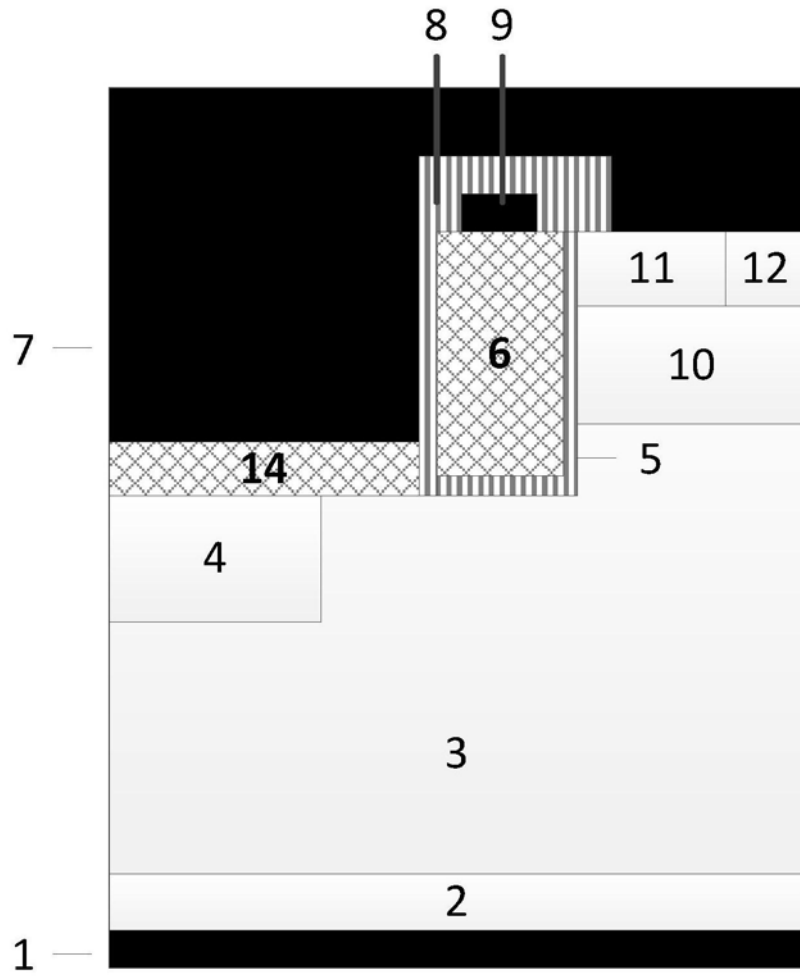


图6

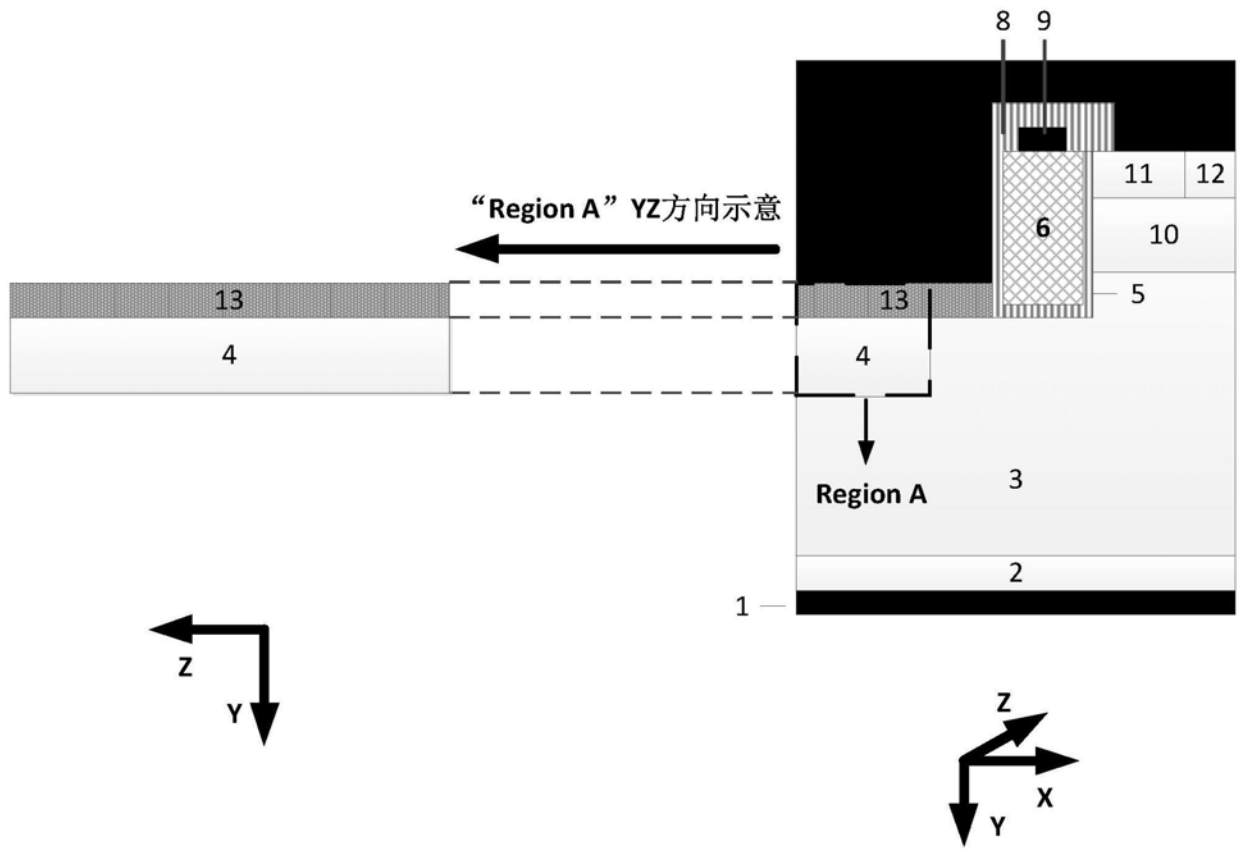


图7

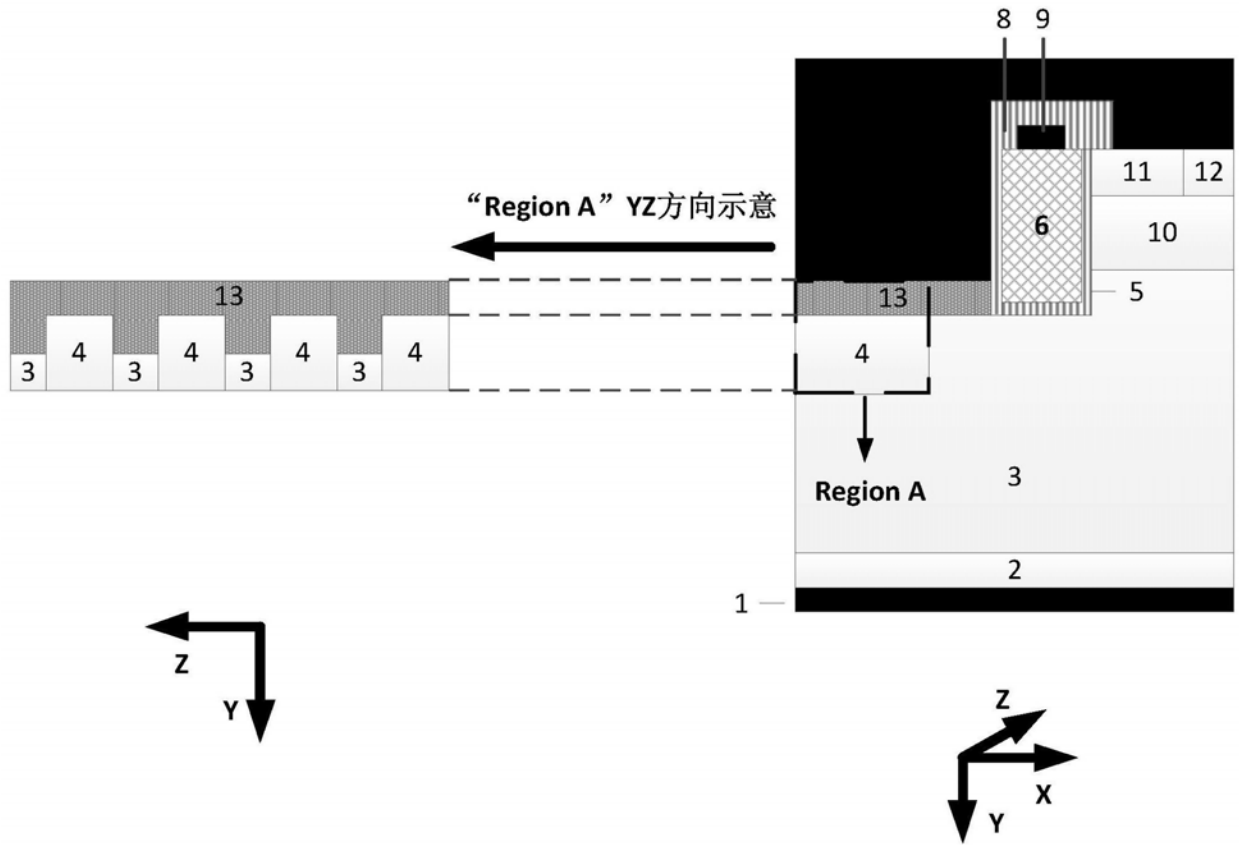


图8

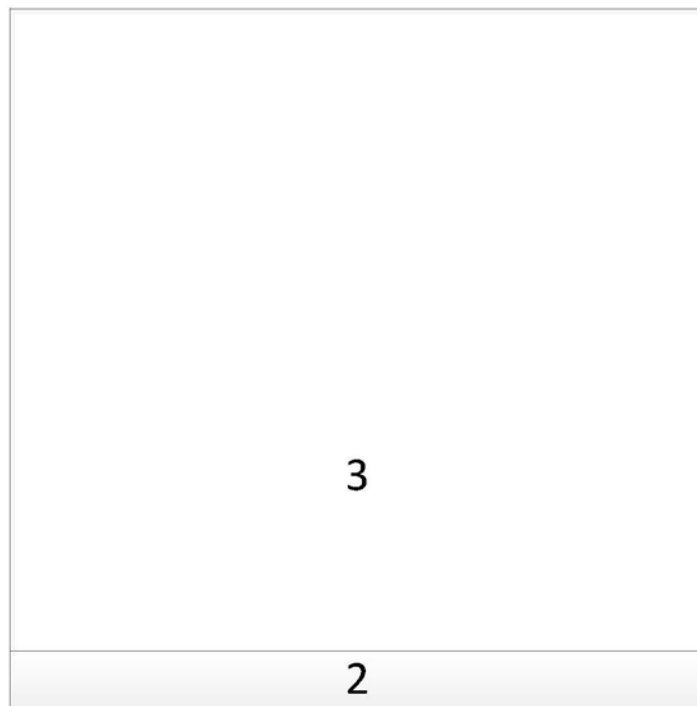


图9

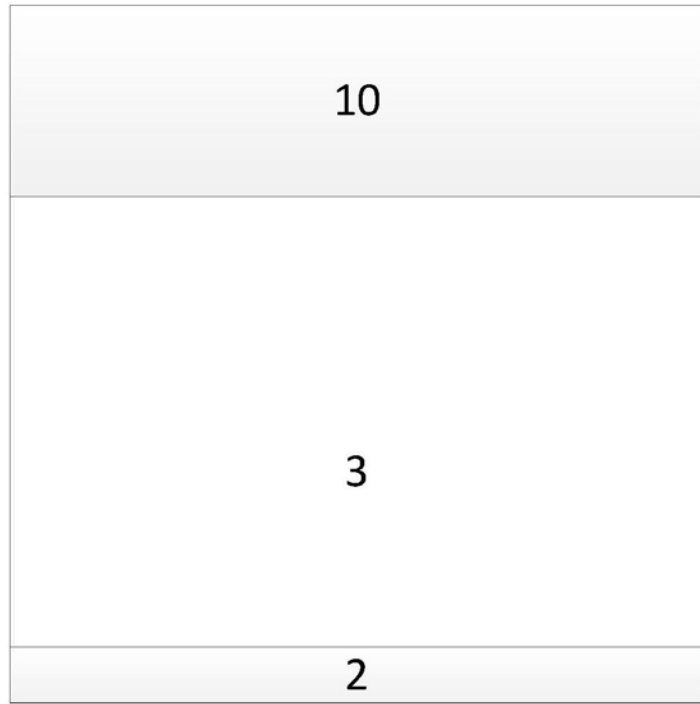


图10

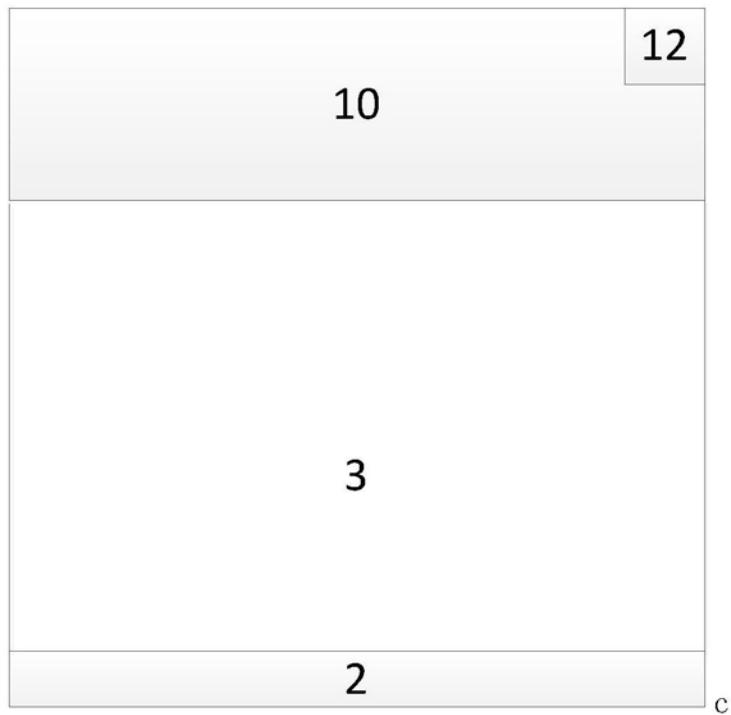


图11

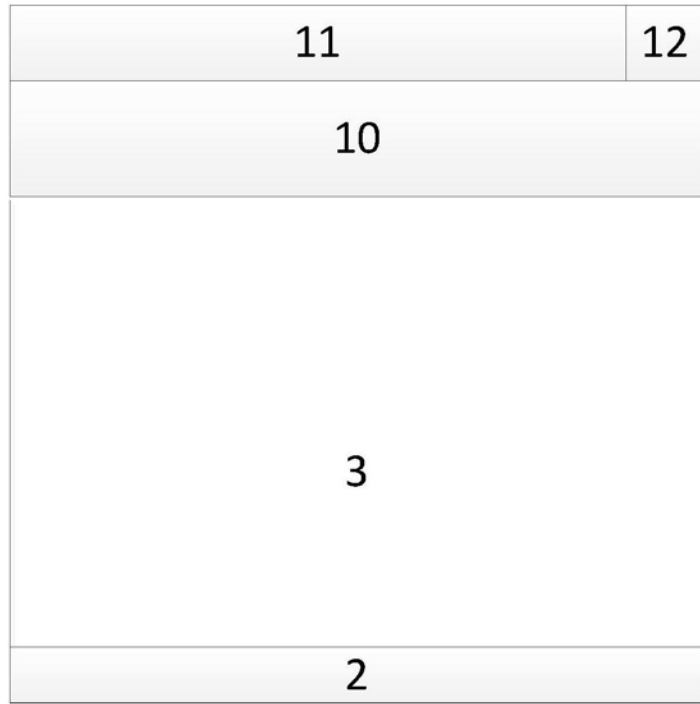


图12

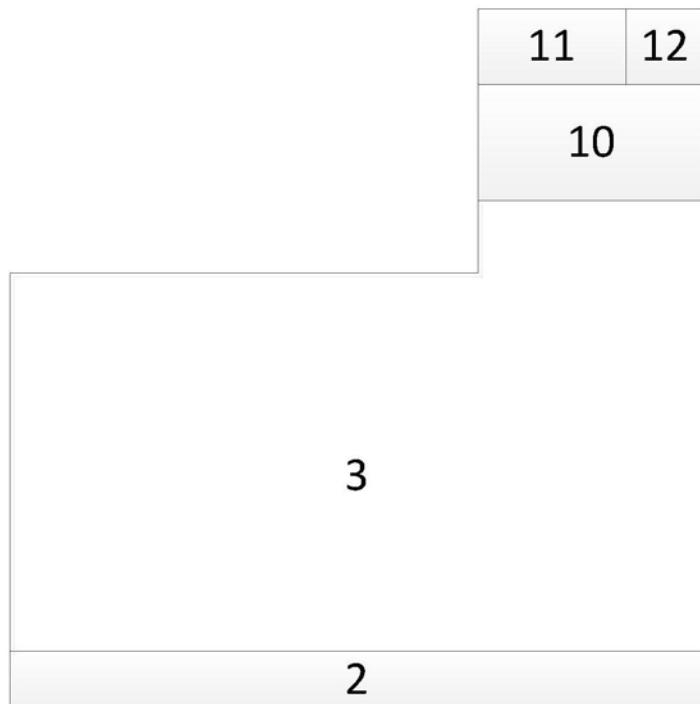


图13

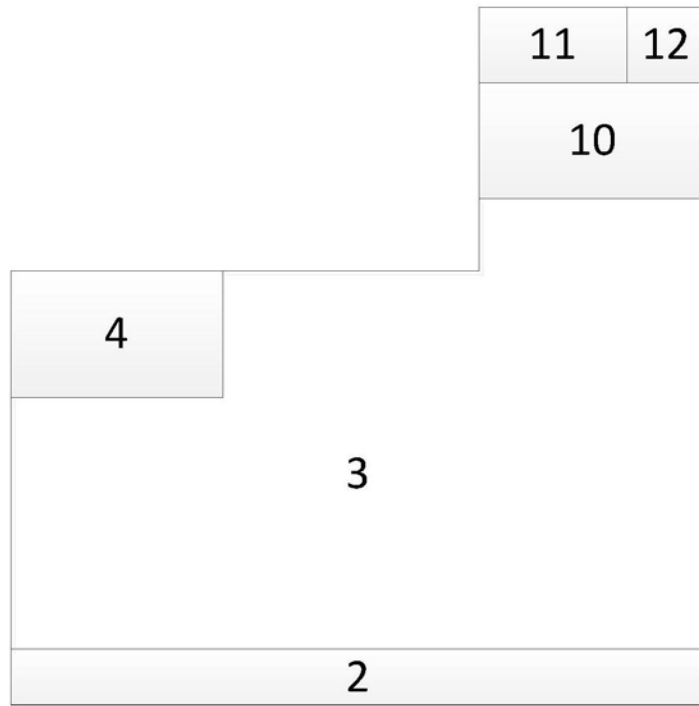


图14

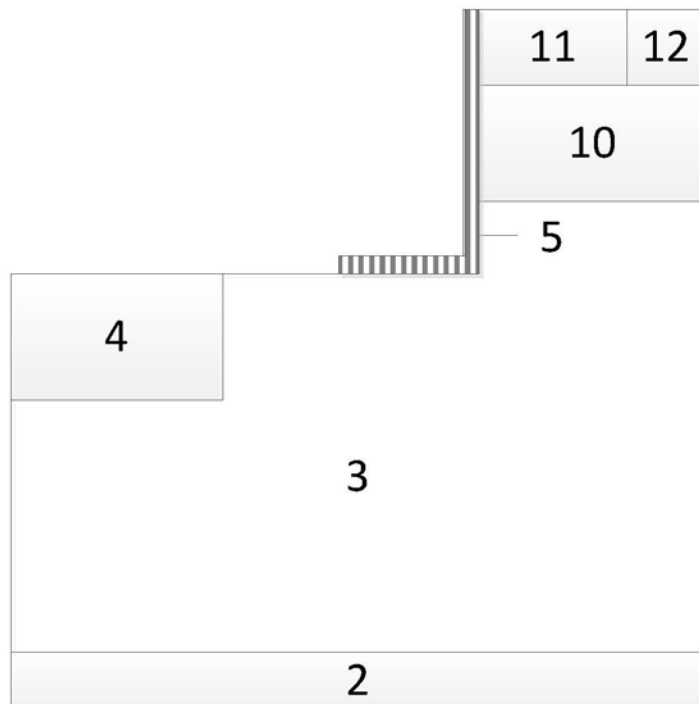


图15

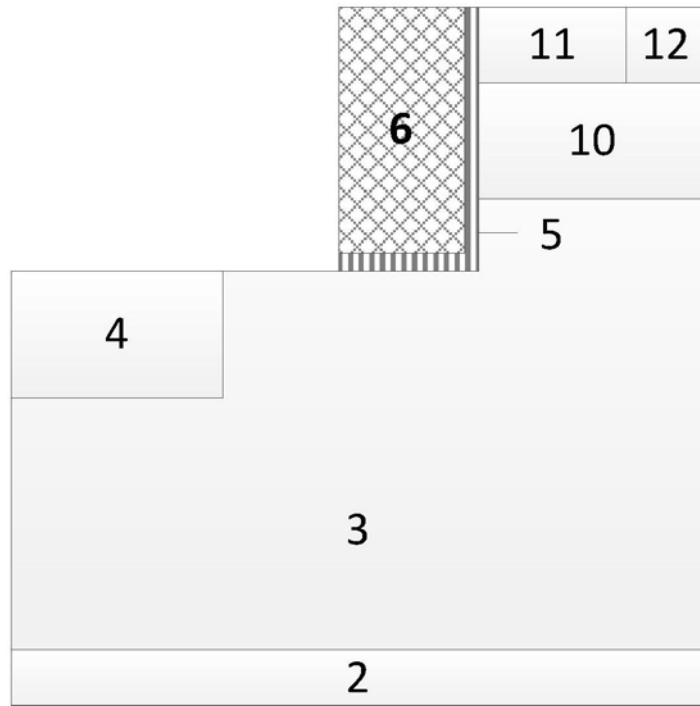


图16

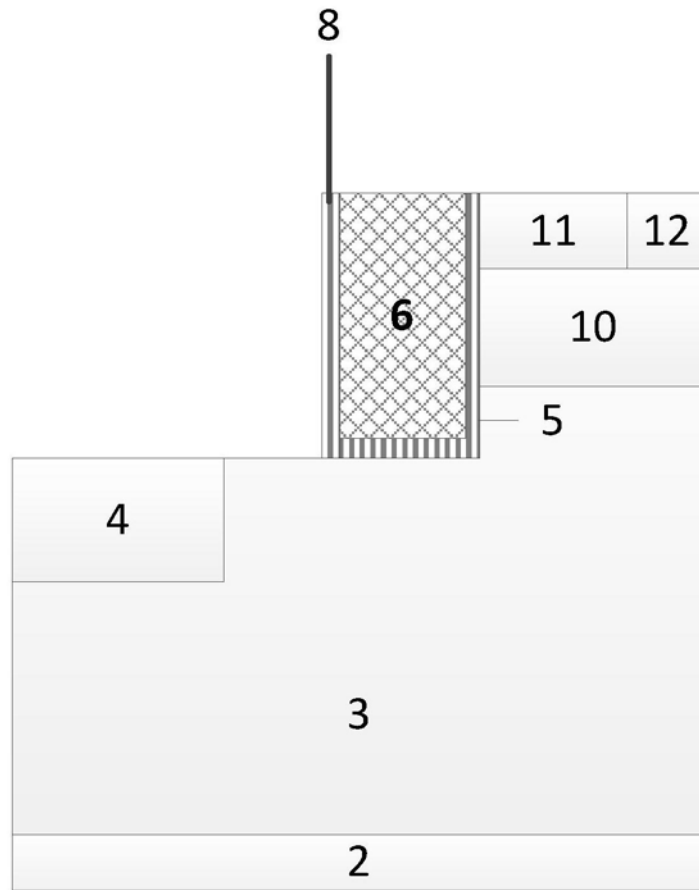


图17



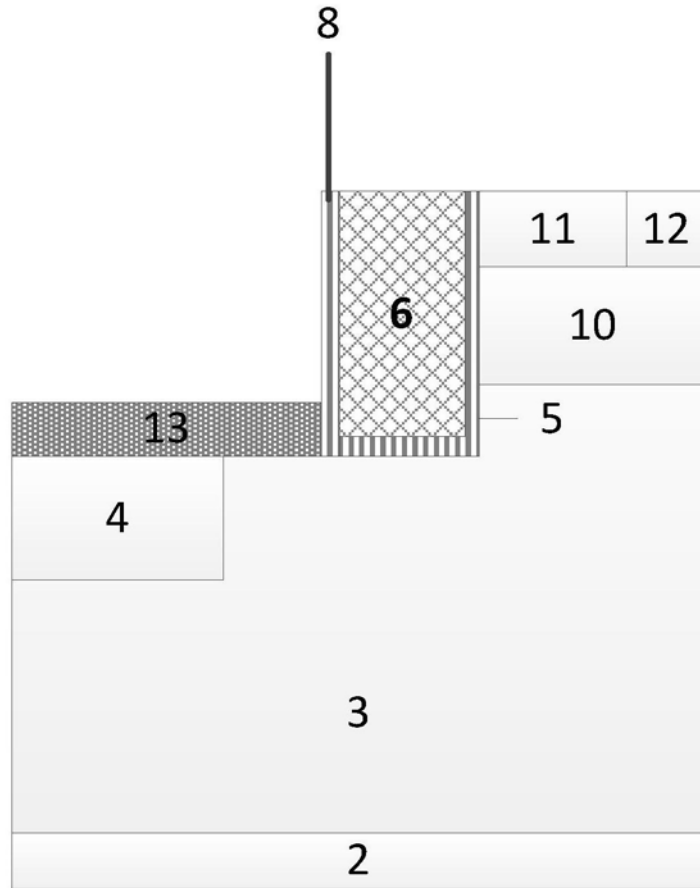


图18

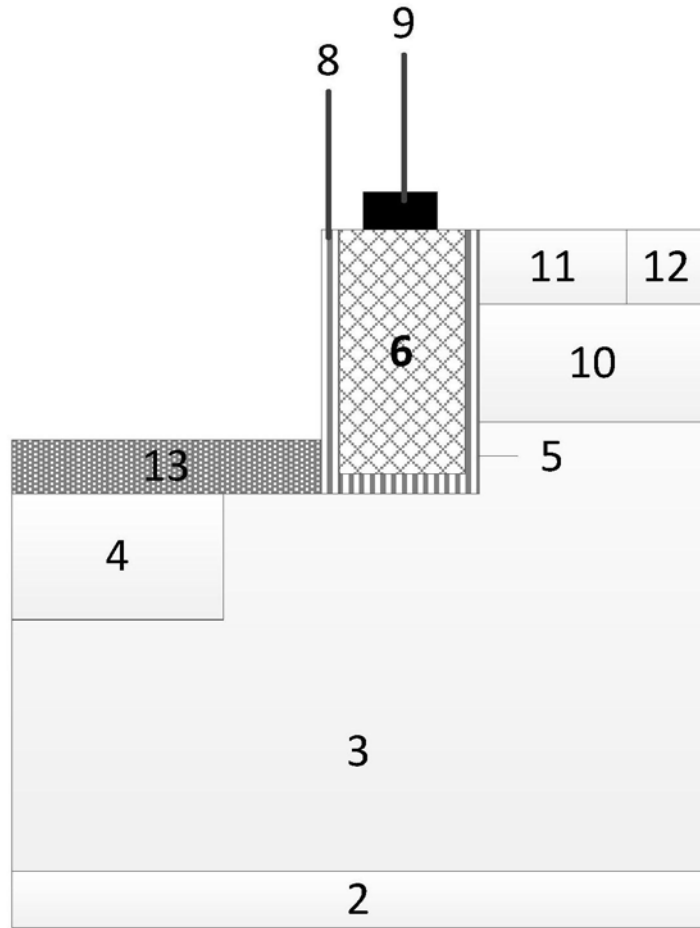


图19

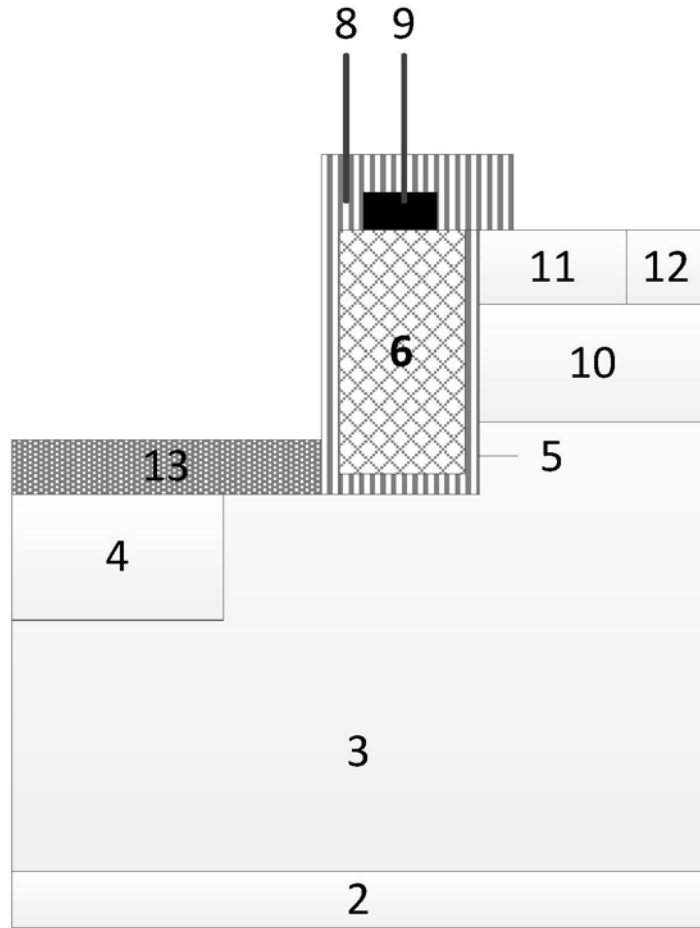


图20

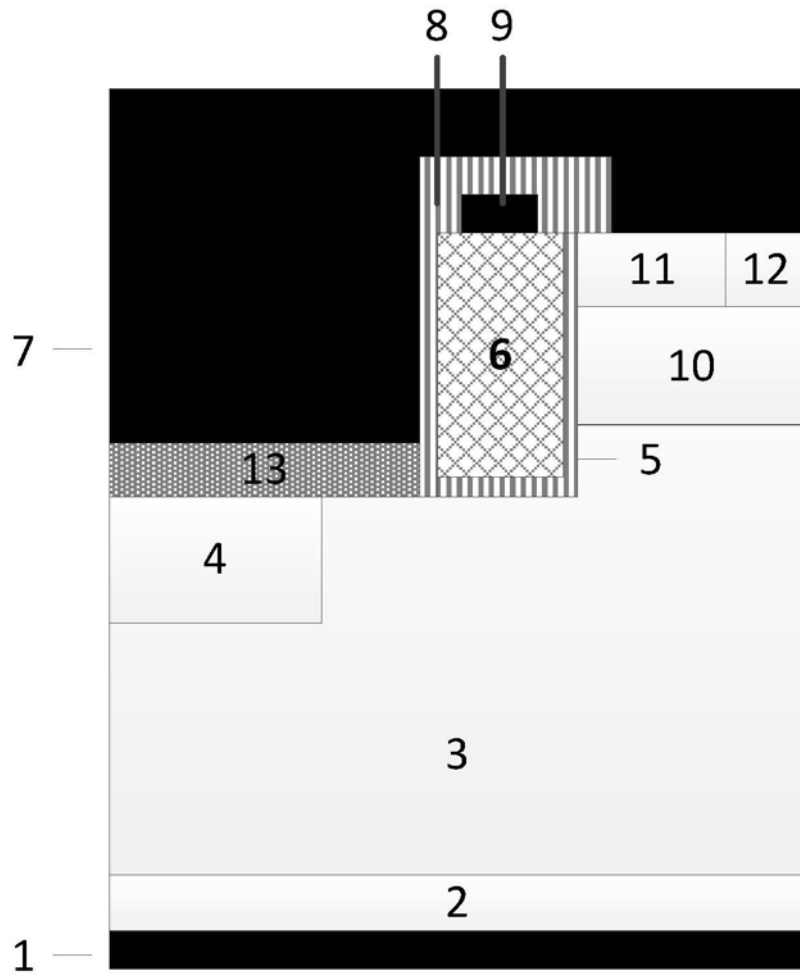


图21