

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5806834号
(P5806834)

(45) 発行日 平成27年11月10日 (2015. 11. 10)

(24) 登録日 平成27年9月11日 (2015. 9. 11)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 6 T
HO 1 L 29/41 (2006. 01)	HO 1 L 29/44 P
HO 1 L 29/417 (2006. 01)	HO 1 L 29/50 M

請求項の数 3 (全 23 頁)

(21) 出願番号 特願2011-85473 (P2011-85473)
 (22) 出願日 平成23年4月7日 (2011. 4. 7)
 (65) 公開番号 特開2011-233882 (P2011-233882A)
 (43) 公開日 平成23年11月17日 (2011. 11. 17)
 審査請求日 平成26年4月2日 (2014. 4. 2)
 (31) 優先権主張番号 特願2010-88634 (P2010-88634)
 (32) 優先日 平成22年4月7日 (2010. 4. 7)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 鹿山 昌代
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、
 ゲート絶縁層と、
 半導体層と、
 ソース電極と、
 ドレイン電極と、を有し、
 前記半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域を有し、
 前記ソース電極または前記ドレイン電極の一方は、連結部と、複数の凸部とを有し、
 前記ソース電極または前記ドレイン電極の他方は、矩形状であり、
 前記複数の凸部は、前記半導体層と接しており、
 前記複数の凸部は、前記ゲート電極と重なる領域を有し、
 前記連結部は、前記ゲート電極と重ならず、
 前記半導体層の端部は、前記連結部と重なる領域を有することを特徴とする半導体装置

10

【請求項2】

ゲート電極と、
 ゲート絶縁層と、
 半導体層と、
 ソース電極と、

20

ドレイン電極と、を有し、

前記半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域を有し、
前記ソース電極または前記ドレイン電極の一方は、連結部と、複数の凸部とを有し、
前記ソース電極または前記ドレイン電極の他方は、矩形状であり、

前記複数の凸部は、前記半導体層と接しており、

前記複数の凸部は、前記ゲート電極と重なる領域を有し、

前記連結部は、前記ゲート電極と重ならず、

チャンネル幅方向において、前記半導体層の端部は、前記ソース電極の端部および前記ドレイン電極の端部とは、間隔を有しており、

チャンネル長方向において、前記半導体層の端部は、前記連結部と重なる領域を有することを特徴とする半導体装置。 10

【請求項 3】

請求項 1 または請求項 2 において、

前記半導体層は、酸化物半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタに係り、開示される発明の一態様はトランジスタの電極形状に関する。

【背景技術】 20

【0002】

情報化の進展に伴い、紙に代わる薄くて軽い電子ペーパーディスプレイや、商品 1 つ 1 つを瞬時に識別することが可能な IC タグ等の開発が注目されている。また、液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで普及している。これらのデバイスの普及に伴って、低コスト化又は、高付加価値化を目的とした開発が行われている。特に近年では、地球環境への関心が高まり、低消費電力動作かつ高速動作を備えたデバイスの開発に注目が集まっている。

【0003】

現行では、これらのデバイスに、トランジスタが素子として、使用されている。トランジスタとは、半導体にソース、ドレインという領域を設け、それぞれに電極を設けて、電位を与え、絶縁層あるいはショットキーバリアを介してゲートと呼ばれる電極より半導体に電界をかけ、半導体の状態を制御することにより、ソース電極とドレイン電極との間に流れる電流を制御するものである。 30

【0004】

低消費電力動作かつ、高速動作のデバイスを実現するためには、より大きなオンオフ比を持ち、かつ寄生容量がより小さなトランジスタが必要とされる。オンオフ比とは、オフ電流とオン電流の比率 (I_{ON} / I_{OFF}) であり、その値が大きいほどスイッチング特性に優れる。なお、オン電流とは、トランジスタがオン状態のときに、ソース電極とドレイン電極との間に流れる電流であり、オフ電流とは、トランジスタがオフ状態のときに、ソース電極とドレイン電極との間に流れる電流をいう。例えば、n 型のトランジスタの場合には、ゲート電圧がトランジスタのしきい値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。寄生容量とは、ソース電極 (ドレイン電極) とゲート電極との重畳部に生じる容量であり、寄生容量が大きいほど、スイッチング時間の増加や交流信号に対する伝達利得の低下を招く。 40

【0005】

トランジスタの寄生容量は、ソース電極 (ドレイン電極) とゲート電極との重畳部の面積に依存して変化する。この面積が小さいほど寄生容量を小さくすることができる。しかし、この面積の低減は、製造コストとトレードオフの関係にあり、それらのバランスを取ることが非常に難しい。

【0006】 50

トランジスタのオン電流は、チャンネル形成領域の長さ及び幅に依存して変化する。チャンネル形成領域の長さは、対峙するソース電極の端部とドレイン電極の端部との間の長さに相当する。この長さが短い程、オン電流をより大きくすることができる。チャンネル形成領域の幅は、ソース電極とドレイン電極とが対峙する長さに相当する。この幅が長い程、オン電流をより大きくすることができる。例えば、トランジスタのソース電極及びドレイン電極の電極形状を共に櫛歯状にし、かつそれぞれを互いに入り組ませることによって、チャンネル形成領域の幅を長くし、ソース電極（ドレイン電極）と、ゲート電極との位置ずれを許容するトランジスタの構造が開示されている（例えば、特許文献1参照）。しかし、このような構造では、ソース電極（ドレイン電極）と、ゲート電極とが重畳する面積が大きくなってしまい、寄生容量が増大してしまう。寄生容量を低減するために、ソース電極（ドレイン電極）とゲート電極とが重畳する面積を小さくすると、オン電流が低減してしまう。

10

【0007】

更に、チャンネル形成領域の長さを極端に長くすることによって、オン電流が急激に低下してしまうという問題が生じる。オン電流を一定の値以上に維持させるためには、チャンネル形成領域の長さ（ゲート幅固定の場合、ソース（ドレイン）電極とゲート電極との重畳部の長さと考えても良い。）をある値で維持させることが重要となる。つまり、チャンネル形成領域の長さを変化させずに（ゲート幅固定の場合、ソース（ドレイン）電極とゲート電極との重畳部の長さを変化させずに）重畳部の面積を低減させることのできるトランジスタが必要となる。

20

【先行技術文献】**【特許文献】****【0008】**

【特許文献1】特開昭62-287666号公報

【発明の概要】**【発明が解決しようとする課題】****【0009】**

上述の問題に鑑み、本発明の一態様は、ソース電極（ドレイン電極）と、ゲート電極との重畳部に生ずる寄生容量を低減させつつ、オン電流の低減を抑制することを課題の一とする。

30

【課題を解決するための手段】**【0010】**

トランジスタのソース電極及びドレイン電極の電極形状を櫛歯形状にすることによって、上記課題を解決する。

【0011】

本発明の一態様は、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたソース電極と、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたドレイン電極とを有し、ソース電極は、ドレイン電極の電極歯部の延在する側に配置され、ドレイン電極は、ソース電極の電極歯部の延在する側に配置され、各電極は互いに向かい合い、かつ互いに入り組むことのないように配置され、一方の電極における櫛歯状電極の先端部と、もう一方の電極における櫛歯状電極の先端部は互いに該先端部と等しい長さで対峙した構造を有していることを特徴とするトランジスタである。（以下A構造と呼ぶ）

40

【0012】

本発明の一態様は、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたソース電極と、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたドレイン電極とを有し、ソース電極は、ドレイン電極の電極歯部の延在する側に配置され、ドレイン電極は、ソース電極の電極歯部の延在する側に配置され、各電極は互いに向かい合い、かつ互いに入り組むことのないように配置され、一方の電極における櫛歯状電極の先端部

50

と、もう一方の電極における櫛歯状電極の先端部は互いに該先端部と異なる長さで対峙した構造を有していることを特徴とするトランジスタである。(以下B構造と呼ぶ)

【0013】

本発明の一態様は、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたソース電極と、矩形状に形成されたドレイン電極とを有し、ドレイン電極は、ソース電極の電極歯部の延在する側に配置され、各電極は互いに向かい合った構造を有していることを特徴とするトランジスタである。(以下C構造と呼ぶ)

【0014】

本発明の一態様は、所定の間隔を隔てて並設してなる複数の電極歯部と該電極歯部を連結する連結部とを有して櫛歯状に形成されたドレイン電極と、矩形状に形成されたソース電極とを有し、ソース電極は、ドレイン電極の電極歯部の延在する側に配置され、各電極は互いに向かい合った構造を有していることを特徴とするトランジスタである。(以下C構造と呼ぶ)

10

【0015】

上記において、該トランジスタは、ゲート電極と、ゲート電極に接するゲート絶縁層と、ゲート絶縁層を介してゲート電極に重畳する半導体層と、半導体層の一方の面に端部を接し、ゲート絶縁層及び半導体層を介して、ゲート電極と端部を重畳するソース電極と、半導体層の一方の面に端部を接し、ゲート絶縁層及び半導体層を介して、ゲート電極と端部を重畳するドレイン電極とを有する。

20

【0016】

上記において、該トランジスタは、ソース電極(櫛歯状電極)の連結部とゲート電極が、重畳しないものとする。またドレイン電極(櫛歯状電極)の連結部とゲート電極が、重畳しないものとする。

【0017】

上記において、該トランジスタは、ソース電極の櫛歯状電極の先端部の幅が、ソース電極の幅の $3/8$ 以上 1 以下であり、ドレイン電極の幅の $3/8$ 以上 $8/3$ 以下であると良い。

【0018】

上記において、該トランジスタは、ドレイン電極の櫛歯状電極の先端部の幅が、ドレイン電極の幅の $3/8$ 以上 1 以下であり、ソース電極の幅の $3/8$ 以上 $8/3$ 以下であると良い。

30

【0019】

上記において、該トランジスタは、各電極歯部間の間隔が、 $0\ \mu\text{m}$ より大きく $5\ \mu\text{m}$ 以下であると良い。

【0020】

なお、該トランジスタが、上述した範囲を満たさない場合、オン電流の値の落ち込みが、許容範囲を超えることがある。ただし、本明細書において、オン電流の値の数%程度までの落ち込みは、オン電流の値を維持できているとみなせるものとする。

【0021】

以下、本明細書で用いる用語について簡単に説明する。本明細書において、櫛歯形状とは、凹部と凸部を備えた全ての形状を指すものとする。櫛歯状電極とは、端部に凹部と凸部を備えたソース(ドレイン)電極全体を指し、櫛歯状電極の先端部とは、連結部の端部を除いて、連結部の端部に平行なゲート電極と重畳するソース(ドレイン)電極の各電極歯部の端部全てを指し、櫛歯状電極の先端部の幅とは、連結部の端部を除いて、連結部の端部に平行なゲート電極と重畳するソース(ドレイン)電極の各電極歯部の端部全ての長さの和を指すものとする。電極歯部間の間隔は、ゲート電極の端部と、ゲート電極と重畳するソース(ドレイン)電極の電極歯部の交点から、ゲート電極の端部と、ゲート電極と重畳するソース(ドレイン)電極の次の電極歯部の交点までの、ゲート電極と、ソース(ドレイン)電極とが重畳しないゲート電極の端部の長さを指すものとする。

40

50

【 0 0 2 2 】

本明細書において、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【 0 0 2 3 】

なお、本明細書において使用した程度を表す用語、例えば「ほぼ」「約」「若干」「程度」などは、最終結果が顕著には変化しないように幾分変更された用語の合理的な逸脱の程度を意味する。これらの逸脱が幾分変更される用語の意味を否定しないことを条件とする。

10

【 発明の効果 】

【 0 0 2 4 】

半導体層上に延在するソース電極（ドレイン電極）の形状を櫛歯状にすることで、ソース電極（ドレイン電極）とゲート電極が重畳する面積を低減することができ、それにより寄生容量を低減することができる。さらに、櫛歯状のソース電極と、ドレイン電極を櫛歯部分に対向するように配置することで、回り込み電流を利用することができ、オン電流が低減しないトランジスタを提供することができる。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 実施の形態 1 のトランジスタを説明する図。

20

【 図 2 】 実施の形態 1 のトランジスタを説明する図。

【 図 3 】 実施の形態 1 のトランジスタを説明する図。

【 図 4 】 実施の形態 1 のトランジスタの電流経路を説明する図。

【 図 5 】 実施例 1 のトランジスタを説明する図。

【 図 6 】 実施例 1 のトランジスタを説明する図。

【 図 7 】 実施例 1 のトランジスタの容量特性を示す図。

【 図 8 】 実施例 1 のトランジスタの電流特性を示す図。

【 図 9 】 実施の形態 2 のトランジスタを説明する図。

【 発明を実施するための形態 】

【 0 0 2 6 】

30

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【 0 0 2 7 】

（実施の形態 1）

本実施の形態では、オン電流の値を損なうこと無く寄生容量の値を低減させるトランジスタの一態様について図 1 乃至図 8 を用いて説明する。

40

【 0 0 2 8 】

本実施の形態で例示するソース電極層とドレイン電極層の形状を工夫した A 構造のトランジスタの、平面の構成を図 1（A）を用いて説明し、断面の構成を図 1（B）を用いて説明する。なお、図 1（B）に示す断面図は、図 1（A）の切断線 A1 - A2 における断面に対応する。図 1（B）に示すトランジスタ 121 は、基板 100 上に設けられ、ゲート電極層 111 と、ゲート電極層 111 に接するゲート絶縁層 102 と、ゲート絶縁層 102 を介してゲート電極層 111 に重畳する半導体層 106 と、半導体層 106 の一方の面に端部を接し、ゲート絶縁層 102 を介してゲート電極層 111 と端部を重畳するソース電極 105a 及びドレイン電極 105b とを有する。

【 0 0 2 9 】

50

A構造のトランジスタにおける模式的平面図を図1(A)に示す。ソース電極層105aは、所定の間隔 s_1 、 s_2 、 s_3 を隔てて並設してなる複数の電極歯部112、113、114、115と該電極歯部を連結する連結部116とを有する。

【0030】

ドレイン電極層105bは、所定の間隔 s_4 、 s_5 、 s_6 を隔てて並設してなる複数の電極歯部142、143、144、145と該電極歯部を連結する連結部146とを有する。

【0031】

ソース電極層105aは、ドレイン電極層105bの電極歯部142、143、144、145の延在する側に配置され、ドレイン電極層105bは、ソース電極層105aの電極歯部112、113、114、115の延在する側に配置され、各電極層は互いに向かい合い、かつ互いに入り組むことのないように配置されている。

10

【0032】

電極歯部112の先端部と電極歯部142の先端部は、互いに等しい長さで対峙して配置され(P1)、電極歯部113の先端部と電極歯部143の先端部は、互いに等しい長さで対峙して配置され(P2)、電極歯部114の先端部と電極歯部144の先端部は、互いに等しい長さで対峙して配置され(P3)、電極歯部115の先端部と電極歯部145の先端部は、互いに等しい長さで対峙して配置され(P4)ている。

【0033】

また、ソース電極層105aにおける櫛歯状電極層の先端部と、ドレイン電極層105bにおける櫛歯状電極層の先端部との間隔は、例えば、 $3\mu\text{m}$ 以上隔てた状態とするのが好ましい。これは、電極層間での接触によりショートが発生する不良などが生じないようにするためである。

20

【0034】

また、ソース電極層105a及びドレイン電極層105bは、複数の層で積層されていてもよい。

【0035】

図1(A)に示されるように、ソース電極層105aの各電極歯部112、113、114、115及びドレイン電極層105bの各電極歯部142、143、144、145は、半導体層106を介して、その一部が、ゲート電極層111と必ず重畳するように重畳部120及び重畳部150が設けられている。また、ソース電極層105aの各電極歯部112、113、114、115及びドレイン電極層105bの各電極歯部142、143、144、145全体がゲート電極層111と重畳していてもよい。

30

【0036】

また、ソース電極層(櫛歯状電極)105aの連結部116とゲート電極層111及び、ドレイン電極層(櫛歯状電極)105bの連結部146とゲート電極層111は、それぞれ重畳しないように設けられている。

【0037】

ソース電極層105aの各電極歯部の延在方向における、電極歯部112、113、114、115とゲート電極層111との重畳部120の長さa、及びドレイン電極層105bの各電極歯部の延在方向における、電極歯部142、143、144、145とゲート電極層111との重畳部150の長さbは、例えば $1.5\mu\text{m}$ 以上が好ましい。これは、ゲート幅gが固定の場合、重畳部120の長さa(重畳部150の長さb)が短くなりすぎると、ソース電極層105aの先端部とドレイン電極層105bの先端部との間隔Lが、長くなりすぎるため、オン電流の値が急激に低下する、又ソース電極層105a(ドレイン電極層105b)とゲート電極層111との重畳部120(重畳部150)でコンタクトが取れなくなるため、トランジスタの電気抵抗が大きくなる、等という問題が生じるためである。なお、ソース電極層105aの各電極歯部とゲート電極層111との重畳部120の長さaと、ドレイン電極層105bの各電極歯部とゲート電極層111との重畳部150の長さbにおいて、前者を後者よりも長く、あるいは短くしてもよい。

40

50

【0038】

ソース電極層105aの各電極歯部112、113、114、115の上面形状は、少なくとも一つの角部が丸みを帯びた形状となっていてよく、片側もしくは両側の側面が傾斜していてもよく、片側もしくは両側の側面が湾曲していてもよい。

【0039】

ドレイン電極層105bの各電極歯部142、143、144、145の上面形状は、少なくとも一つの角部が丸みを帯びた形状となっていてよく、片側もしくは両側の側面が傾斜していてもよく、片側もしくは両側の側面が湾曲していてもよい。

【0040】

ソース電極層105aの各電極歯部112、113、114、115の長さh、及びドレイン電極層105bの各電極歯部142、143、144、145の長さiは、それぞれ同じでも違っていてもよい。

10

【0041】

ソース電極層105aにおける電極歯部112-113間の間隔(s1)、電極歯部113-114間の間隔(s2)、電極歯部114-115間の間隔(s3)、ドレイン電極層105bにおける電極歯部142-143間の間隔(s4)、電極歯部143-144間の間隔(s5)、電極歯部144-145間の間隔(s6)は、それぞれ0μmより大きく5μm以下であることが好ましい。特に寄生容量値の低減を確実にするためには、間隔s1、間隔s2、間隔s3、間隔s4、間隔s5、間隔s6は、それぞれ3μmより大きく5μm以下であることがより好ましい。更にオン電流値の落ち込みを許容範囲内にするためには、該間隔は、それぞれチャンネル形成領域の長さ(ソース電極層105aの先端部と、ドレイン電極層105bの先端部との間隔L)以下であることがより好ましい。

20

【0042】

ソース電極層105a(櫛歯状電極層)の先端部の幅は、該ソース電極層105aの幅w1の3/8以上1以下であり、ドレイン電極層105bの幅w2の3/8以上8/3以下であることが好ましい。

【0043】

ドレイン電極層105b(櫛歯状電極層)の先端部の幅は、該ドレイン電極層105bの幅w2の3/8以上1以下であり、ソース電極層105aの幅w1の3/8以上8/3以下であることが好ましい。

30

【0044】

なお、図2(A)に示される(B構造)ように、電極歯部112の先端部と電極歯部152の先端部は、互いに該先端部と異なる長さで対峙して配置され(P1')、電極歯部113の先端部と電極歯部153の先端部は、互いに該先端部と異なる長さで対峙して配置され(P2')、電極歯部114の先端部と電極歯部154の先端部は、互いに該先端部と異なる長さで対峙して配置され(P3')、電極歯部115の先端部と電極歯部155の先端部は、互いに該先端部と異なる長さで対峙して配置され(P4')ていてもよい。

【0045】

この場合、ソース電極層105aにおける電極歯部112-113間の間隔(s1)、電極歯部113-114間の間隔(s2)、電極歯部114-115間の間隔(s3)、ドレイン電極層106bにおける電極歯部152-153間の間隔(s4')、電極歯部153-154間の間隔(s5')、電極歯部154-155間の間隔(s6')は、それぞれ同じであっても違っていてもよく、また、ドレイン電極層106bの各電極歯部152、153、154、155の長さi'は、それぞれ同じであっても違っていてもよい。

40

【0046】

なお、図2(B)に示される(C構造)ように、ドレイン電極層107bの形状は、矩形形状に形成されていてもよい。

【0047】

次に、ソース電極層とドレイン電極層の形状を工夫した新たな電極形状のトランジスタを

50

用いると、ソース電極層（ドレイン電極層）と、ゲート電極層との重畳部に生じる寄生容量の値を低減させてもオン電流の値をほぼ維持できることを、従来のトランジスタと比較しながら説明する。

【0048】

従来のトランジスタ200における模式的平面図の一例を、図3(A)に、新たな電極形状のトランジスタ201(A構造)における模式的平面図の一例を、図3(B)に示す。なお、トランジスタ200及びトランジスタ201の断面の構成は、図1(B)におけるA構造のトランジスタ121の断面の構成と同一とする。

【0049】

図3(A)では、ソース電極層205a、ドレイン電極層205b、ゲート電極層222、半導体層106を各々示している。図3(B)では、ソース電極層206a、ドレイン電極層206b、ゲート電極層222、半導体層106を各々示している。

10

【0050】

なお、ソース電極層205a（ドレイン電極層205b）の幅 w 及びソース電極層206a（ドレイン電極層206b）の幅 w' は等しく、ソース電極層205aと、ゲート電極層222との重畳部の長さ a 、及びドレイン電極層205bと、ゲート電極層222との重畳部の長さ b 、及びソース電極層（櫛歯状電極）206aの各電極歯部と、ゲート電極層222との重畳部の長さ a' 、及びドレイン電極層（櫛歯状電極）206bの各電極歯部と、ゲート電極層222との重畳部の長さ b' は等しく、ソース電極層205aの端部とドレイン電極層205bの端部との間隔 L 、及びソース電極層206aの先端部とドレイン電極層206bの先端部との間隔 L' は、等しいものとする。

20

【0051】

図3に示されるように、トランジスタ201のソース電極206a（ドレイン電極206b）と、ゲート電極層222との重畳部の面積は、トランジスタ200のソース電極205a（ドレイン電極205b）と、ゲート電極層222との重畳部の面積より、小さくすることができる。

【0052】

例えば、図3(B)に示されるソース電極206a（ドレイン電極206b）における各電極歯部の長さがそれぞれ全て等しく、ソース電極206a（ドレイン電極206b）における各電極歯部の幅がそれぞれ全て等しく、各電極歯部間の間隔がそれぞれ全て等しければ、ソース電極206a（ドレイン電極206b）とゲート電極層222との重畳部の面積は、図3(A)に示されるソース電極205a（ドレイン電極205b）とゲート電極層222との重畳部の面積の約半分にすることができる。

30

【0053】

従って、ソース（ドレイン）電極層の形状を矩形状から櫛歯形状にすることによって、重畳部に生じる寄生容量の値を低減させることができる。

【0054】

トランジスタ200における電流経路の模式的平面図の一例を、図4(A)に、トランジスタ201(A構造)における電流経路の模式的平面図の一例を、図4(B)に示す。

【0055】

図4(A)に示されるように、トランジスタ200では、ソース電極層205aの端部からドレイン電極層205bの端部に向かって、直線電流が流れる。一方、図4(B)に示されるように、トランジスタ201では、ソース電極層206aの各電極歯部212、213、214、215の先端部からドレイン電極層206bの各電極歯部242、243、244、245の先端部に向かって直線電流が流れ、更に、ソース電極層206aの連結部216の端部からドレイン電極層206bの連結部246の端部に向かって、直線電流が流れる。トランジスタ201における直線電流の値は、トランジスタ200における直線電流の値よりも小さい。これは、連結部216（連結部246）が、ゲート電極層222と重畳していないため、電気抵抗が大きくなり、連結部216の端部から連結部246の端部に向かって流れる直線電流が、微小になるためである。

40

50

【 0 0 5 6 】

しかし、図 4 (B) に示されるように、トランジスタ 2 0 1 では、トランジスタ 2 0 0 と比べて減少する直線電流をほぼ補うように、ソース電極層 2 0 6 a の各電極歯部 2 1 2、2 1 3、2 1 4、2 1 5 の側面から、ドレイン電極層 2 0 6 b の各電極歯部 2 4 2、2 4 3、2 4 4、2 4 5 の側面に向かって曲線電流が流れる。これにより、トランジスタ 2 0 0 における直線電流の値と、トランジスタ 2 0 1 における直線電流と曲線電流の和の値を、ほぼ等しく取ることができる。

【 0 0 5 7 】

図 4 (A) に示されるトランジスタ 2 0 0 において、ゲート幅 g が固定の場合、ソース電極層 2 0 5 a とゲート電極層 2 2 2 との重畳部の長さ a (ドレイン電極層 2 0 5 b とゲート電極層 2 2 2 との重畳部の長さ b) を短くすれば、重畳部の面積を低減させることができるが、同時にチャネル形成領域の長さ L (ソース電極層 2 0 5 a の端部とドレイン電極層 2 0 5 b の端部との間隔 L) が長くなるためオン電流の値を維持することができない。

10

【 0 0 5 8 】

しかし、各電極層の形状を、矩形状のソース電極層 2 0 5 a (ドレイン電極 2 0 5 b) から櫛歯状のソース電極層 2 0 6 a (ドレイン電極 2 0 6 b) に変化させることによって、チャネル形成領域の長さを変化させることなく (ソース電極層 2 0 5 a の端部とドレイン電極層 2 0 5 b の端部との間隔 L とソース電極層 2 0 6 a の先端部とドレイン電極層 2 0 6 b の先端部との間隔 L' は、等しい。)、重畳部の面積を低減させることができる。更にこの時、ソース電極層 2 0 6 a の各電極歯部の側面から、ドレイン電極層 2 0 6 b の各電極歯部の側面に向かって、それぞれの電極歯部の周りを囲む様に流れる曲線電流を発生させることができるため、チャネル形成領域の幅が短くなくても、短くする前と変わらないオン電流の値を維持することができる。つまり、トランジスタ 2 0 1 もトランジスタ 2 0 0 と同様にチャネル形成領域の長さのみ依存するオン電流の値を維持することができる。

20

【 0 0 5 9 】

従って、ソース (ドレイン) 電極層の形状を矩形状から櫛歯形状にすることによって、寄生容量の値を低減させてもオン電流の値をほぼ維持させることができる。

【 0 0 6 0 】

なお、図 3 (B) 及び図 4 (B) に示されるトランジスタ 2 0 1 の、各電極歯部間の間隔をさらに広げ、櫛歯状電極層の先端部間の間隔をさらに広げると、寄生容量の値を低減させることはできるが、減少する直線電流を補えるだけの、各電極歯部の周りを囲む様に流れる曲線電流を発生させることができなくなってしまう。こうなると、オン電流の値が急激に低下する。従って、各電極歯部間の間隔及び櫛歯状電極層の先端部間の間隔は、オン電流を一定の値以上とするために、ある値以下に保つ必要がある。

30

【 0 0 6 1 】

以上のような構成により、ソース電極層 (ドレイン電極層) と、ゲート電極層との重畳部に生じる寄生容量の値を低減させてもオン電流の値をほぼ維持する事のできる新たな構造のトランジスタを提供することができる。

【 0 0 6 2 】

なお、本実施の形態に示す構成は、他の実施の形態に例示される構成を適宜組み合わせる用いることができることとする。

40

【 0 0 6 3 】

(実施の形態 2)

本実施の形態は、実施の形態 1 で説明したトランジスタを構成する半導体層の材料として、酸化物半導体を用いる場合の製造工程について図 9 を参照して説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分は上記実施の形態と同様に形成することができ、上記実施の形態と同一工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【 0 0 6 4 】

50

以下、図9(A)乃至(E)を用い、基板505上にトランジスタ510を作製する工程を説明する。

【0065】

まず、絶縁表面を有する基板505上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層511を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0066】

本実施の形態では絶縁表面を有する基板505としてガラス基板を用いる。

【0067】

下地膜となる絶縁膜を基板505とゲート電極層511との間に設けてもよい。下地膜は、基板505からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0068】

また、ゲート電極層511の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0069】

次いで、ゲート電極層511上にゲート絶縁層507を形成する。ゲート絶縁層507は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0070】

本実施の形態の酸化物半導体は、不純物を除去され、I型化又は実質的にI型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【0071】

例えば、 μ 波(例えば周波数2.45GHz)を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0072】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0073】

また、ゲート絶縁層507、酸化物半導体膜530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層511が形成された基板505、又はゲート絶縁層507までが形成された基板505を予備加熱し、基板505に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層516の成膜前に、ソース電極層515a及びドレイン電極層515bまで形成した基板505にも同様に行ってもよい。

【0074】

次いで、ゲート絶縁層507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する(図9(A)参照。)

【0075】

なお、酸化物半導体膜530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層507の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0076】

酸化物半導体膜530に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、単元系金属酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、その化学量論比はとくに問わない。また、InとGaとZn以外の元素を含んでもよい。本実施の形態では、酸化物半導体膜530としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図9(A)に相当する。

【0077】

酸化物半導体膜530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比]の酸化物ターゲットを用い、In-Ga-Zn-O膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]の酸化物ターゲットを用いてもよい。

【0078】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

【0079】

酸化物半導体膜530を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0080】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板505上に酸化物半導体膜530を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0081】

スパッタリング法を行う雰囲気は、希ガス（代表的にはアルゴン）、酸素、または希ガスと酸素の混合雰囲気とすればよい。

【0082】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0083】

次いで、酸化物半導体膜530を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0084】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530の加工時に同時に行うことができる。

【0085】

なお、ここでの酸化物半導体膜530のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜530のウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

20

【0086】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、または400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層531を得る(図9(B)参照。)

【0087】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0088】

例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

40

【0089】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0090】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純

50

度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下）を導入してもよい。酸素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、 $6N$ 以上好ましくは $7N$ 以上（即ち、酸素ガスまたは N_2O ガス中の不純物濃度を $1ppm$ 以下、好ましくは $0.1ppm$ 以下）とすることが好ましい。酸素ガス又は N_2O ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する成分材料の1つである酸素を供給することによって、酸化物半導体層を高純度化及び電気的にI型（真性）化する。

【0091】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜530に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

10

【0092】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行っても良い。

【0093】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530に第1の加熱処理を行う前でも行った後に行ってもよい。

【0094】

20

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、即ち、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、 $3nm$ 以上 $15nm$ 以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気雰囲気下で 450 以上 850 以下、好ましくは 550 以上 750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、 450 以上 850 以下、好ましくは 600 以上 700 以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

30

【0095】

次いで、ゲート絶縁層507、及び酸化物半導体層531上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、 W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、 Al 、 Cu などの金属膜の下側又は上側の一方または双方に Ti 、 Mo 、 W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。特に酸化物半導体層と接する側にチタンを含む導電膜を設けることが好ましい。

40

【0096】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層515a、ドレイン電極層515bを形成した後、レジストマスクを除去する（図9（C）参照。）。

【0097】

なお、ソース電極層515a及びドレイン電極層515bの形状は櫛歯形状であり、酸化物半導体層531上に延在する各電極歯部は、少なくともその一部が、ゲート電極層511と重畳するように形成される。

【0098】

50

ソース電極層 5 1 5 a 及びドレイン電極層 5 1 5 b の形状を櫛歯状にすることで、ソース電極層 5 1 5 a (ドレイン電極層 5 1 5 b) とゲート電極層 5 1 1 が重畳する面積を低減することができ、それにより寄生容量を低減することができる。

【 0 0 9 9 】

また、図 9 (C) に示されるように、櫛歯状のソース電極層 5 1 5 a と、ドレイン電極層 5 1 5 b を各電極歯部が対向するように配置することで、ソース電極層 5 1 5 a の電極歯部の側面から、ドレイン電極層 5 1 5 b の電極歯部の側面に向かって、各電極歯部の周りを囲む様に流れる曲線電流を発生させることができる。この曲線電流 (回り込み電流) を利用することによって、オン電流の値の低減を防ぐことができる。

【 0 1 0 0 】

第 3 のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や K r F レーザ光や A r F レーザ光を用いるとよい。酸化物半導体層 5 3 1 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長 L が決定される。なお、チャンネル長 L = 2 5 n m 未満の露光を行う場合には、数 n m ~ 数 1 0 n m と極めて波長が短い超紫外線 (E x t r e m e U l t r a v i o l e t) を用いて第 3 のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長 L を 1 0 n m 以上 1 0 0 0 n m 以下とすることも可能であり、回路の動作速度を高速化できる。

【 0 1 0 1 】

なお、導電膜のエッチングの際に、酸化物半導体層 5 3 1 がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層 5 3 1 を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層 5 3 1 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。

【 0 1 0 2 】

本実施の形態では、導電膜として T i 膜を用い、酸化物半導体層 5 3 1 には I n - G a - Z n - O 系酸化物半導体を用いたので、T i 膜のエッチャントとしてアンモニア過水 (3 1 重量 % 過酸化水素水 : 2 8 重量 % アンモニア水 : 水 = 5 : 2 : 2) を用いる。

【 0 1 0 3 】

次いで、N₂O、N₂、または A r などのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層 5 1 6 を形成する。

【 0 1 0 4 】

絶縁層 5 1 6 は、少なくとも 1 n m 以上の膜厚とし、スパッタ法など、絶縁層 5 1 6 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層 5 1 6 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化 (N 型化) してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁層 5 1 6 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【 0 1 0 5 】

本実施の形態では、絶縁層 5 1 6 として膜厚 2 0 0 n m の酸化シリコン膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコンを形成することができる。酸化物半導体層に接して形成する絶縁層 5 1 6 は、水分や、水素イオンや、O H⁻ などの不純物を含まず、これらが

10

20

30

40

50

外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0106】

酸化物半導体膜530の成膜時と同様に、絶縁層516の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層516に含まれる不純物の濃度を低減できる。また、絶縁層516の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

【0107】

絶縁層516を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

10

【0108】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が絶縁層516と接した状態で加熱される。

【0109】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化物半導体層は高純度化及び電氣的にI型（真性）化する。

20

【0110】

以上の工程でトランジスタ510が形成される（図9（D）参照。）。

【0111】

また、絶縁層516に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0112】

30

絶縁層516上にさらに保護絶縁層506を形成してもよい。保護絶縁層506は、例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層506を形成する（図9（E）参照。）。

【0113】

本実施の形態では、保護絶縁層506として、絶縁層516まで形成された基板505を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層516と同様に、処理室内の残留水分を除去しつつ保護絶縁層506を成膜することが好ましい。

40

【0114】

保護絶縁層の形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0115】

本実施の形態で例示したトランジスタに、酸化物半導体を用いることで、高い電界効果移動度が得られるため、高速動作させることが可能となる。また、ソース電極層515a（

50

ドレイン電極層 5 1 5 b) の形状を櫛歯形状にしているため、ソース電極層 5 1 5 a (ドレイン電極層 5 1 5 b) とゲート電極層 5 1 1 との間に生じる寄生容量を低減させつつ高速動作させることが可能となる。更に、ゲート電極層 5 1 1 に印加した信号のなまりが無視できる程度となり、酸化物半導体を用いたトランジスタ回路を高い周波数で動作させることができる。

【 0 1 1 6 】

このようなトランジスタを、さまざまなデバイスに用いることによって、低消費電力動作かつ、高速動作が可能になる。このことは、例えば液晶表示装置において、より大型なパネル、高精細なパネルへのドライバの組み込みの可能性を広げることになるといえる。

【 0 1 1 7 】

なお、本実施の形態に示す構成は、他の実施の形態に例示される構成を適宜組み合わせて用いることができることとする。

【 0 1 1 8 】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 実施例 1 】

【 0 1 1 9 】

本実施例では、実施の形態 1 で例示したソース電極層とドレイン電極層の形状を工夫したトランジスタを作製した。作製したトランジスタが、ソース電極層 (ドレイン電極層) とゲート電極層との重畳部に生じる寄生容量の値を低減させても、オン電流の値をほぼ維持できたことを、実験に基づいて、具体的に証明する。

【 0 1 2 0 】

本実施例におけるトランジスタの断面の構成における詳細を示す。ガラス基板上に下地膜を形成した。二層の積層構造からなる下地膜には、窒化珪素膜及び酸化窒化珪素膜を用いて、それぞれ、膜厚 1 0 0 n m、1 5 0 n m とした。下地膜上に、ゲート電極層を形成した。ゲート電極層には、タングステン (W) を用いて膜厚 1 0 0 n m とした。更にゲート電極層上に、ゲート絶縁膜を形成した。ゲート絶縁膜には、酸化窒化珪素膜を用いて膜厚 1 0 0 n m とした。更に、ゲート絶縁膜を介して、ゲート電極層に重畳する酸化物半導体膜を形成した。酸化物半導体膜には、I G Z O を用いて膜厚 1 5 n m とした。更に酸化物半導体膜に端部を接し、ゲート電極層と端部を重畳するように、ソース電極層及びドレイン電極層を形成した。三層の積層構造からなるソース電極層及びドレイン電極層には、チタン (Ti)、アルミニウム (Al)、及びチタン (Ti) を用いて、それぞれ、膜厚 5 0 n m、2 0 0 n m、5 0 n m とした。

【 0 1 2 1 】

本実施例における、トランジスタの平面の構成における詳細を、図 5 及び図 6 に示す。ソース電極層及びドレイン電極層の形状が異なる四種類のトランジスタを作製した。A 構造のトランジスタ 4 0 0 は、図 5 (A) に示されるように形成した。具体的には、ソース電極層 1 0 5 a (櫛歯状電極層) の先端部とドレイン電極 1 0 5 b (櫛歯状電極層) の先端部との間隔 $L = 3 \mu\text{m}$ 、ソース電極層 1 0 5 a の幅 w (ドレイン電極層 1 0 5 b の幅 w) $= 5 0 \mu\text{m}$ 、各電極歯部の幅 l_1 、 l_2 、 l_3 、 l_4 、 l_5 、 l_6 、 l_7 、 $l_8 = 3 \mu\text{m}$ 、各電極歯部間の間隔 s_1 、 s_2 、 s_3 、 s_4 、 s_5 、 $s_6 = 3 \mu\text{m}$ 、ソース電極層 1 0 5 a (ドレイン電極層 1 0 5 b) の各電極歯部の長さ $h(i) = 2 \mu\text{m}$ 、ソース電極層 1 0 5 a (ドレイン電極層 1 0 5 b) の各電極歯部とゲート電極層 1 1 1 との重畳部の長さ $a(b) = 1.5 \mu\text{m}$ 、ゲート幅 $g = 6 \mu\text{m}$ 、各電極歯部の先端部同士が対峙する長さ $P = 3 \mu\text{m}$ とした。

【 0 1 2 2 】

B 構造のトランジスタ 4 0 1 は、図 5 (B) に示されるように形成した。具体的には、ソース電極層 1 0 5 a (櫛歯状電極層) の先端部とドレイン電極 1 0 6 b (櫛歯状電極層) の先端部との間隔 $L = 3 \mu\text{m}$ 、ソース電極層 1 0 5 a の幅 w (ドレイン電極層 1 0 6 b の幅 w) $= 5 0 \mu\text{m}$ 、各電極歯部の幅 l_1 、 l_2 、 l_3 、 l_4 、 l_5' 、 l_6' 、 $l_7' =$

10

20

30

40

50

3 μm 、 $l_8' = 1.5 \mu\text{m}$ 、各電極歯部間の間隔 s_1 、 s_2 、 s_3 、 s_5' 、 s_6' 、 $s_7' = 3 \mu\text{m}$ 、 $s_4' = 1.5 \mu\text{m}$ 、ソース電極層 105a (ドレイン電極層 106b) の各電極歯部の長さ $h(i')$ = 2 μm 、ソース電極層 105a (ドレイン電極層 106b) の各電極歯部とゲート電極層 111 との重畳部の長さ $a(b')$ = 1.5 μm 、ゲート幅 $g = 6 \mu\text{m}$ 、各電極歯部の先端部同士が対峙する長さ $P' = 1.5 \mu\text{m}$ とした。

【0123】

C構造のトランジスタ 402 は、図 6 (A) に示されるように形成した。具体的には、ソース電極層 105a (櫛歯状電極層) の先端部とドレイン電極 107b の端部との間隔 $L = 3 \mu\text{m}$ 、ソース電極層 105a の幅 w (ドレイン電極層 107b の幅 w) = 50 μm 、各電極歯部の幅 l_1 、 l_2 、 l_3 、 l_4 、= 3 μm 、各電極歯部間の間隔 s_1 、 s_2 、 $s_3 = 3 \mu\text{m}$ 、ソース電極層 105a の各電極歯部の長さ $h = 2 \mu\text{m}$ 、ソース電極層 105a の各電極歯部とゲート電極層 111 との重畳部の長さ $a = 1.5 \mu\text{m}$ 、ドレイン電極層 107b とゲート電極層 111 との重畳部の長さ $b'' = 1.5 \mu\text{m}$ 、ゲート幅 $g = 6 \mu\text{m}$ とした。

10

【0124】

従来構造のトランジスタ 403 は、図 6 (B) に示されるように形成した。具体的には、ソース電極層 107a の端部とドレイン電極 107b の端部との間隔 $L = 3 \mu\text{m}$ 、ソース電極層 107a の幅 w (ドレイン電極層 107b の幅 w) = 50 μm 、ソース電極層 107a (ドレイン電極層 107b) とゲート電極層 111 との重畳部の長さ $a'(b'')$ = 1.5 μm 、ゲート幅 $g = 6 \mu\text{m}$ とした。

20

【0125】

以下に、ソース電極層とドレイン電極層の形状を工夫した三種類のトランジスタ 400、401、402 は、従来構造のトランジスタ 403 と比べて寄生容量の値が低減されていることを、実験に基づいて証明する。

【0126】

以下に実験条件を示す。各トランジスタのソース電極層 (ドレイン電極層) と、ゲート電極層との重畳部に生じる寄生容量の値 C を、インピーダンスアナライザ (agilent 製、4294A) を使用して、室温 25、基板温度 25、 $V_G = -20 \sim 30 \text{V}$ (刻み幅 0.25 $\text{V} \times 201$ ステップ) で変化させて、インピーダンスアナライザの 4 端子から GPIB ケーブル (agilent 製) を延長し、マニピレータと直接接続させて測定した。2 端子で測定し、ソース電極層及びドレイン電極層には、片側のみ針を当て、もう片側は、フローティングとして測定した。測定の前に、キャリブレーションを行い、周波数を変更する度にキャリブレーションを行った。このキャリブレーションの際には、マニピレータを全て共通にした。測定周波数 f は、1 MHz 、100 kHz 、10 kHz 、1 kHz の 4 条件で変化させて測定した。

30

【0127】

図 7 (a)、図 7 (b)、図 7 (c)、図 7 (d) は、実際に測定した、各トランジスタのソース電極層 (ドレイン電極層) と、ゲート電極層との重畳部に生じる寄生容量の値 C の容量特性である。それぞれ、図 7 (a) は、A 構造のトランジスタ 400、図 7 (b) は、B 構造のトランジスタ 401、図 7 (c) は、C 構造のトランジスタ 402、図 7 (d) は、従来構造のトランジスタ 403 の容量特性を示している。

40

【0128】

図 7 (a)、図 7 (b)、図 7 (c) の寄生容量の値 C は、図 7 (d) と比べて、低減されていることが確認できた。例えば、周波数 1 MHz 、 $V_G = -20 \text{V}$ の時における、寄生容量の測定値は、トランジスタ 400 の容量値 $C = 5.50 \times 10^{-14} \text{F}$ 、トランジスタ 401 の容量値 $C = 5.41 \times 10^{-14} \text{F}$ 、トランジスタ 402 の容量値 $C = 6.74 \times 10^{-14} \text{F}$ 、従来構造のトランジスタ 403 の容量値 $C = 9.63 \times 10^{-14} \text{F}$ 、となった。また、周波数 1 MHz 、 $V_G = 0 \text{V}$ の時における、寄生容量の測定値は、トランジスタ 400 の容量値 $C = 5.54 \times 10^{-14} \text{F}$ 、トランジスタ 401 の容量値 $C = 5.57 \times 10^{-14} \text{F}$ 、トランジスタ 402 の容量値 $C = 6.81 \times 10^{-14} \text{F}$

50

、従来構造のトランジスタ403の容量値 $C = 9.61 \times 10^{-14}$ F、となった。

【0129】

これより、ソース電極層（ドレイン電極層）と、ゲート電極層との重畳部の面積がトランジスタ400及びトランジスタ401は、従来構造のトランジスタ403の約1/2になり、トランジスタ402は、従来構造のトランジスタ403の約3/4になるのと同様に、寄生容量の値Cもまた、トランジスタ400及びトランジスタ401は、従来構造のトランジスタ403の約1/2になり、トランジスタ402は、従来構造のトランジスタ403の約3/4になることが確認できた。

【0130】

従って、ソース電極層（ドレイン電極層）と、ゲート電極層との重畳部の面積を低減させることによって、寄生容量の値を低減させることができることが確認できた。また、ソース電極層（ドレイン電極層）と、ゲート電極層との重畳部の面積と、重畳部に生じる寄生容量の値は、ほぼ比例関係にあることが確認できた。

10

【0131】

以下に、従来構造のトランジスタ403とソース電極層とドレイン電極層の形状を工夫した三種類のトランジスタ400、401、402は、オン電流の値がほぼ変わらないことを、実験に基づいて証明する。

【0132】

以下に実験条件を示す。各トランジスタのオン電流の値 I_D （ I_D とは、ソース電極層とドレイン電極層との間に流れる電流のことである。）を、セミアトプローバ（4155 B）を使用して、室温25℃、基板温度25℃、 $V_G = -2.0 \sim 2.0$ V（刻み幅0.2 V × 201ステップ）で変化させ、 $V_{DS} = 1$ Vで測定した。

20

【0133】

図8(a)、図8(b)は、実際に測定した、各トランジスタのオン電流の値 I_D の電流特性である。図8(a)は、図8(b)のy軸を対数表示したものである。図8(b)において、(1)は、A構造のトランジスタ400、(2)は、B構造のトランジスタ401、(3)は、C構造のトランジスタ402、(4)は、従来構造のトランジスタ403の電流特性を示している。

【0134】

図8より、従来構造のトランジスタ403とソース電極層とドレイン電極層の形状を工夫した三種類のトランジスタ400、401、402は、オン電流の値がほぼ変わらないことが確認できた。例えば、 $V_G = 2.0$ Vの時に於ける、オン電流の測定値は、(1)のトランジスタ400の電流値 $I_D = 1.01 \times 10^{-5}$ A、(2)のトランジスタ401の電流値 $I_D = 9.69 \times 10^{-5}$ A、(3)のトランジスタ402の電流値 $I_D = 1.10 \times 10^{-5}$ A、(4)の従来構造のトランジスタ403の電流値 $I_D = 1.335 \times 10^{-5}$ A、となった。

30

【0135】

これより、ソース電極層（ドレイン電極層）と、ゲート電極層との重畳部の面積を低減させると、それに伴ってオン電流の値も、若干減少するものの、その減少率は数%程度であることが確認できた。

40

【0136】

これは、トランジスタ400、401、402では、寄生容量の値を低減させることによって減少する直線電流を補えるだけの、各電極歯部の周りを囲む様に流れる曲線電流を発生させることができたことを示唆している。すなわち、ソース（ドレイン）電極層の形状を矩形状から櫛歯形状にすることによって、チャンネル形成領域の幅が短くなっても、短くする前と変わらないオン電流の値を維持することができたことを示唆している。つまり、トランジスタ400、401、402、従来構造のトランジスタ403のオン電流の値は、全てチャンネル形成領域の長さのみ依存するとみなせることが確認できた。

【0137】

従って、ソース電極層とドレイン電極層の形状を工夫したトランジスタは、ソース電極層

50

(ドレイン電極層)とゲート電極層との重畳部に生じる寄生容量の値を低減させても、オン電流の値をほぼ維持できることが確認できた。

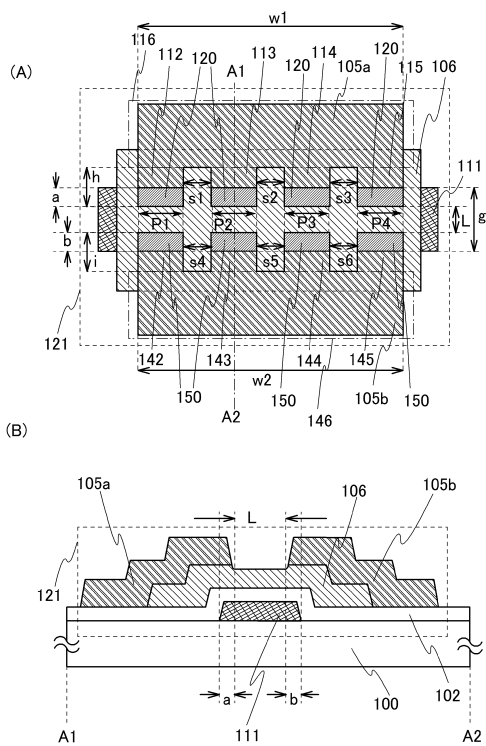
【符号の説明】

【 0 1 3 8 】

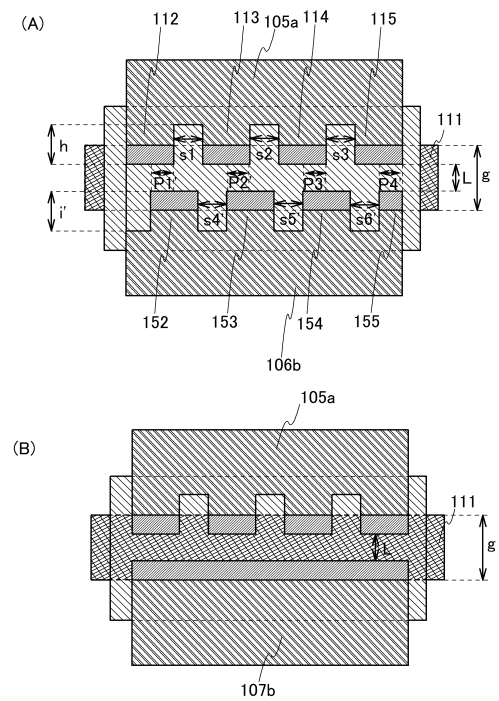
1 0 0	基板	
1 0 2	ゲート絶縁層	
1 0 6	半導体層	
1 1 1	ゲート電極層	
1 1 2	電極歯部	
1 1 3	電極歯部	10
1 1 4	電極歯部	
1 1 5	電極歯部	
1 1 6	連結部	
1 2 1	トランジスタ	
1 4 2	電極歯部	
1 4 3	電極歯部	
1 4 4	電極歯部	
1 4 5	電極歯部	
1 4 6	連結部	
1 5 2	電極歯部	20
1 5 3	電極歯部	
1 5 4	電極歯部	
1 5 5	電極歯部	
2 0 0	トランジスタ	
2 0 1	トランジスタ	
2 1 2	電極歯部	
2 1 3	電極歯部	
2 1 4	電極歯部	
2 1 5	電極歯部	
2 1 6	連結部	30
2 2 2	ゲート電極層	
2 4 2	電極歯部	
2 4 3	電極歯部	
2 4 4	電極歯部	
2 4 5	電極歯部	
2 4 6	連結部	
4 0 0	トランジスタ	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	40
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
1 0 6 b	ドレイン電極層	
1 0 7 a	ソース電極層	
1 0 7 b	ドレイン電極層	
2 0 5 a	ソース電極層	
2 0 5 b	ドレイン電極層	
2 0 6 a	ソース電極層	
2 0 6 b	ドレイン電極層	
5 0 5	基板	50

- 5 0 6 保護絶縁層
- 5 0 7 ゲート絶縁層
- 5 1 0 トランジスタ
- 5 1 1 ゲート電極層
- 5 1 6 絶縁層
- 5 3 0 酸化物半導体膜
- 5 3 1 酸化物半導体層
- 5 1 5 a ソース電極層
- 5 1 5 b ドレイン電極層

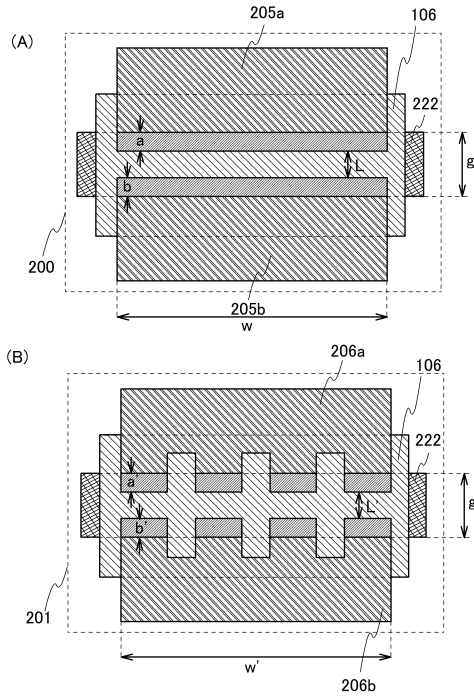
【図 1】



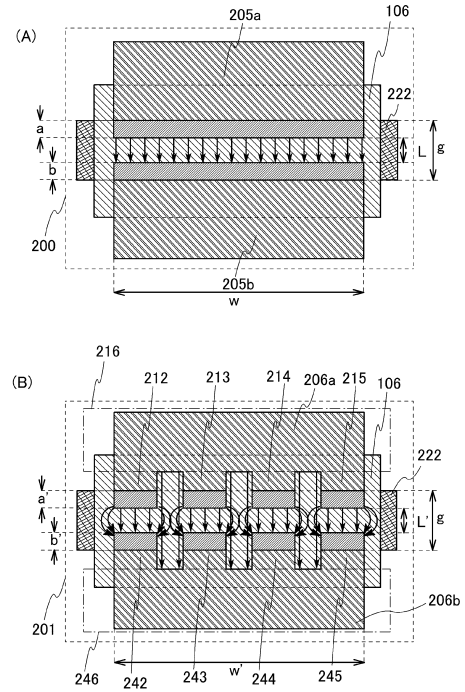
【図 2】



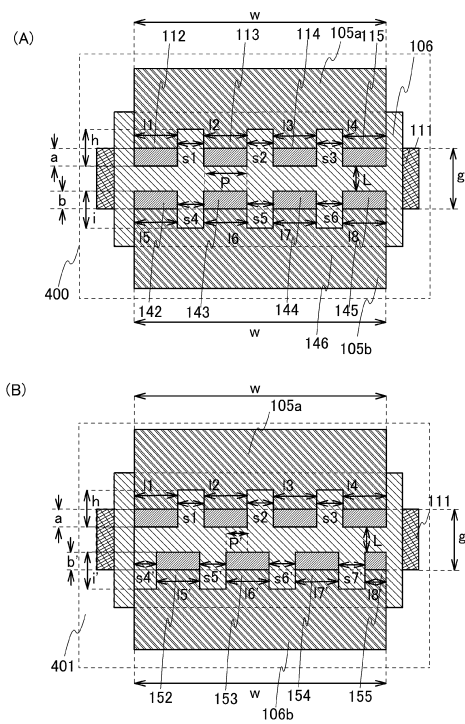
【図3】



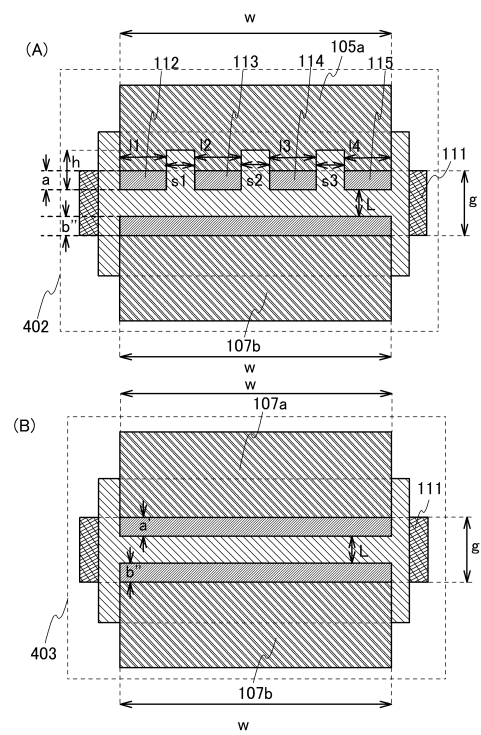
【図4】



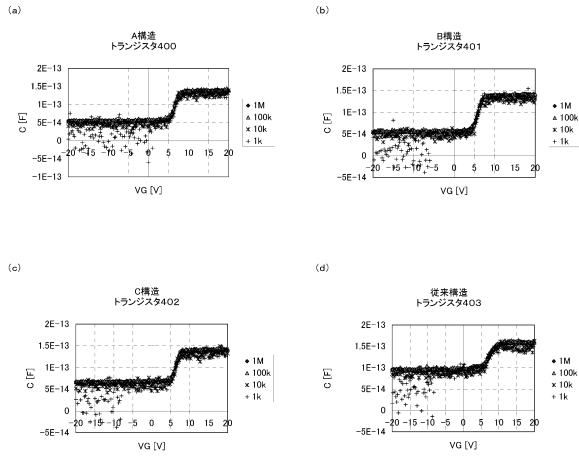
【図5】



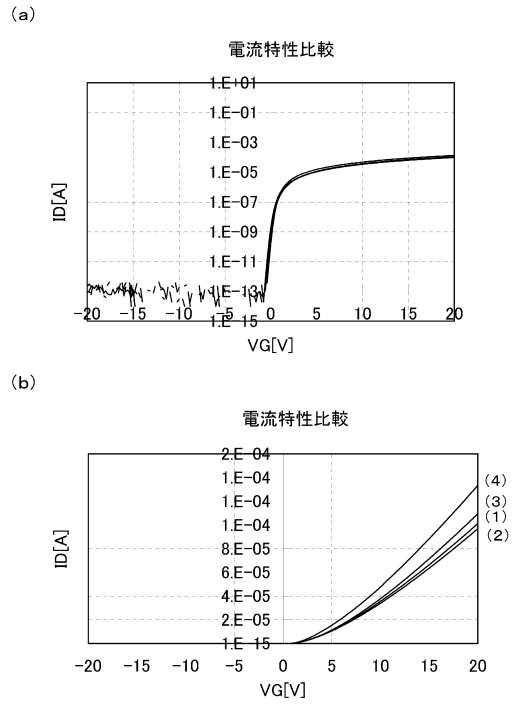
【図6】



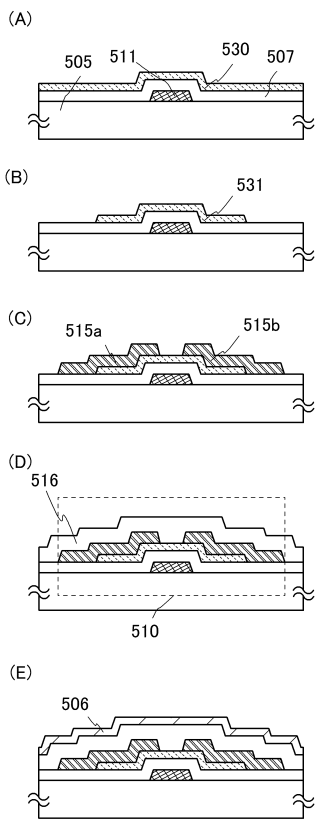
【図7】



【図8】



【図9】



フロントページの続き

- (56)参考文献 実開昭60-054171(JP,U)
米国特許出願公開第2005/0041168(US,A1)
特開2004-006342(JP,A)
特開2007-310180(JP,A)
特開平04-360583(JP,A)
特開2007-156494(JP,A)
特開2010-016163(JP,A)
特開2010-004000(JP,A)
特開平05-183165(JP,A)
特開2001-209070(JP,A)
特開平08-015728(JP,A)
特開2008-166318(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 29/41
H01L 29/417