

(12) 发明专利申请

(10) 申请公布号 CN 102246405 A

(43) 申请公布日 2011. 11. 16

(21) 申请号 200980132255. 0

(51) Int. Cl.

(22) 申请日 2009. 08. 19

H02M 7/219 (2006. 01)

(30) 优先权数据

12/194, 921 2008. 08. 20 US

12/274, 469 2008. 11. 20 US

(85) PCT申请进入国家阶段日

2011. 02. 18

(86) PCT申请的申请数据

PCT/CN2009/073355 2009. 08. 19

(87) PCT申请的公布数据

W02010/020182 EN 2010. 02. 25

(71) 申请人 电方便有限公司

地址 中国香港新界沙田香港科学园 6 号集成电路开发中心 2 楼 207 室

(72) 发明人 何永财 许树源 刘逊 蔡伟邦

(74) 专利代理机构 深圳中一专利商标事务所

44237

代理人 张全文

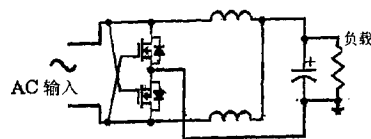
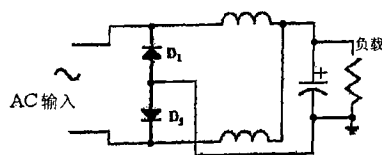
权利要求书 2 页 说明书 20 页 附图 31 页

(54) 发明名称

用于单相和多相系统的通用 AC-DC 同步整流技术

(57) 摘要

描述了用于单相和多相、单级和多级全桥和半桥整流的电路配置和拓扑, 在所述整流器中二极管由电压控制的自驱动有源开关、电流控制的自驱动有源开关和电感器代替, 以便减少在二极管中的传导损耗的效应。



1. 一种半桥或全桥整流器,其配置成使用电流源或电压源来提供同步整流,所述整流器包括上分支和下分支以及至少两个电流环,每个所述分支包括电压或电流控制的有源开关、电感器、二极管或其组合,该有源开关、电感器、二极管或其组合被选择成使得所述环包括来自所述上分支的一个有源开关、电感器或二极管以及来自所述下分支的一个有源开关、电感器或二极管,且其中每个所述电流环包括至少一个二极管、电感器或电流控制的有源开关,且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中,且以没有电流环可包含两个电感器为条件。

2. 如权利要求 1 所述的整流器,其中所述电压和电流控制的有源开关是自驱动的,且不需要外部控制信号。

3. 如权利要求 2 所述的整流器,其中所述电压控制的有源开关由输入 ac 电压驱动,所述输入 ac 电压通过栅极驱动电路被提供到所述开关。

4. 如权利要求 2 所述的整流器,其中所述电流控制的有源开关通过感测开关的电流方向并根据所述电流方向将信号提供到栅极驱动电路来驱动。

5. 如权利要求 4 所述的整流器,其中所述有源开关包括功率 MOSFET 或某些其它半导体开关器件。

6. 如权利要求 4 所述的整流器,还包括用于感测所述电流方向的感测电阻器。

7. 如权利要求 4 所述的整流器,其中所述电流控制的有源开关的内部电阻用于感测所述电流方向。

8. 如权利要求 1 所述的整流器,其中所述整流器配置成接收电流源。

9. 如权利要求 1 所述的整流器,其中所述整流器配置成接收电压源。

10. 如权利要求 1 所述的整流器,其中所述整流器是包括两个电流环的单相全桥整流器。

11. 如权利要求 10 所述的整流器,其中所述上分支包括两个电压控制的有源开关,而所述下分支包括两个电流控制的有源开关,或一个电流控制的开关和一个二极管,或两个二极管。

12. 如权利要求 10 所述的整流器,其中所述上分支包括一个电压控制的有源开关和一个电流控制的有源开关或二极管,而所述下分支包括一个电压控制的有源开关和一个电流控制的有源开关或二极管,其中所述电流控制的有源开关或二极管没有设置在同一电流环中。

13. 如权利要求 10 所述的整流器,其中所述上分支包括两个电压控制的有源开关和一个电流控制的有源开关或二极管,而所述下分支包括两个电流控制的有源开关,或一个电流控制的开关和一个二极管,或两个二极管。

14. 如权利要求 10 所述的整流器,其中所述上分支包括两个电流控制的有源开关,或一个电流控制的有源开关和一个二极管,或两个二极管,而所述下分支包括两个电压控制的有源开关。

15. 如权利要求 10 所述的整流器,其中所述上分支包括两个电流控制的有源开关,或一个电流控制的有源开关和一个二极管,或两个二极管,而所述下分支包括一个电压控制的有源开关和一个电流控制的有源开关或一个二极管。

16. 如权利要求 10 所述的整流器,其中所述整流器只包括在所述上分支和下分支中的

电流控制的有源开关和 / 或二极管, 且其中所述分支中的至少一个包括至少一个电流控制的有源开关。

17. 如权利要求 1 所述的整流器, 其中所述整流器是半桥整流器, 其中所述上分支和所述下分支每个都包括电容器、以及电流控制的有源开关、电感器或二极管之一, 服从于所述分支的不超过一个包括二极管的限制。

18. 如权利要求 1 所述的整流器, 其中所述整流器是包括上分支和下分支以及六个电流环的三相全桥整流器, 每个所述分支包括电压或电流控制的有源开关、二极管或其组合, 其被选择成使得每个环包括来自所述上分支的一个有源开关或二极管以及来自所述下分支的一个有源开关或二极管, 且其中每个电流环包括至少一个二极管或电流控制的有源开关, 且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中。

19. 如权利要求 18 所述的整流器, 其中所述上分支包括三个电流控制的有源开关或二极管。

20. 如权利要求 18 所述的整流器, 其中所述下分支包括三个电流控制的有源开关或二极管。

21. 如权利要求 18 所述的整流器, 其中所述下分支和上分支每个包括两个电流控制的有源开关或二极管, 且每个电流环包括至少一个电流控制的有源开关或二极管。

22. 一种多级整流器, 其中每个级包括至少一个电路拓扑, 所述电路拓扑包括上分支和下分支以及两个电流环, 且其中至少所述电路拓扑配置成使得每个所述分支包括电压或电流控制的有源开关、电感器、二极管或其组合, 该有源开关、电感器、二极管或其组合被选择成使得每个环包括来自所述上分支的一个有源开关、电感器或二极管以及来自所述下分支的一个有源开关、电感器或二极管, 且其中每个所述电流环包括至少一个二极管, 电感器或电流控制的有源开关, 且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中, 且以没有电流环可包含两个电感器为条件。

23. 一种包括上分支和下分支以及两个电流环的倍流器, 其中所述上分支包括两个电感器, 而所述下分支包括电压或电流控制的有源开关、二极管或其组合, 且所述下分支包括至少一个电压控制的有源开关或至少一个电流控制的有源开关。

用于单相和多相系统的通用 AC-DC 同步整流技术

发明领域

[0001] 本发明涉及自驱动半桥和全桥同步整流,尤其是涉及用于单相到多相的通用同步整流技术和多级 AC 到 DC 功率转换。

[0002] 发明背景

[0003] 二极管整流器的传导损耗明显促成电源中的总功率损耗,特别是在低输出电压应用中。整流器传导损耗是其正向电压降 V_F 和正向传导电流 I_F 的乘积。图 1(a) 示出称为“倍流器”的一种整流器电路。即使在使用低正向降肖特基二极管时, D1 或 D2 两端的电压降(通常为 0.3-0.4V)与低输出电压(例如,等于或小于 5V)比较也仍然明显。如果通过二极管的电流是 1A,则来自二极管的功率损耗是大约 0.3W-0.4W,其与输出功率例如 5W 比较相当大。

[0004] 在现有技术中已知的一个解决方案是“同步整流”(SR),即,使用在第三象限中操作的低传导损耗有源开关例如 MOSFET 来代替二极管。n 沟道(n 型)象限 III MOSFET 意味着源极端子连接到比漏极端子高的电压,且电流从源极流到漏极。p 沟道(p 型)象限 III MOSFET 意味着漏极端子连接到比源极端子高的电压,且电流从漏极流到源极。在传导期间 MOSFET 的内部电阻通常非常低,这因此减小了整流器传导损耗。图 1(b) 是应用于倍流器的自驱动 SR 的简单示意图。MOSFET 的栅极驱动方案是将驱动器交叉耦合到输入 AC 电压。

[0005] 现有技术描述了应用于正向整流器的自驱动 SR(例如参考文献 [1][3][5][6][9][13])、应用于中心抽头整流器的自驱动 SR(例如参考文献 [7][19])、应用于倍流器的自驱动 SR(例如参考文献 [8])、应用于正向整流器的具有辅助绕组的 SR(例如参考文献 [4][10][18])、应用于中心抽头整流器的具有辅助绕组的 SR(例如参考文献 [4][10][11][17])、应用于倍流器的具有辅助绕组的 SR(例如参考文献 [4][10][16])、应用于正向整流器的外部控制的 SR(例如参考文献 [2][14])、应用于倍流器的外部控制的 SR(例如参考文献 [12][20]) 和应用于反激式整流器的外部控制的 SR(例如参考文献 [15])。

[0006] 在现有技术的上面例子中,与辅助绕组版本和外部控制版本比较,自驱动 SR 是最简单的,因为不需要额外的绕组或额外的控制器。然而从现有技术的回顾中可看到,到此为止还没有提供自驱动全桥 SR 的成功尝试。全桥整流器是具有广泛应用的重要整流器电路。图 2(a) 和 (b) 中示出了一般单相全桥整流器。AC 输入可以是电流源或电压源。在如图 2(a) 所示的第一半周期中,电流流经也称为电流环的输入、二极管 D1、负载和二极管 D4。当电流方向反转时,二极管 D1 和 D4 自动关断。电流接着流经作为另一电流环的输入、二极管 D2、负载和二极管 D3,如图 2(b) 所示。应注意,二极管的自动关断特性对电路的正常操作是关键。实际自驱动全桥 SR 因此必须具有用于感测反向电流以关断适当的开关的机制。

[0007] 通过扩展应用于其它整流器(如图 1(b) 所示的整流器)的现有自驱动 SR,可得到简单的自驱动全桥 SR 电路,如图 3(a) 所示,其中四个二极管由两个 p 型 MOSFET M1 和 M2 以及两个 n 型 MOSFET M3 和 M4 代替。M1 和 M3 通过感测点 B 的电压来驱动,而 M2 和 M4 通过感测点 A 的电压来驱动。这样的方法称为“电压控制的自驱动”(VCSD),因为驱动信号耦

合到电压。然而,在这个电路中存在缺陷。如图 3(b) 所示,通过 M1 和 M4 的电流环可在两个方向上流动,因为 VSCD 栅极驱动器不能检测反向电流。电流也可在通过 M2 和 M3 的环中在两个方向上流动。与当电流被反转时可自动关断的图 2 中的二极管不同,具有双向开关电流流动的这样的开关可能使通信失败。

[0008] 因为 n 型功率 MOSFET 具有比 p 型 MOSFET 更低的导通状态电阻,对于高电流应用,前面提到的两个 p 型 MOSFET 也可由 2 个 n 型 MOSFET 代替,假定额外的反转级被添加在如图 4 所示的栅极驱动电路中,以便保持基于检测输入 ac 电源的“自驱动”特征。

[0009] 一些现有技术使用其它方法来处理全桥 SR(例如参考文献 [21][23][24][25][26][27][28]),这些方法使用适合于应用 PFC(功率因数校正)的外部控制器。也在现有技术中已知的是参考文献 [22],但该提议需要在次级绕组处产生正弦电压波形的谐振电容器和在输出处增强关断定时的平流电感器的帮助。但无源电容器和电感器在尺寸上较大,且这不可避免地产生驱动脉冲之间的大的死时间,驱动脉冲在一个周期中不利地影响功率转移的持续时间。这种方法具有较大的限制。最终这种方法被改变为使用外部数字 PLL 控制的 SR 来实现小型化。这仍然不是自驱动全桥 SR 的例子。

[0010] 发明概述

[0011] 根据本发明,提供了半桥或全桥整流器,其配置成使用电流源或电压源来提供同步整流,所述整流器包括上分支和下分支以及至少两个电流环,每个所述分支包括电压或电流控制的有源开关、电感器、二极管或其组合,其选择成使得所述环包括来自所述上分支的一个有源开关、电感器或二极管以及来自所述下分支的一个有源开关、电感器或二极管,且其中每个所述电流环包括至少一个二极管、电感器或电流控制的有源开关,且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中,且以没有电流环可包含两个电感器为条件。

[0012] 优选地,电压和电流控制的有源开关是自驱动的,且不需要外部控制信号。这样的电压控制的有源开关的一个例子是由输入 ac 电压驱动的开关,该输入 ac 电压通过栅极驱动电路被提供到所述开关。电流控制的有源开关的例子是通过感测开关的电流方向并根据电流方向将信号提供到栅极驱动电路来驱动的开关。有源开关可包括功率 MOSFET 或某个其它半导体开关器件。感测电阻器可用于感测电流方向,包括电流控制的有源开关的内部电阻可用于感测电流方向的可能性。

[0013] 整流器可配置成接收电流源或电压源。

[0014] 在本发明的一个实施方式中,上分支包括两个电压控制的有源开关,而下分支包括两个电流控制的有源开关,或一个电流控制的开关和一个二极管,或两个二极管。

[0015] 在本发明的另一实施方式中,上分支包括一个电压控制的有源开关和一个电流控制的有源开关或二极管,而下分支包括一个电压控制的有源开关和一个电流控制的有源开关或二极管,其中电流控制的有源开关或二极管没有设置在同一电流环中。

[0016] 在本发明的另一实施方式中,上分支包括一个电压控制的有源开关和一个电流控制的有源开关或二极管,而下分支包括两个电流控制的有源开关,或一个电流控制的开关和一个二极管,或两个二极管。

[0017] 在本发明的另一实施方式中,上分支包括两个电流控制的有源开关,或一个电流控制的有源开关和一个二极管,或两个二极管,而下分支包括两个电压控制的有源开关。

[0018] 在本发明的另一实施方式中,上分支包括两个电流控制的有源开关,或一个电流控制的有源开关和一个二极管,或两个二极管,而下分支包括一个电压控制的有源开关和一个电流控制的有源开关或一个二极管。

[0019] 在本发明的另一实施方式中,整流器只包括在上分支和下分支中的电流控制的有源开关和 / 或二极管,且其中这些分支中的至少一个包括至少一个电流控制的有源开关。

[0020] 在本发明的另一实施方式中,整流器是半桥整流器,其中上分支和下分支每个都包括电容器、以及电流控制的有源开关、电感器或二极管之一,服从于这些分支的不超过一个包括二极管的限制。

[0021] 在本发明的另一实施方式中,整流器是包括上分支和下分支以及六个电流环的三相全桥整流器,每个分支包括电压或电流控制的有源开关、二极管或其组合,该有源开关、二极管或其组合被选择成使得每个环包括来自上分支的一个有源开关或二极管以及来自下分支的一个有源开关或二极管,且其中每个电流环包括至少一个二极管或电流控制的有源开关,且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中。

[0022] 在该实施方式的一种形式中,上分支包括三个电流控制的有源开关或二极管。在该实施方式的另一形式中,下分支包括三个电流控制的有源开关或二极管。在该实施方式的又一形式中,下分支和上分支每个包括两个电流控制的有源开关或二极管,且每个电流环包括至少一个电流控制的有源开关或二极管。

[0023] 根据本发明,还提供了多级整流器,其中每个级包括至少一个电路拓扑,电路拓扑包括上分支和下分支以及两个电流环,且其中至少所述电路拓扑配置成使得每个所述分支包括电压或电流控制的有源开关、电感器、二极管或其组合,该有源开关、电感器、二极管或其组合被选择成使得每个环包括来自所述上分支的一个有源开关、电感器或二极管以及来自所述下分支的一个有源开关、电感器或二极管,且其中每个所述电流环包括至少一个二极管或电流控制的有源开关,且其中至少一个电压或电流控制的有源开关包括在所述上分支或下分支之一中,且以没有电流环可包含两个电感器为条件。

[0024] 根据本发明,还进一步提供了包括上分支和下分支以及两个电流环的倍流器,其中上分支包括两个电感器,而下分支包括电压或电流控制的有源开关、二极管或其组合,且下分支包括至少一个电压控制的有源开关或至少一个电流控制的有源开关。

[0025] 附图的简要说明

[0026] 现在作为例子并参考附图来描述本发明的一些实施方式,其中:

[0027] 图 1(a) 是根据现有技术的倍流整流器的电路图,

[0028] 图 1(b) 示出自驱动 SR 对图 1(a) 的倍流器的应用,

[0029] 图 2 是根据现有技术的二极管全桥整流器,

[0030] 图 3 是示出用 MOSFET 简单地代替二极管而没有感测反向电流的问题的图示,

[0031] 图 4 是根据本发明的一个实施方式的在上分支处使用 n 型 MOSFET 作为有源开关的自驱动全桥整流器,

[0032] 图 5(a)-(c) 分别示出:(a) 一个电流环以及 VCSD 和 CCSD 的实现的实施方式,(b) 一个电流环以及 CCSD 的第二可选的实现的实施方式,以及 (c) 一个电流环以及 CCSD 的第三可选的实现的实施方式,

[0033] 图 6 是示出根据本发明的一个实施方式的全桥整流器系统中的分支位置的结构

图，

[0034] 图 7 是示出根据本发明的一个实施方式的半桥整流器或倍压器系统中的分支位置的结构图，

[0035] 图 8 是示出根据本发明的一个实施方式的倍流器系统中的分支位置的结构图，

[0036] 图 9 是示出根据本发明的一个实施方式的三相整流器系统中的分支位置的结构图，

[0037] 图 10 是示出根据本发明的一个实施方式的多级级联的全桥整流器系统中的分支位置的结构图，

[0038] 图 11 是示出根据本发明的一个实施方式的电流源输入上半 VCSD 全桥同步整流电路的电路图，

[0039] 图 12(a)-(f) 示出图 11 的电路中的电流流动，

[0040] 图 13 示出图 11 的电路的波形，

[0041] 图 14 示出用在全桥整流器（图 2）中的肖特基二极管和用在 SD SR（图 11）中的有源开关（MOSFET）之间的传导损耗的比较，

[0042] 图 15 是示出根据本发明的一个实施方式的电流源输入上半 VCSD 和下半 CCSD 全桥同步整流电路的电路图，

[0043] 图 16(a)-(j) 示出图 15 的电路中的电流流动，

[0044] 图 17 示出图 15 的电路的波形，

[0045] 图 18 示出用在全桥整流器（图 2）中的肖特基二极管和用在 SD SR（图 15）中的有源开关（MOSFET）之间的传导损耗的比较，

[0046] 图 19 是示出根据本发明的一个实施方式的电压源输入上半 VCSD 和下半 CCSD 全桥同步整流电路的电路图，

[0047] 图 20(a)-(l) 示出图 19 的电路中的电流流动，

[0048] 图 21 示出图 19 的电路的波形，

[0049] 图 22 是示出根据本发明的一个实施方式的具有在下分支中的 100-220V ac 电压源输入 VCSD 开关的 AC 到 DC 同步整流系统的电路图，

[0050] 图 23 示出图 22 的波形，

[0051] 图 24 是示出根据本发明的一个实施方式的具有在下分支中的 100-220V ac 电压源输入 CCSD 开关和在上分支中的 P 沟道 MOSFET VCSD 开关的 AC 到 DC 同步整流系统的电路图，

[0052] 图 25 示出图 24 的波形，

[0053] 图 26 是示出根据本发明的一个实施方式的具有在下分支中的 100-220V ac 电压源输入 CCSD 开关和在上分支中的 N 沟道 MOSFET VCSD 开关的 AC 到 DC 同步整流系统的电路图，

[0054] 图 27 是根据本发明的一个实施方式的具有电压源输入的三相自驱动下半 VCSD 全桥同步整流系统，

[0055] 图 28 示出图 27 的波形，

[0056] 图 29 是根据本发明的一个实施方式的具有电压源输入的多级自驱动下半 VCSD 全桥同步整流系统，

[0057] 图 30 示出根据本发明的一个实施方式的具有电压源输入的 2 级自驱动下半 VCSD 全桥同步整流系统的波形, 以及

[0058] 图 31 是根据本发明的一个实施方式的合并 SR 电路的次级组件的结构图。

[0059] 优选实施方式的详细描述

[0060] 为了解决图 3 所示的电路中的缺陷, 新的原理被提出如下: 在任何电流环 (例如由图 3 (b) 中的 M1 和 M4 形成的电流环) 中, 不能存在两个电压控制的自驱动 (VCSD) MOSFET。在每个电流环中的开关的至少一个必须是二极管、有源开关或具有与二极管类似的特性的其它部件, 因为有源开关或其它部件在其电流被反转时将被关断。在图 5 (a) - (c) 中, 例如, 只以由 S1 和 S4 形成的一个电流环作为例子。假设 S1 是 VCSD 有源开关, 则 S4 必须是二极管或有源开关或具有在电流反转方向时阻止电流流动的能力的某个其它部件。在图 5 (a) 到 (c) 中, 也示出了开关的实现。S1 是由 Q1 和 Q2 所形成的互补栅极驱动电路驱动的 VCSD MOSFET, 且该栅极驱动电路的输入交叉连接到一个输入电压端子 (在本例中的点 B)。S4 可以是二极管或有源开关。如果它是有源开关, 则它必须通过感测电流来控制。这样的有源开关可称为电流控制的自驱动 (CCSD) 有源开关。如图 5 (a) 所示, 感测电阻器 R_{sen} 用于检测 S4 的电流流动方向。比较器 U1 可根据 R_{sen} 所检测的电流流动方向来产生驱动脉冲。通过 S4 的正电流 (“正” 被定义为从地到点 B 的电流流动) 将使比较器 U1 的输出为高。比较器输出的高电压电平又将驱动由 Q7 和 Q8 形成的互补栅极驱动电路。S4 因此根据其正电流流动方向被导通, 并以相反的方式被关断。VCSD 和 CCSD 有源开关在它们不需要外部控制电路的意义上都是自驱动的。

[0061] 图 5 (b) 示出 CCSD 有源开关的第二可选的实现。如图 5 (b) 所示, 在图 5 (a) 中示出的前面的电阻器 R_{sen} 被移除。这个 CCSD 有源开关使用其内部电阻来检测电流流动方向。比较器 U1 仍可根据内部有源开关电阻所检测的电流流动方向来产生驱动脉冲。对 Q7 和 Q8 的驱动脉冲控制机制仍然与图 5 (a) 中的机制相同。该 CCSD 有源开关的优点是消除感测电阻器的使用。然而, 缺点是它可能不适合于高电压整流, 因为在比较器 U1 的感测管脚处的太高的电压将是不足的。

[0062] 图 5 (c) 示出 CCSD 有源开关的第三可选的实现。这个 CCSD 有源开关使用用于检测 S4 的电流流动方向的电阻器 R_{sen} 。然而, 比较器 U1 使用其非反相管脚作为电流感测检测管脚。在反相管脚处的电压偏置或电平移位电压以及以 S4 (例如, 充当有源开关的 MOSFET) 的 “源级” 为基准的比较器的地被添加。通过 S4 的正电流流动在电阻器 R_{sen} 的帮助下由比较器 U1 检测到。正驱动脉冲接着产生, 且 Q7 和 Q8 的脉冲控制机制被保持, 如图 5 (a) 所示。当反向电流出现在开关 S4 时, 偏置电压的添加减小了关断延迟时间。

[0063] 在引入应用例子的详细描述之前, 将示出用于单相、多相系统的 AC-DC 同步整流技术的一般化, 以便说明对通用电力线整流、三相 (或多相) 和多级系统提出的电路的有用性。一些应用的电路和原理作为例子被给出, 其中自驱动全桥 SR 在下面的实施方式中被实现。

[0064] 因为有在整流系统中使用 CCSD、VCSD 和二极管的很多可能的组合, 必须系统地识别出有效的配置, 而不考虑 AC-DC 整流器系统有多少相和多少级。图 3 示出无效的 SR 配置之一, 其有不阻止整流器的电流环中的反向电流的问题。必须识别出所有有效的 SR 电路, 这些电路是实际的。在这个特定例子中示出了单相、三相和多级自驱动全桥同步整流, 且提

出了 SR 识别的系统方式,以及相应地用表格列出整流系统中的所有可能的 SR 电路。

[0065] 一般化 AC-DC 自驱动同步整流系统的系统方式被显示如下:

[0066] 在整流器中的上分支元件的位置被定义为:

[0067] $X_i = 1..n$

[0068] 在整流器中的下分支元件的位置被定义为:

[0069] $X_j \Big|_{\substack{k=1..n \\ j \neq i+n}} = k+n$

[0070] 在上分支中的电路元件(其可为有源开关、二极管或其它电路元件)被定义为:

[0071] SX_i

[0072] 在下分支中的电路元件被定义为:

[0073] SX_j

[0074] 其中 X 代表分支中的电路元件的类型。

[0075] 电流控制的自驱动 (CCSD) 有源开关、二极管和电感器与“1”的逻辑值相关。这些类型的电路元件展示抵抗瞬时电流变化的能力(虽然不是传统意义上的开关,电感器可在本发明的实施方式中成功地起作用,好像它是 CCSD 有源开关一样,因为它能够抵抗在电流方向上的瞬时变化,然而应注意,包括两个电感器的电流环将不起作用)。电压控制的自驱动 (VCSD) 有源开关和电容器没有这种抵抗瞬时电流变化的能力。因此,它们被分配给“0”的逻辑值。表 1 示出每个电路元件的相应逻辑值。

[0076]

	CCSD	二极管	电感器	VCSD	电容器
X	I	D	L	V	C
SX	1	1	1	0	0

[0077] 表 1 不同电路元件的逻辑分配

[0078] 在桥整流器中,每个电流环 $\{X_i, X_j\}$ 可被电路中的分支位置识别,且分支中的相关电路元件可映射在相应的电流环中。

[0079] $\{X_i, X_j\} \rightarrow \{SX_i, SX_j\}$

[0080] 为了在整流器中实现自驱动同步整流的功能,要求至少一个 CCSD 有源开关、电感器或二极管必须存在于整流器的每个电流环中。上面的电路元件具有阻止反向电流流动并自动改变到关断状态的能力。因此,在电流环中的两个电路元件的逻辑“或”功能必须等于“1”,使得自驱动同步整流机制可在图 5 的过渡时期内实现。

[0081] 因此将理解,在不同的可能配置的下列分析中,使用下面的术语:

[0082] $SX_i \cup SX_j = 1$ 意味着在电流环中存在电路元件的正确组合。

[0083] 或否则,将存在电路元件的无效组合。

[0084] $SX_i \cup SX_j = 0$ 意味着在电流环中存在电路元件的不正确组合。

[0085] 在下面的附图中示出可促成 AC-DC 自驱动同步整流系统的形成的不同类型的电路拓扑,以参考定义全桥整流器的拓扑和相关电流环 $\{1, 4\}$ 、 $\{2, 3\}$ 的图 6 和表 1 开始,其中上分支包括电路元件 1 和 2,而下分支包括电路元件 3 和 4。

[0086]

	分支位置						有效 SR 配置
	1	2	3	4	A	B	
电路元件 配置#	SX_1	SX_2	SX_3	SX_4	$SX_1 \cup SX_4$	$SX_2 \cup SX_3$	$A \cap B$
1	0	0	1	1	1	1	1
2	0	1	0	1	1	1	1
3	0	1	1	1	1	1	1
4	1	0	1	0	1	1	1
5	1	0	1	1	1	1	1
6	1	1	0	0	1	1	1
7	1	1	0	1	1	1	1
8	1	1	1	0	1	1	1
9	1	1	1	1	1	1	1

[0087] 表 1 单相全桥 SR 的有效性

[0088] 在 16 个有效配置中有 9 个具有在单相 AC-DC 全桥系统中的自驱动同步整流功能。

[0089] 图 7 和表 2 示出再次有相关的电流环 {1,4}、{2,3} 的半桥整流器或倍流器的可能配置,其中上分支包括电路元件 1 和 2,而下分支包括电路元件 3 和 4。

[0090]

	分支位置						有效 SR 配置
	1	2	3	4	A	B	
电路元件 配置#	SX_1	SX_2	SX_3	SX_4	$SX_1 \cup SX_4$	$SX_2 \cup SX_3$	$A \cap B$
1	1	0	1	0	1	1	1

[0091]

[0092] 表 2 单相半桥整流器或倍压器的有效性

[0093] 在 4 个有效配置中有 1 个具有在单相半桥整流器或倍压器系统中的自驱动同步整流功能。

[0094] 图 8 和表 3 考虑具有电流环 {1,4}、{2,3} 的倍流器的情况,其中上分支包括电路元件 1 和 2,而下分支包括电路元件 3 和 4,虽然在倍流器的情况下,上分支,即,电路元件 1 和 2 必须包括电感器 L1 和 L2。

[0095]

	分支位置						有效 SR 配置
	1	2	3	4	A	B	
电路元件 配置#	SX_1	SX_2	SX_3	SX_4	$SX_1 \cup SX_4$	$SX_2 \cup SX_3$	$A \cap B$
1	1	1	0	0	1	1	1
2	1	1	0	1	1	1	1
3	1	1	1	0	1	1	1
4	1	1	1	1	1	1	1

[0096] 表 3 单相倍流器的有效性

[0097] 在 4 个有效配置中有 4 个具有在单相 AC-DC 倍流器系统中的自驱动同步整流功能。

[0098] 图 9 和表 4 考虑具有电流环 {1,5}、{1,6}、{2,4}、{2,6}、{3,4}、{3,5} 的三相全桥整流器,上分支包括电路元件 1、2 和 3,而下分支包括电路元件 4、5 和 6。从表 4 中可看到,在 56 个有效配置中有 17 个具有在单相 AC-DC 整流器系统中的自驱动同步整流功能。

[0099]

电路元件 配置 #	分支位置						有效 SR 配置					
	1	2	3	4	5	6	A	B	C	D	E	F
	SX_1	SX_2	SX_3	SX_4	SX_5	SX_6	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$	$SX_1 \cup SX_2 \cup SX_3 \cup SX_4 \cup SX_5 \cup SX_6$
1	0	0	0	1	1	1	1	1	1	1	1	1
2	0	0	1	1	1	1	1	1	1	1	1	1
3	0	1	0	1	1	1	1	1	1	1	1	1
4	0	1	1	0	1	1	1	1	1	1	1	1
5	0	1	1	1	1	1	1	1	1	1	1	1
6	1	0	1	1	0	1	1	1	1	1	1	1
7	1	0	1	1	1	0	1	1	1	1	1	1
8	1	1	0	1	1	0	1	1	1	1	1	1
9	1	1	0	1	1	1	1	1	1	1	1	1
10	1	1	1	0	0	0	1	1	1	1	1	1
11	1	1	1	0	0	1	1	1	1	1	1	1
12	1	1	1	0	1	0	1	1	1	1	1	1
13	1	1	1	0	1	1	1	1	1	1	1	1
14	1	1	1	1	0	0	1	1	1	1	1	1
15	1	1	1	1	0	1	1	1	1	1	1	1
16	1	1	1	1	1	0	1	1	1	1	1	1
17	1	1	1	1	1	1	1	1	1	1	1	1

表 4 三相全桥同步整流器系统的有效性

[0100] 图 10 和表 6 考虑多级单相全桥整流器系统。在本例中,拓扑是具有两个级的多级级联拓扑的拓扑,但将理解,其它配置是可能的。在本例中,每个级具有两个相关的电流环 {1,4}、{2,3}。

[0101] 级 1 中的电流流动独立于级 m 中的电流流动 ; 因此, 每个分支中的环分配和相关电路元件独立于它们所在的子级系统, 且本发明的益处可被获得, 假定至少一个级被构建, 以便在每个电流环中有至少一个电流控制的有源开关、电感器或二极管, 且该级包括在分支之一中的至少一个电压控制的有源开关或电流控制的有源开关。

[0102]

级 1		分支位置				级 m		分支位置				级 2 中有效的 SR	
电路元件		1	2	3	4	电路元件		1	2	3	4	A	B
配置 #		SX_1, SX_2, SX_3, SX_4				配置 #		SX_1, SX_2, SX_3, SX_4				$A \cap B$	
1		0	1	1	1	1		0	0	1	1	1	1
2		0	1	0	1	2		0	1	0	1	1	1
3		0	1	1	1	3		0	1	1	1	1	1
4		1	0	1	0	4		1	0	1	0	1	1
5		1	0	1	1	5		1	0	1	1	1	1
6		1	1	0	0	6		1	1	0	0	1	1
7		1	1	0	1	7		1	1	0	1	1	1
8		1	1	1	0	8		1	1	1	0	1	1
9		1	1	1	1	9		1	1	1	1	1	1

表 5: 多级级联的单相全桥整流器系统的有效性

[0103] 实施例 1:

[0104] 本发明的第一实施方式可采取如图 11 所示的电流源输入上半 VCSD 全桥同步整流

(SR) 的形式。两个 p 型功率 MOSFET M1 和 M2 代替二极管桥的左和右分支的上部二极管 (图 2 中的 D1 和 D2)。Dm1 和 Dm2 可为这两个 MOSFET 的体二极管或增加的外部二极管。在这个配置中, MOSFET M1 具有由 V_b 控制的栅极信号, 而 MOSFET M2 具有由 V_a 控制的栅极信号。这两个 MOSFET 栅极都通过由 Q1-Q2 对和 Q3-Q4 对形成的互补栅极驱动电路对着电流源输入端子 (点 A 和点 B) 被交叉连接。在电流源输入和 MOSFET 之间的栅极驱动缓冲器 (图腾柱、驱动器或直接连接) 可用于相应地将功率开关驱动为导通 / 关断。

[0105] 在图 12 和图 13 中, 在时刻 t_0 , 电流源的电流方向从点 A 开始到点 B。上右 MOSFET M2 由出现在点 A 处的低电压驱动到完全导通。输入电流在 $t_0 < t < t_1$ 内流到在 M2 的路径中的负载 R_L 和输出滤波器 C_{out} 。当输入电流到达零并将其方向从点 B 反转到点 A 时, 二极管 D3 自动关断, 因为它被反向偏置, 但 M2 仍然导通, 因为 V_a 仍然保持低。然而, M2 的电流 ($t_1 < t < t_2$) 以相反的方式流动, 并使 M1 的体电容 C1 放电。点 A 处的电压线性地升高, 并增加 M2 的栅极电压。当 M2 的负栅极阈值电压不能被维持时, M2 将关断, 且电压 V_a 保持增加, 直到它到达 V_{out} 并开始使 M1 的外部二极管或体二极管正向偏置 ($t_2 < t < t_3$)。因为输入电流仍然在反向方向上流动, 它可给 M2 的体电容 C2 充电, 且点 B 的电压 V_b 快速降低。当 V_b 低于 M1 的负阈值栅极电压时, 使 M1 传导。最后, 电压 V_b 低到足以让 D4 传导且将 M1 驱动到完全饱和。从电流源通过 D4 和 M1 到输出的功率传输被观察到 ($t_3 < t < t_4$)。

[0106] 在半周期之后, 输入电流再次反转其方向。电流不再流经二极管 D4。M1 仍然导通, 因为 V_b 低, 维持 M1 的负阈值栅极电压。在 M1 处的反向电流开始使电容 C2 放电 ($t_4 < t < t_5$)。一旦电压 V_b 到达接近于 V_{out} , 它就关断 M1, 且 C2 完全被放电。二极管 Dm2 中断电流流动并使 V_b 高。C1 被放电 ($t_5 < t < t_6$), 且电压 V_a 将下降并最终低到足以使 M2 导通。从电流源通过 D3 和 M2 到输出的完整的电流流动在时刻 t_6 之后重复。

[0107] 图 14 示出在图 2 中使用的肖特基二极管和在图 11 中使用的有源开关 (例如, MOSFET) 之间的传导损耗的模拟比较。在该模拟中, 考虑 1A 电流源和 100 Ω 的负载作为例子。该模拟表明每个肖特基二极管的传导损耗 (0.35V 正向压降) 在周期中促成大约 100mW 的平均功率损耗, 而每个有源开关 (例如, 来自 Vishay 的具有 17m Ω 的导通电阻的 MOSFET Si4403DY) 引入大约 5mW 的平均损耗。比较比率相当大, 大约为 10 的数量级。

[0108] 在本例中, 因为在每个电流环中存在二极管, 这两个有源开关不需要通过感测其反向电流来关断, 因此可为电压控制的或电流控制的有源开关。但必须强调, 这两个二极管必须放置在分支的上半部分或分支的下半部分中。它们不可放置在对角线位置上。

[0109] 实施例 2:

[0110] 为了进一步减少二极管中的功率损耗, 本发明的第二实施方式包括如图 15 所示的电流源输入上半 VCSD 和下半电流控制的自驱动 (CCSD) 全桥同步整流 (SR)。在这种情况下, 图 5 中的 D3 和 D4 分别用两个 n 型 MOSFET M3 和 M4 代替。

[0111] 如图 15 所示, 感测电阻器 R_{sen1} 和 R_{sen2} 放置在下腿的两侧, 用于检测 M3 和 M4 的电流流动方向 (将正电流流动定义为从地向上到 V_{out})。比较器 U1 和 U2 用于根据在 R_{sen1} 和 R_{sen2} 处的电流流动方向产生驱动脉冲。U1 和 U2 的电压源可直接从 DC 输出处的整流 DC 体电压 V_{out} 得到, 因为这是最成本有效的方法 (或间接地从辅助电源得到)。通过 M3 和 DM3 或 M4 和 Dm4 的正电流将使比较器 U1 或 U2 的输出变到高状态。比较器输出的高电平又将驱动缓冲器 Q5 或 Q7 (图腾柱或驱动器)。功率开关 M3 或 M4 将根据其正电流流

动方向被导通,且它将以相反的方式被关断。两个 p 型 MOSFET 放置在形成 SD SR 的上部部分的桥的上分支处,且栅极驱动器使用电压控制而没有反向电流感测。

[0112] 本实施方式的操作在 t_0 开始。输入电流在图 16 和 17 中从点 B 流动到点 A。功率 MOSFET M1 和 M4 都是导通的。电压 V_A 在 V_{out} 的电平处,而电压 V_B 在低电平处 ($t_0 < t < t_1$)。当输入电流以相反的方式改变其电流方向时,该时期结束。M1 和 M4 在非常短的一段时期 ($t_1 < t < t_2$) 内仍然是导通的。在 R_{sen2} 处变大的反向电压将触发比较器 U2 反转,锁住缓冲器 Q8。M4 接着被关断。M1 仍然是导通的,因为 V_B 处于低状态 ($t_2 < t < t_3$)。反向电流流动使路径 (M1, C2) 中的 M2 的 C2 (外部或体电容) 放电,同时给路径 (M1, C4, RL, Cout) 中的 M4 的 C4 充电。在上升到 V_{out} 的过程中, V_B 逐渐减小 M1 的负阈值栅极电压。最后当 V_B 到达输出电压 V_{out} 时 ($t_3 < t < t_4$), M1 关断且 Dm2 导通。此时路径 (Dm2, C1) 中的 M1 的 C1 和 M3 的 C3 被充电,而路径 (Dm2, RL, Cout, C3) 中的 M3 的 C3 被放电。 V_A 下降且不久达到地电平。 V_A 的低电压电平和 M3 的 Dm3 (外部或体二极管) 的正向偏置将使 M2 开关导通 ($t_4 < t < t_5$)。在 R_{sen1} 处的正电流流动使比较器 U1 能够驱动缓冲器 Q5。M3 将接着通过其正电流流动被导通,且下一半功率转移周期开始 ($t_5 < t < t_6$)。

[0113] 当输入电流改变其电流方向时,这个半周期结束。M2 和 M3 在非常短的一段时期 ($t_6 < t < t_7$) 内仍然是导通的。在 R_{sen1} 处变大的反向电压将触发比较器 U1 反转,锁住缓冲器 Q6。M3 接着被关断。M2 仍然是导通的,因为 V_A 处于低状态 ($t_7 < t < t_8$)。反向电流流动使路径 (M2, C1) 中的 M1 的 C1 放电,同时给路径 (M2, C3, RL, Cout) 中的 M3 的 C3 充电。在上升到 V_{out} 的过程中, V_A 逐渐减小 M2 的负阈值栅极电压。最后当 V_A 到达输出电压 V_{out} 时 ($t_8 < t < t_9$), M2 关断且 Dm1 导通。此时路径 (Dm1, C2) 中的 M2 的 C3 被充电,而路径 (Dm1, RL, Cout, C4) 中的 M4 的 C4 被放电。 V_B 下降且不久达到地电平。 V_B 的低电压电平和 Dm4 的正向偏置将使 M1 开关导通 ($t_9 < t < t_{10}$)。电流源再次重复该周期。

[0114] 图 18 示出在图 2 中使用的肖特基二极管和在图 15 中使用的有源开关 (例如, MOSFET) 之间的传导损耗的模拟比较。在该模拟中,以 1A 电流源和 100m Ω 的负载作为例子。该模拟表明每个肖特基二极管的传导损耗 (0.35V 正向压降) 在周期中促成大约 100mW 的平均功率损耗,而每个有源开关 (例如,来自 Vishay 的具有 17m Ω 的导通电阻的 MOSFET Si4403DY) 引入大约 5mW 的平均损耗。比较比率相当大,大约为 10 的数量级。

[0115] 通过将两个 CCSF MOSFET 放置在整流器的上部部分中并将两个 VCSF MOSFET 放置在整流器的下半部分中可实现类似的电路性能。必须强调,这两个 CCSF MOSFET 必须放置在整流器的上分支或下分支中。整流器中的四个开关都是 CCSF MOSFET 也是可行的。

[0116] 实施例 3:

[0117] 本发明的第三实施方式可采取如图 19 所示的电压源输入上半 VCSF 下半 CCSF 全桥同步整流的形式。

[0118] 除了实施例 1 和 2 中的电流源之外,所提出的全桥 SR 的输入也可以是电压源。在图 19 中示出了电压源输入自驱动全桥 SR 的完全版本。感测电阻器 R_{sen1} 和 R_{sen2} 放置在桥的下腿处,用于检测电流流动方向 (将正电流流动定义为从地向上到 V_{out})。比较器 U1 和 U2 用于根据在 R_{sen1} 和 R_{sen2} 处的电流流动方向产生驱动脉冲。在 M3 和 DM3 或 M4 和 Dm4 处的正电流将使比较器 U1 或 U2 的输出变到高电平。比较器的高电压电平又将驱动缓冲器 Q5 或 Q7 (图腾柱或驱动器)。功率开关 M3 或 M4 将根据其正电流流动方向被导通,且

它将以相反的方式被关断。两个 p 型 MOSFET 在形成上半 VCSD SR 的桥的上分支处。该应用的操作在 t_0 开始。输入电流在图 20 和 21 中从点 A 流动到点 B。功率 MOSFET M2 和 M3 都是导通的。电压 V_B 在 V_{out} 的电平处, 而电压 V_A 在低电平处 ($t_0 < t < t_1$)。当电压 V_B 小于输出电压 V_{out} 时, 该时期结束。输入电源电流保持连续的流动但以相反的方式改变其电流方向 ($t_1 < t < t_2$)。在 R_{sen1} 处变大的反向电压将触发比较器 U1 反转, 锁住缓冲器 Q6。M3 接着被关断。M2 仍然是导通的, 因为 V_A 处于低状态, 但它在这个过渡时期内停止到输出的功率转移 ($t_2 < t < t_3$)。反向电流流动使路径 (M2, C1) 中的 M1 的 C1 (外部或体电容) 放电, 同时给路径 (M2, C3, RL, C_{out}) 中的 M3 的 C3 充电。在上升到 V_{out} 的过程中, V_A 逐渐减小 M2 的负阈值栅极电压。最后 M2 关断且 Dm1 传导。 V_A 到达输出电压 V_{out} 时 ($t_3 < t < t_4$)。此时路径 (Dm1, C2) 中的 M2 的 C2 被充电, 而路径 (Dm1, RL, C_{out} , C4) 中的 M4 的 C4 被放电。 V_B 的下降产生 M1 的负阈值电压, M1 接着立即被导通。然而, 输入 AC 电压远远小于输出电压 V_{out} 。在这个过渡时期 ($t_4 < t < t_5$) 中没有功率转移到输出。一旦电压 V_B 低到足以使 M4 的二极管 Dm4 正向偏置 ($t_5 < t < t_6$)。在 R_{sen2} 处的正电流将触发比较器 U2 变高。 U2 的输出通过缓冲器驱动 M4 以导通, 且 V_A 高于输出电压。功率被瞬时传送到输出 ($t_6 < t < t_7$)。

[0119] 当电压 V_A 下降到输出电压电平之下时, 反向电流开始流动 ($t_7 < t < t_8$)。在 R_{sen2} 处变大的反向电压将触发比较器 U2 反转, 锁住缓冲器 Q8。 M4 接着被关断。 M1 仍然是导通的, 因为 V_B 处于低状态, 但它在这个过渡时期内停止到输出的功率转移 ($t_8 < t < t_9$)。反向电流流动使路径 (M1, C2) 中的 M2 的 C2 放电, 同时给路径 (M1, C4, RL, C_{out}) 中的 M4 的 C4 充电。在上升到 V_{out} 的过程中, V_B 逐渐减小 M1 的负阈值栅极电压。最后 M1 关断且 Dm2 传导。 V_B 到达输出电压 V_{out} ($t_9 < t < t_{10}$)。此时路径 (Dm2, C1) 中的 M1 的 C1 被充电, 而路径 (Dm2, RL, C_{out} , C3) 中的 M3 的 C3 被放电。 V_A 进一步下降。 V_A 的低电压也通过缓冲器 Q4 驱动 M2 进入饱和 ($t_{10} < t < t_{11}$)。 V_A 将达到地电平并使 M3 的二极管 Dm3 正向偏置 ($t_{11} < t < t_{12}$)。周期在 t_{12} 之后重复。

[0120] 通过将两个 CCSD MOSFET 放置在整流器的上部部分中并将两个 VCSD MOSFET 放置在整流器的下半部分中可实现类似的电路性能。必须强调, 这两个 CCSD MOSFET 必须放置在整流器的上分支或下分支中。整流器中的四个开关都有 CCSD MOSFET 代替也是可行的。

[0121] 通过在下面考虑具有四个开关 S1-S4 的全桥整流器可一般化上面的实施例, 这些开关可以是二极管或有源开关。开关被布置成使得两个开关 S1 和 S2 形成上分支, 而两个开关 S3 和 S4 形成下分支。这可被示意性地示为:

[0122]

S1	S2
S3	S4

[0123] 这两个电流环是对角线, 即, 一个环包括开关 S1 和 S4, 而另一电流环包括开关 S3 和 S4。如果从电压控制的自驱动有源开关、电流控制的自驱动有源开关和二极管选择开关, 则关键要求是, 在每个电流环中必须有 电流控制的有源开关或二极管。下面的表格示出本发明的所有可能的实施方式, 且其中 0 表示电压控制的有源开关, 而 1 表示电流控制的有源开关。

[0124]

S1	S2	S3	S4
----	----	----	----

0	0	1	1
0	1	0	1
0	1	1	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

[0125] 从上面的回顾中将看到,在每个电流环(即, S1+S4 和 S2+S3)中提供了当开关电流方向被反转时将自动关断的电流控制的有源开关或二极管。

[0126] 实施例 4:

[0127] 本发明的实施方式特别是具有电压源的实施方式可用在通用电力线(例如, 110Vac、220Vac、50Hz、60Hz 等)中。在图腾柱或驱动器以及电压源的极性变化的帮助下代替二极管的这样的功率 MOSFET 便于对低和高功率应用的 AC 功率整流。为了有适当的电压驱动电平来驱动功率 MOSFET,应添加如所示的电平移器(或具有电压调整功能的任何电路)以按比例缩小整流体电压,用于将适当数量的电压提供到功率 MOSFET 的栅极,如在图 22 中的。图 22 是具有在下分支中的 100-220Vac 输入 VCSD 开关的单相 AC-DC 同步整流系统。在图 23 中示出 AC 到 DC 下半 VCSD 同步整流器。电路操作的细节与具有如上所述的单相自驱动全桥同步整流的如所示的 AC 到 DC 下半 VCSD 同步整流器相同。

[0128] 图 24 示出具有在下分支中的 100-220Vac 输入 CCSD 开关和在上分支中的 P 沟道 MOSFET VCSD 开关的单相 AC-DC 同步整流系统。图 25 示出图 24 中的电路的波形。在上分支中的 P 沟道 MOSFET 的使用具有轻易驱动能力的优点。然而, P 沟道 MOSFET 仍然具有比 N 沟道 MOSFET 的导通电阻高的导通电阻。对于高功率应用,多个 P 沟道 MOSFET 可并行地操作,以便相等的导通电阻可被极大地减小。当然,可选的方法是直接在上分支中使用 N 沟道 MOSFET 开关。

[0129] 图 26 示出具有在下分支中的 100-220Vac 输入 CCSD 开关和在上分支中的 P 沟道 MOSFET VCSD 开关的单相 AC-DC 同步整流系统。为了使用浮动源极端子驱动上分支中的 N 沟道 MOSFET 开关,必须存在升压电路。部件 D5、D6、Z1、Z2、R1、R2、R3 和 R4 形成为开关 M1 和 M2 分别形成两个升压电路。由于在上分支中的 N 沟道 MOSFET 开关的使用,还需要一些逻辑电路,其在将栅极信号传递到驱动器电路之前反转来自点 A 和点 B 处的电压的进入的栅极驱动信号。电平移器也在图 26 中实现,以便向下分支电路提供适当的电源电压电平。

[0130] 实际上具有电压源输入的所有上述实施方式都可用于这样的通用电力线应用,包括单相、三相、多相或甚至多级整流。

[0131] 将理解,本发明的实施方式可使用分立的电子部件或作为集成电路实现,并可用于对从微瓦到几十千瓦的应用代替传统二极管整流器电路。当被提供为集成封装时,有很多优点,包括高致密性和热沉体积的减小。例如,对于 220V 10A 应用,传统单相全桥整流器具有大约 20W 的传导——假定在二极管两端有 1V 电压降,且有 4 个二极管。使用本发明的实施方式,传导损耗仅为 2W。这极大地减小了功率损耗,所以热沉要求极大地减小了。电路可集成到电路块或独立的模块中。

[0132] 实施例 5:

[0133] 本发明的另一实施方式可采取如图 27 所示的三相电压源输入下半 VCSD 全桥同步整流 (SR) 的形式。上面的所述原理不仅适用于单相应用,而且它可适用于三相 AC 系统。图 27 示出到下半 VCSD SR 的三相电压源输入。图 28 示出图 27 的波形。如同单相系统一样,电压源端子示出每个电源电压 (VA、VB、VC) 的相以及还有源之间的相差。每个相的驱动信息可通过双二极管背对背连接或通过一些逻辑电路从相邻相之间的其端子电压得到,这些逻辑电路可提供逻辑功能“与”或“或”功能。因此,二极管的方向取决于需要驱动全桥整流器的哪个分支 (上半部分或下半部分)。对于下半 VCSD 全桥 SR,应使用“与”功能。对于上半 VCSD 全桥 SR,应使用“或”功能。所得到的信号 (栅极_ab、栅极_bc、栅极_ca) 的绝对值接着用于驱动连接到相应的功率 MOSFET 的栅极的缓冲器 (图腾柱或驱动器)。信号流动可在逻辑上被显示如下:

[0134] 表 5 用于驱动具有电压源输入的三相自驱动下半 VCSD 全桥同步整流器系统的信号流的状态。

[0135]

$(VA \cap VB) \rightarrow$	$V(\text{栅极_ab})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 2)$	$\rightarrow M2$	$\rightarrow VC(\text{高或低})$
$(VB \cap VC) \rightarrow$	$V(\text{栅极_bc})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 4)$	$\rightarrow M4$	$\rightarrow VA(\text{高或低})$
$(VC \cap VA) \rightarrow$	$V(\text{栅极_ca})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 6)$	$\rightarrow M6$	$\rightarrow VB(\text{高或低})$

[0136] 表 6 用于驱动具有电压源输入的三相自驱动上半 VCSD 全桥同步整流器系统的信号流的状态。

[0137]

$(VA \cap VB) \rightarrow$	$V(\text{栅极_ab})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 5)$	$\rightarrow M5$	$\rightarrow VC(\text{高或低})$
$(VB \cap VC) \rightarrow$	$V(\text{栅极_bc})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 1)$	$\rightarrow M1$	$\rightarrow VA(\text{高或低})$
$(VC \cap VA) \rightarrow$	$V(\text{栅极_ca})$	\rightarrow 缓冲器	$\rightarrow V(\text{栅极 } 3)$	$\rightarrow M3$	$\rightarrow VB(\text{高或低})$

[0138] 表 7 具有电压源输入的三相自驱动下半 VCSD 全桥同步整流器系统的电流流动描述。

[0139]

持续时间	操作的描述
$(t_0 < t < t_1)$	$V_{cn} > V_{an} > V_{bn}$, $V_C > V_A$, $V(\text{栅极_ca}) > 0$, $V_A > V_B$, $V_{CB} > V_d$, D5 传导, $V(\text{栅极 } 6) > 0$, M6 传导, $V_B = 0$ 。
$(t_1 < t < t_2)$	$V_{cn} > V_{an} > V_{bn}$, $V_C < V_d$, D5 关断, $V_C > V_A$, $V(\text{栅极_ca}) > 0$, $V(\text{栅极 } 6) > 0$, M6 传导, VA 降低 $\rightarrow 0$, C4 被放电。
$(t_2 < t < t_3)$	$V_{cn} > V_{bn} > V_{an}$, D4 传导, VB 上升, M6 关断, M6 的 C6

[0140]

	被充电。
(t3<t<t4)	$V_{cn}>V_{bn}>V_{an}$, $V_C>V_B$, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>M4$ 的阈值, M4 传导, $V_A=0$ 。
(t4<t<t5)	$V_{cn}>V_{bn}>V_{an}$, $V_{CA}>V_d$, D5 传导, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>0$, M4 传导, $V_A=0$ 。
(t5<t<t6)	(a) $V_{cn}>V_{bn}>V_{an}$, $V_{CA}<V_d$, D5 关断, $V_{cn}>V_{bn}$, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>0$, M4 仍然传导, 但 $I(M4)=0$ 。 $V_A=0$ 。 (b) $V_{bn}>V_{cn}>V_{an}$, $V_{BA}<V_d$, D3 还不传导, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>0$, M4 传导, 但 $I(M4)=0$ 。
(t6<t<t7)	$V_{bn}>V_{cn}>V_{an}$, $V_{BA}>V_d$, D3 传导, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>0$, M4 传导。 $V_A=0$ 。
(t7<t<t8)	$V_{bn}>V_{cn}>V_{an}$, $V_{BA}<V_d$, D3 关断, V_C 降低到零, C2 被放电, V_{BC} 上升, $V(\text{栅极}_{bc})>0$, $V(\text{栅极}_{4})>0$, M4 仍然传导, 电流反向流动, $V_{\text{栅极}_{4}}$ 在 t8 结束时达到零。
(t8<t<t9)	$V_{bn}>V_{an}>V_{cn}$, $V_{BC}<V_d$, D3 关断, V_C 达到零, D2 传导, M4 关断, V_A 增加。
(t9<t<t10)	$V_{bn}>V_{an}>V_{cn}$, $V_{BC}<V_d$, D3 关断, $V(\text{栅极}_{ac})>0$, $V(\text{栅极}_{2})>M2$ 的阈值, M2 传导。
(t10<t<t11)	$V_{bn}>V_{an}>V_{cn}$, $V_{BC}>V_d$, D3 传导, $V(\text{栅极}_{ac})>0$, $V(\text{栅极}_{2})>M2$ 的阈值, M2 仍然传导, $I(M2)>0$ 。
(t11<t<t12)	(a) $V_{bn}>V_{an}>V_{cn}$, $V_{BC}<V_d$, D3 关断, $V_{bn}>V_{an}$, $V(\text{栅极}_{ab})>0$, $V(\text{栅极}_{2})>0$, M2 仍然传导, 但 $I(M2)=0$ 。 $V_C=0$ 。 (b) $V_{an}>V_{bn}>V_{cn}$, $V_{AC}<V_d$, D1 还不传导, $V(\text{栅极}_{ab})>0$, $V(\text{栅极}_{2})>0$, M2 仍然传导, 但 $I(M2)=0$ 。
(t12<t<t13)	$V_{an}>V_{bn}>V_{cn}$, $V_{AC}<V_d$, D1 传导, $V(\text{栅极}_{ab})>0$, $V(\text{栅极}_{2})>0$, M2 传导。 $I(M2)>0$, $V_C=0$ 。
(t13<t<t14)	$V_{an}>V_{bn}>V_{cn}$, $V_{AC}<V_d$, D1 关断, V_B 降低到零, C6 被

[0141]

	放电, V_{AB} 上升, $V(\text{栅极}_{ab}) > 0$, $V(\text{栅极 } 2) > 0$, M2 仍然传导, $I(M2)$ 电流反向流动, V 栅极 2 在 t_{14} 结束时达到零。
$(t_{14} < t < t_{15})$	$V_{an} > V_{cn} > V_{bn}$, $V_{AB} < V_d$, D1 关断, V_B 达到零, M6 的 D6 传导, M2 关断, V_C 增加。
$(t_{15} < t < t_{16})$	$V_{an} > V_{cn} > V_{bn}$, $V_{AB} < V_d$, D1 还不传导, $V(\text{栅极}_{ac}) > 0$, $V(\text{栅极 } 6) > M6$ 的阈值。M6 传导。
$(t_{16} < t < t_{17})$	$V_{an} > V_{cn} > V_{bn}$, $V_{AB} > V_d$, D1 传导, $V(\text{栅极}_{ac}) > 0$, $V(\text{栅极 } 6) > M6$ 的阈值, M6 仍然传导, $I(M6) > 0$ 。
$(t_{17} < t < t_{18})$	(a) $V_{an} > V_{cn} > V_{bn}$, $V_{AB} < V_d$, D1 关断, $V_{an} > V_{cn}$, $V(\text{栅极}_{ac}) > 0$, $V(\text{栅极 } 6) > 0$, M6 仍然传导, 但 $I(M6) = 0$ 。 $V_B = 0$ 。 (b) $V_{cn} > V_{an} > V_{bn}$, $V_{CB} < V_d$, D5 还不传导, $V(\text{栅极}_{ac}) > 0$, $V(\text{栅极 } 6) > 0$, M2 仍然传导, 但 $I(M6) = 0$ 。周期在 t_{18} 之后重复。

[0142] 实施例 6 :

[0143] 本发明的该实施方式可采取多级电压源输入下半 VCSD 自驱动全桥同步整流 (SR) 的形式。再次, 上面的所述原理不仅适用于单相应用, 而且可适用于多级系统。存在形成多级整流器系统的很多不同的配置。图 29 示出使用具有电压源输入的自驱动下半 VCSD 的一般多级级联的全桥整流器系统。图 30 示出用于示范的 2 级电压源输入下半 VCSD 全桥 SR 的波形。

[0144] 实施例 7

[0145] 图 31 示出包括同步整流电路的感应地供电的次级组件的实施方式。当次级绕组被放置在能量发射机 (初级) 上或附近时, 它从该发射机感应地接收 AC 能量。次级绕组以及谐振电容器形成可被视为 AC 电流源的谐振回路。必须注意, 多于一个的绕组以及其各自的谐振电容器可用于形成并联的 AC 电流源, 以提高输出功率。电流源和全桥同步整流具有与在实施例 1 和实施例 2 中所述的相同的操作模式。归因于同步整流的使用而降低的功率损耗可提高供应功率转移的效率。例如, 如果通过整流器的电流是 1A, 归因于整流器的功率损耗从 0.6-0.8W 降低到小于 0.2W, 因为每个 MOSFET 的内部电阻非常低。这样节约的损耗对所产生的热是关键, 特别是当次级组件放置在任何封闭结构中 (例如, 移动电话中) 时。与对电池或对其它能量存储部件的充电电路一样, 次级组件的输出可用于给任何 DC 负载供电。

[0146] 参考文献:

[1] J Blane, S Inc, CA Santa Clara, Practical application of MOSFET synchronous rectifiers-Telecommunications Energy Conference, 1991. INTELEC91 1991

[2] C Blake, D Kinzer, P Wood, Synchronous Rectifiers versus Schottky Diodes:

A Comparison of the Losses of a Synchronous Rectifier versus the Losses of a Schouky Diode Rectifier, -IEEE Applied Power Electronics Conference (APEC), 1994

[3] Self-driven synchronous rectification scheme, US 6038148

[4] X Xie, JCP Liu, FNK Poon, MH Pong, A novel high frequency current-driven synchronous rectifier applicable to most switching topologies, -Power Electronics, IEEE Transactions on, 2001

[5] N Murakami, H Namiki, K Sakakibara, T Yachi, A Simple and Efficient Synchronous Rectifier for Forward DC-DC Converters, -Applied Power Electronics Conference and Exposition, 1993

[6] Low loss synchronous rectifier for application to clamped-mode power converters, US 5625541, US 5872705,

[7] Self-synchronized gate drive for power converter employing self-driven synchronous rectifier and method of operation thereof, US 6011703

[8] Self-synchronized drive circuit for a synchronous rectifier in a clamped-mode power converter, US 6069799

[9] Drive compensation circuit for synchronous rectifier and method of operating the same, US 6288920

[10] P Alou, JA Cobos, O Garcia, R Prieto, J Uceda, A new driving scheme for synchronous rectifiers single winding self-driven synchronous rectification, -Power Electronics, IEEE Transactions on, 2001

[11] A Fernandez, J Sebastian, MM Hernando, PJ Villegas and Jorge Garcia. New self-driven synchronous rectification system for converters with a symmetrically driven transformer, Industry Applications, IEEE Transactions on, 2005

[12] HJ Chiu, LW Lin, A high-efficiency soft-switched AC/DC converter with current-doubler synchronous rectification, -Industrial Electronics, IEEE Transactions on, 2005.

[13] WA Tabisz, FC Lee, DY Chen, A MOSFET resonant synchronous rectifier for high-frequency DC/DC converters, -Power Electronics Specialists Conference, 1990. PESC90... , 1990.

[14] M M Jovanovic, MT Zhang, FC Lee, Evaluation of synchronous-rectification efficiency improvement limits in forward converters, -Industrial Electronics, IEEE Transactions on, 1995

[15] MT Zhang, MM Jovanovic, FCY Lee, Design considerations and performance evaluations of synchronous rectification in flyback converters, -Power Electronics, IEEE Transactions on, 1998

[16] Y Panov, MM Jovanovic, Design and performance evaluation of low-voltage/high-current DC/DC on-board modules, -Applied Power Electronics Conference and Exposition, 1999... , 1999

- [17] T Qian, W Song, B Lehman, Self-Driven Synchronous Rectification Scheme Without Undesired Gate-Voltage Discharge for DC-DC Converters With Symmetrically Driven Transformers, *Power Electronics, IEEE Transactions on*, 2008
- [18] Self-driven synchronous rectifier circuit for non-optimal reset secondary voltage, US6301139
- [19] Self-driven synchronous rectification scheme for wide output range, US 6583993
- [20] Transcutaneous energy transmission system with full wave Class E rectifier, US6240318
- [21] Vrms and rectified current sense full-bridge synchronous-rectification integrated with PFC, US 7269038
- [22] H Miura, S Arai, F Sato, H Matsuki, T Sato, A Synchronous Rectification Using a Digital PLL Technique for Contactless Power Supplies, *Magnetics, IEEE Transactions on*, 2005
- [23] Rechargeable battery circuit and structure for compatibility with a planar inductive charging platform, US 11/234,045
- [24] AC-DC Converter Having an Improved Power Factor, US 4,412,277
- [25] AF Souza and J Barbi, "High Power Factor Rectifier with Reduced Conduction and Commutation Losses", *International Telecommunication Energy Conf. (INTELEC)*, Jun. 1999.
- [26] J. Liu, W. Cheu, J. Zhang, D. Xu, and F. C. Lee, "Evaluation of Power Losses in Different CCM Mode Single-Phase Boost PFC Converters Via Simulation Tool", *Industry Applications Conf. (IAS)*, Sep. 2001.
- [27] J. C. Salmon, "Circuit Topologies for PWM Boost Rectifiers Operated from 1-Phase and 3-Phase AC Supplies and Using either Single or Split DC Rail Voltage Outputs", *Applied Power Electronics (APEC)*, Mar. 1995.
- [28] L. Huber, Y. Jang, M. Jovanovic, "Performance Evaluation of Bridgeless PFC Boost Rectifiers", *Power Electronics, IEEE Transactions on*, May 2008.

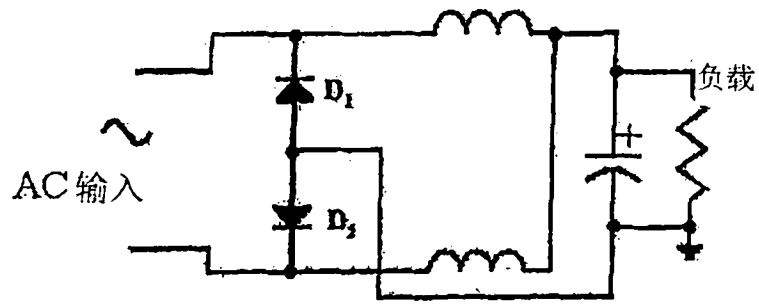


图 1(a) (现有技术)

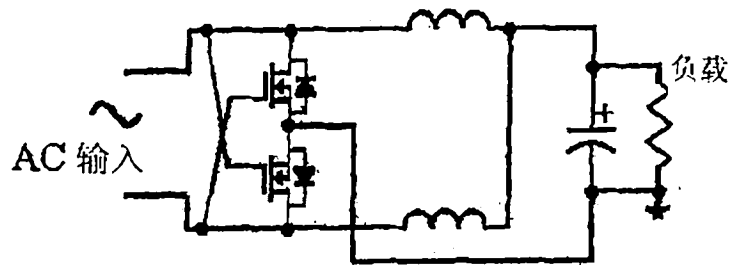


图 1(b) (现有技术)

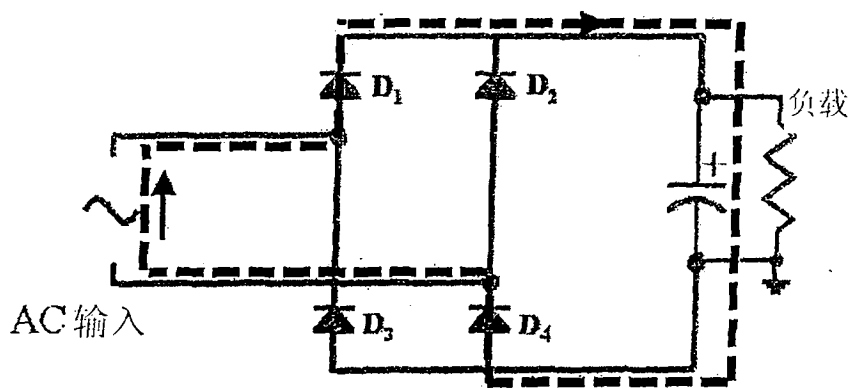


图 2(a) (现有技术)

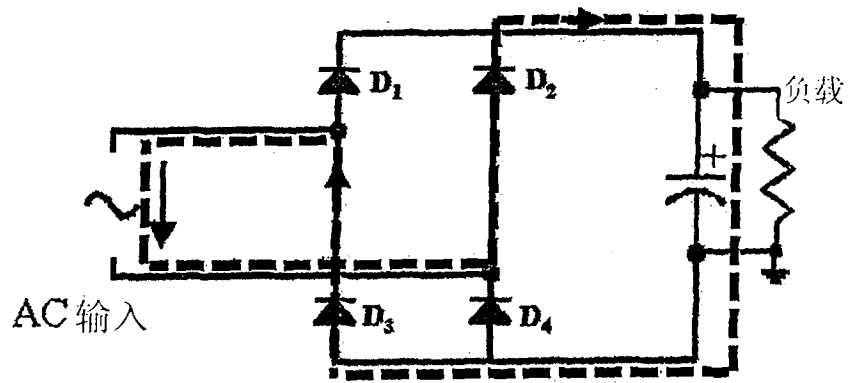


图 2(b) (现有技术)

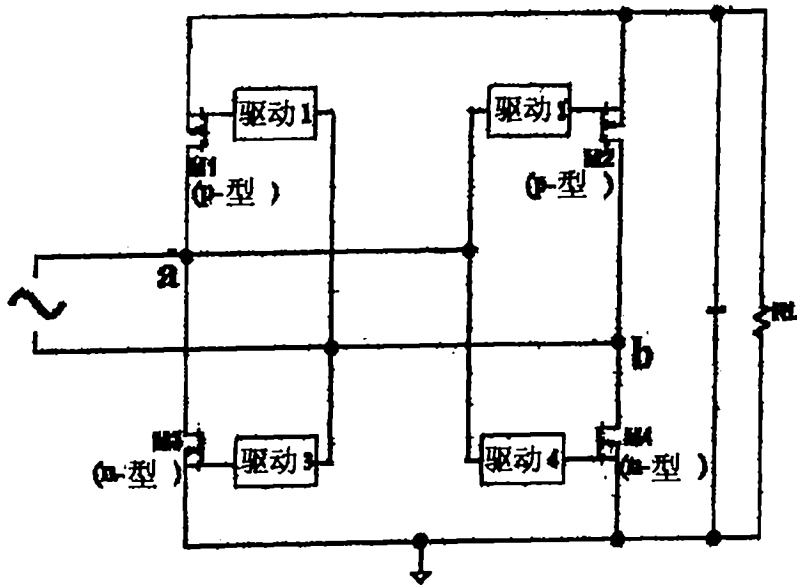


图 3(a)

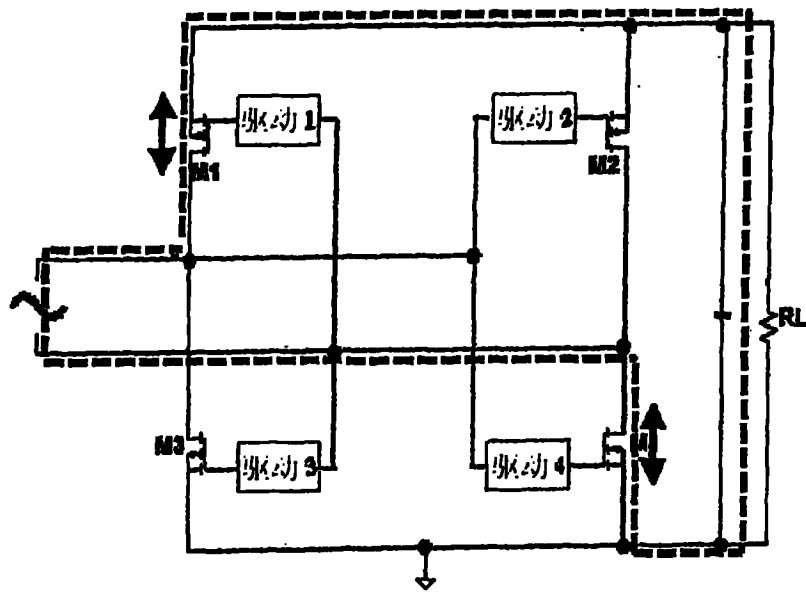


图 3(b)

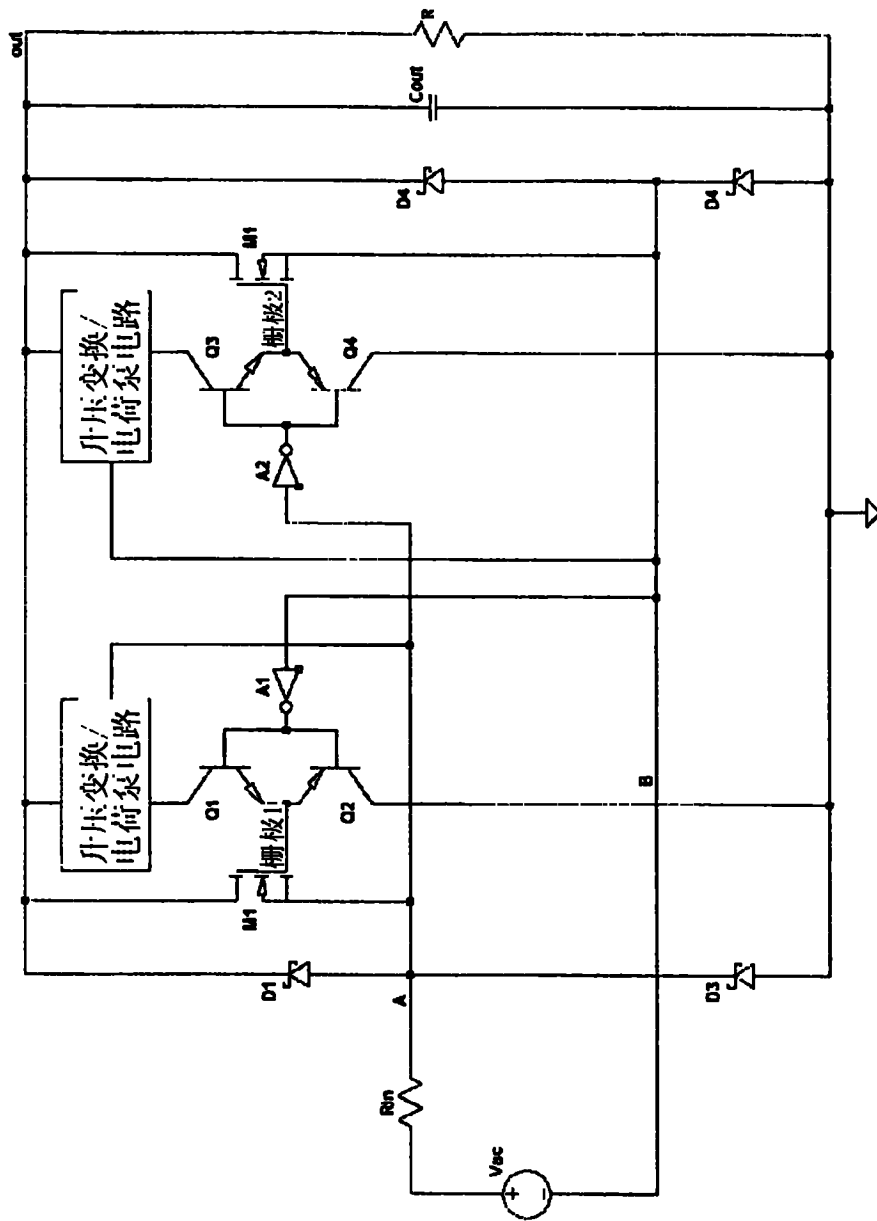


图 4

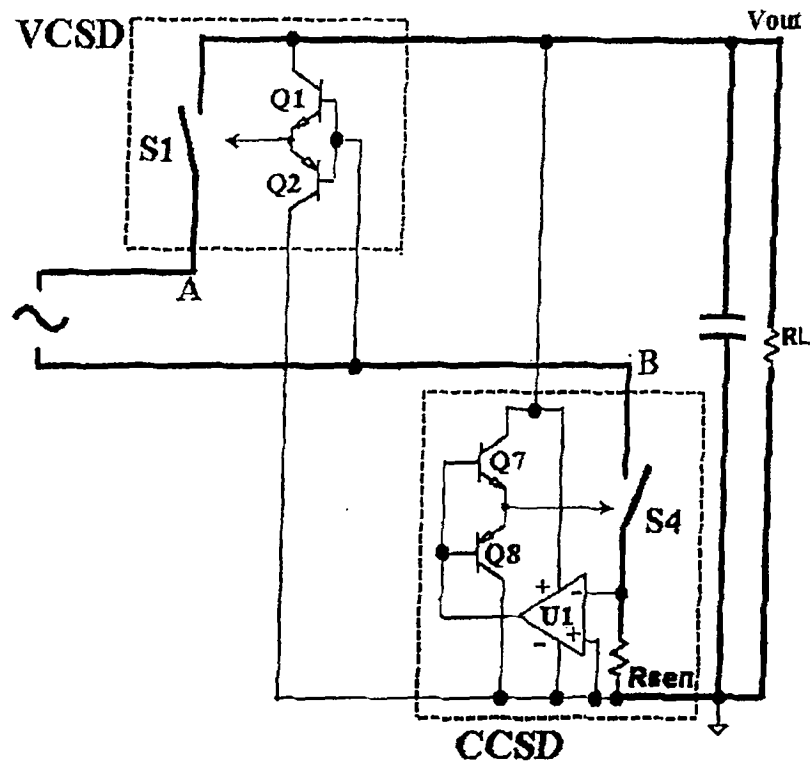


图 5(a)

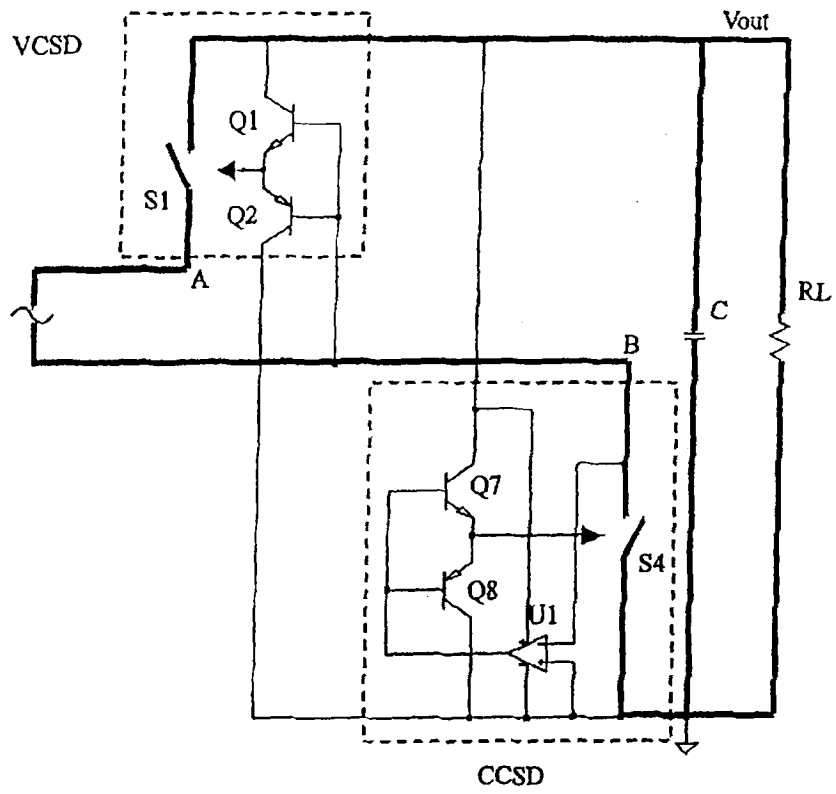


图 5 (b)

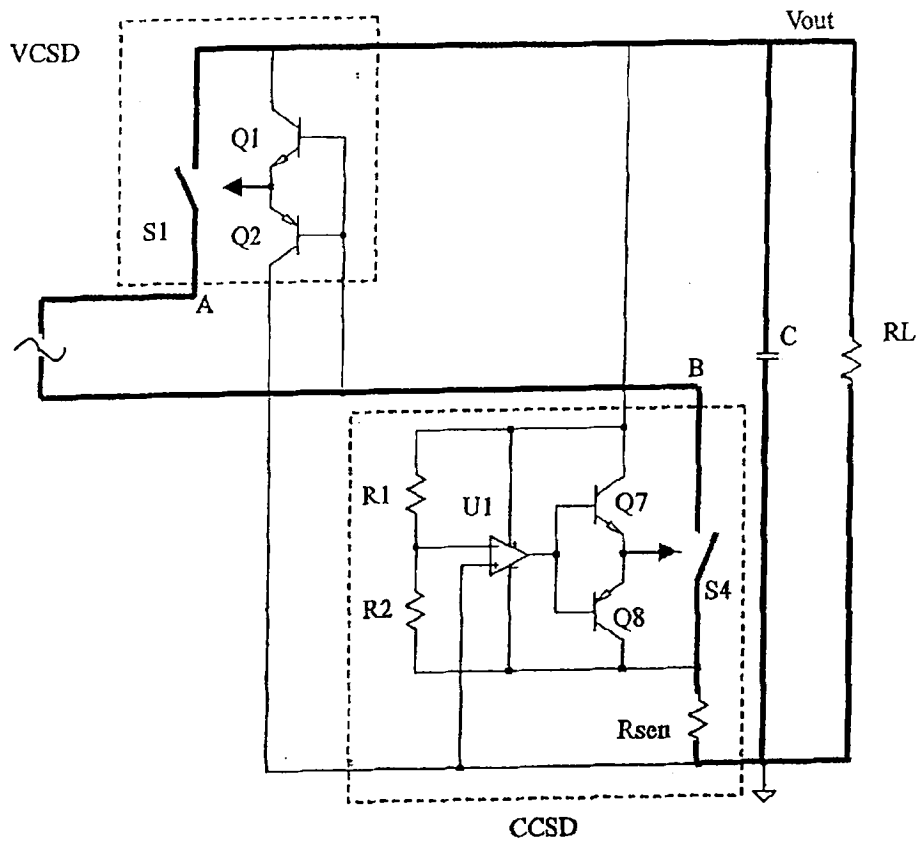


图 5(c)

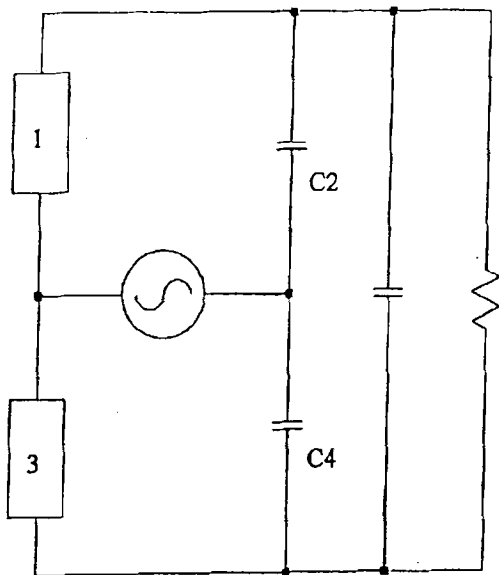


图 6

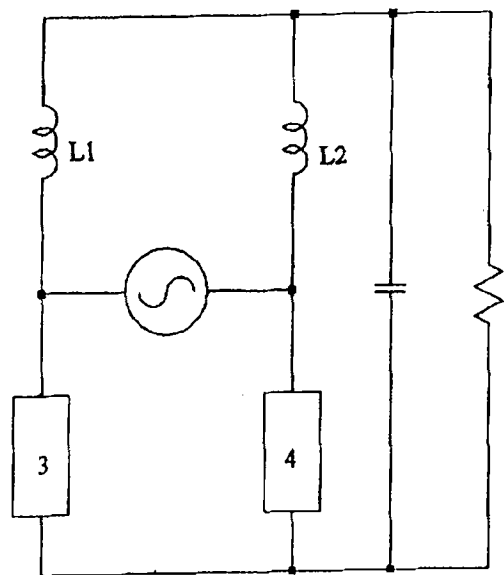


图 7

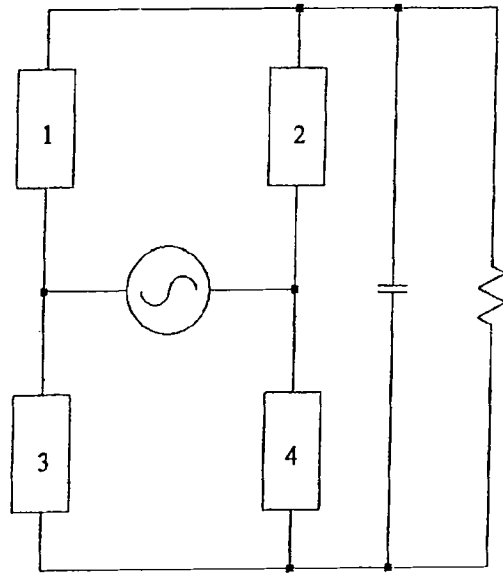


图 8

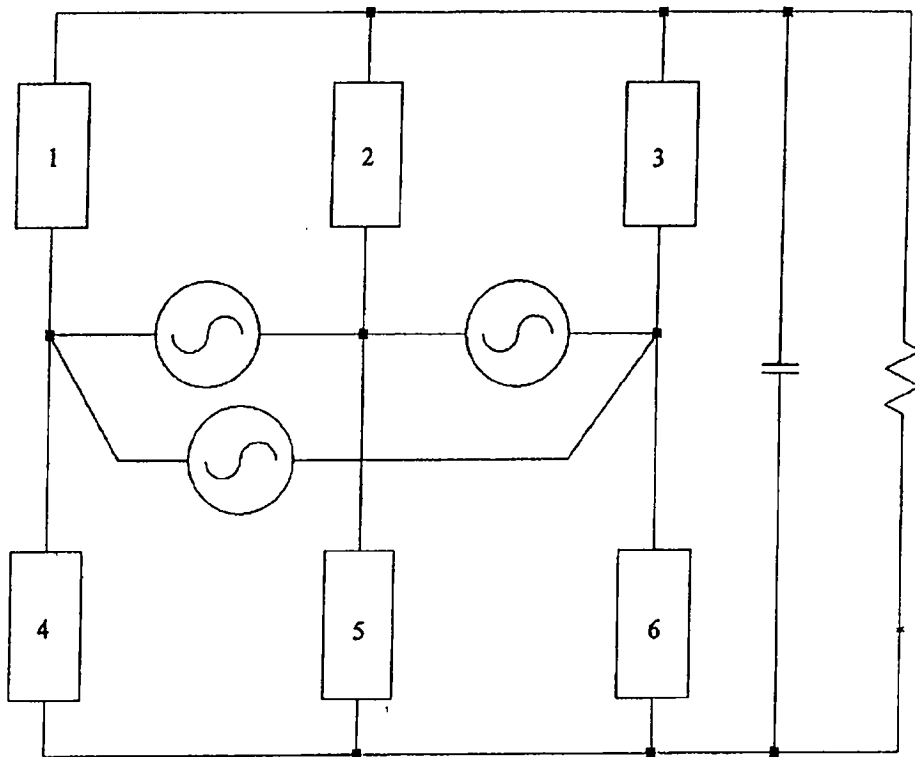


图 9

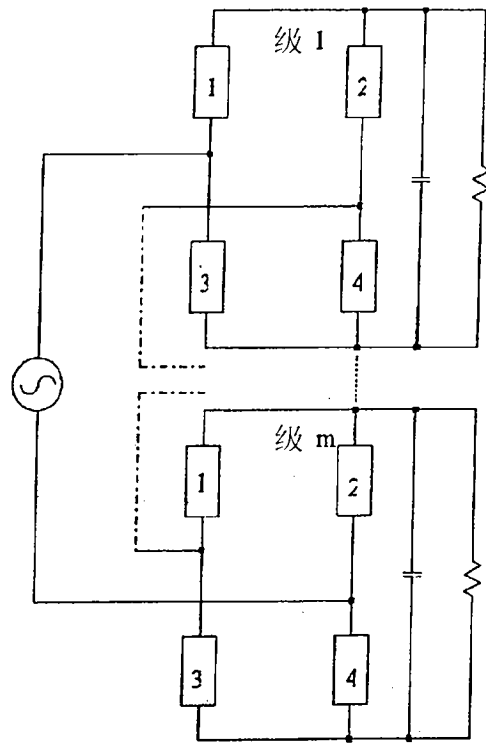


图 10

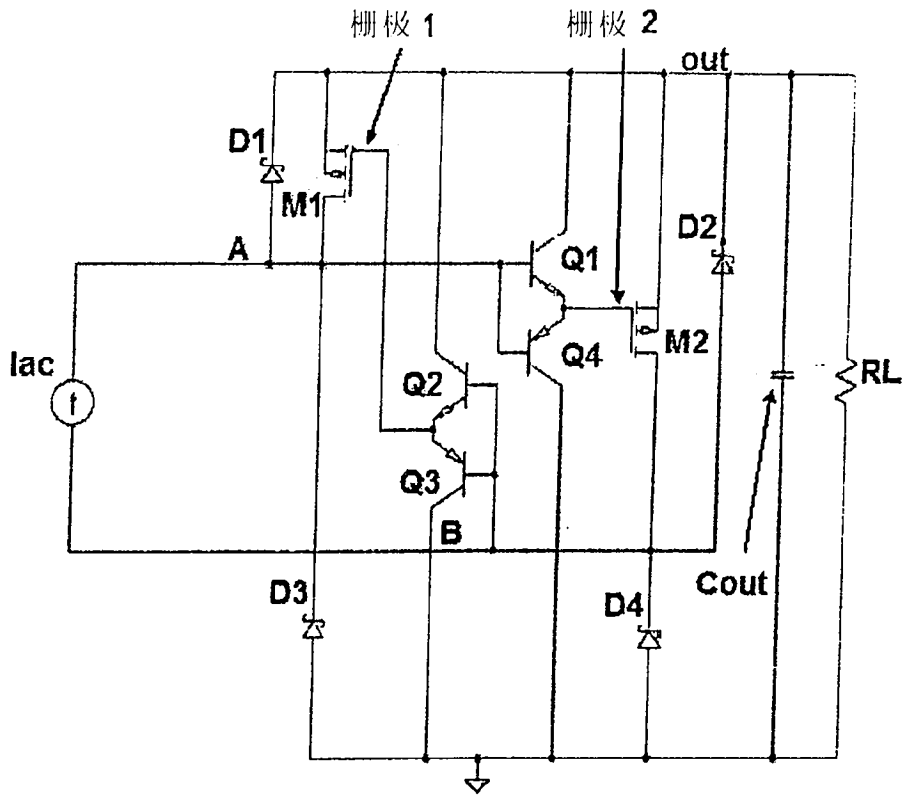


图 11

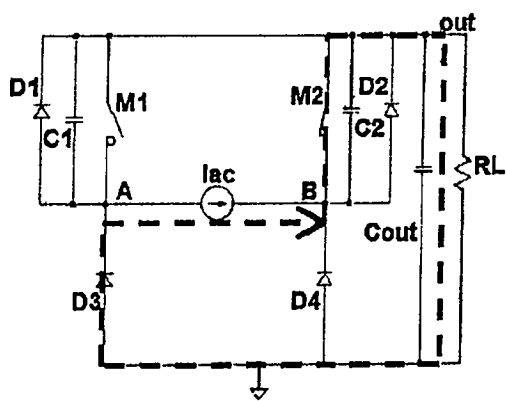


图 12(a) $t_0 < t < t_1$

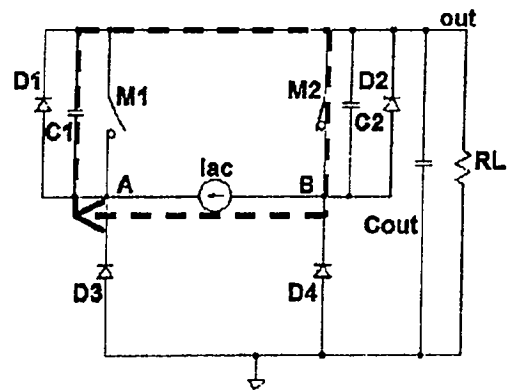


图 12(b) $t_1 < t < t_2$

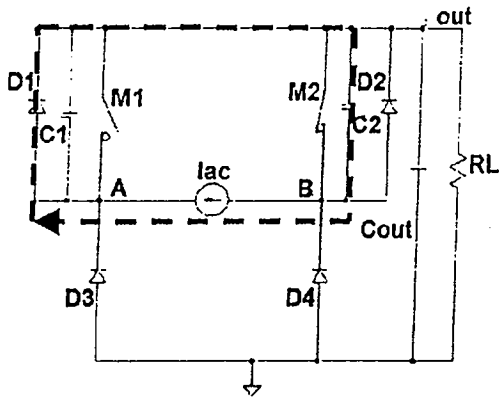


图 12(c) $t_2 < t < t_3$

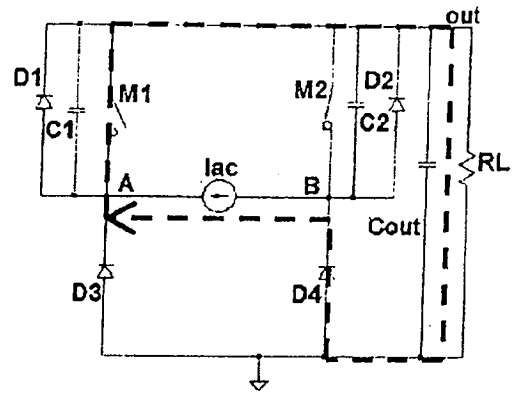


图 12(d) $t_3 < t < t_4$

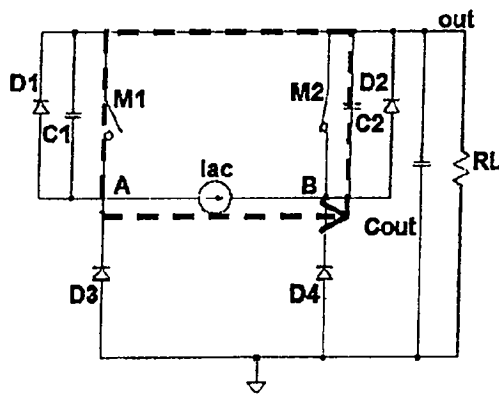


图 12(e) $t_4 < t < t_5$

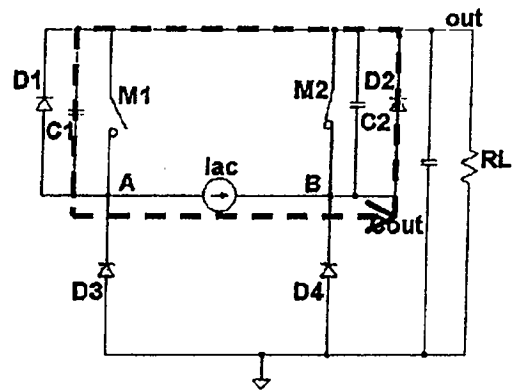


图 12(f) $t_5 < t < t_6$

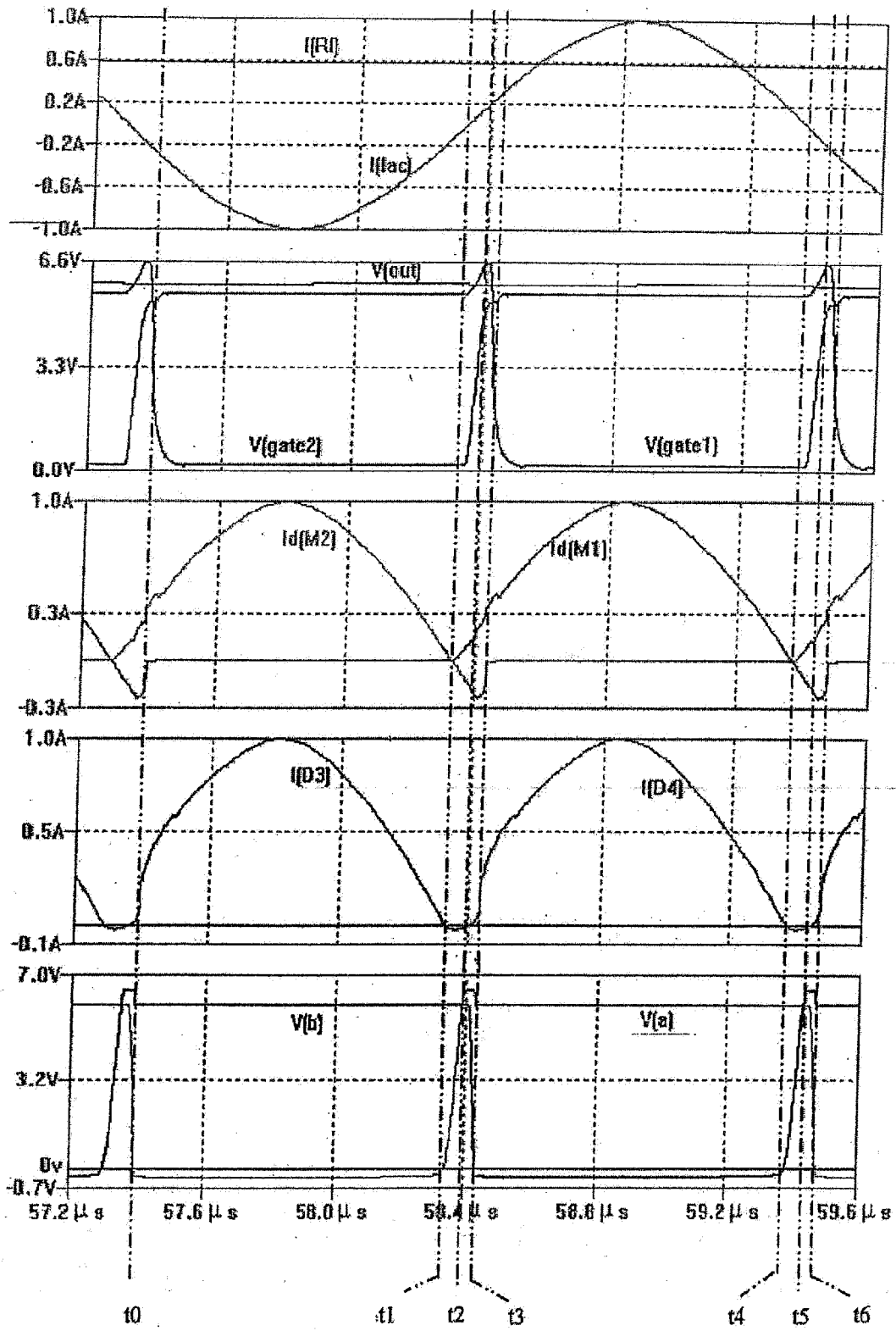


图 13

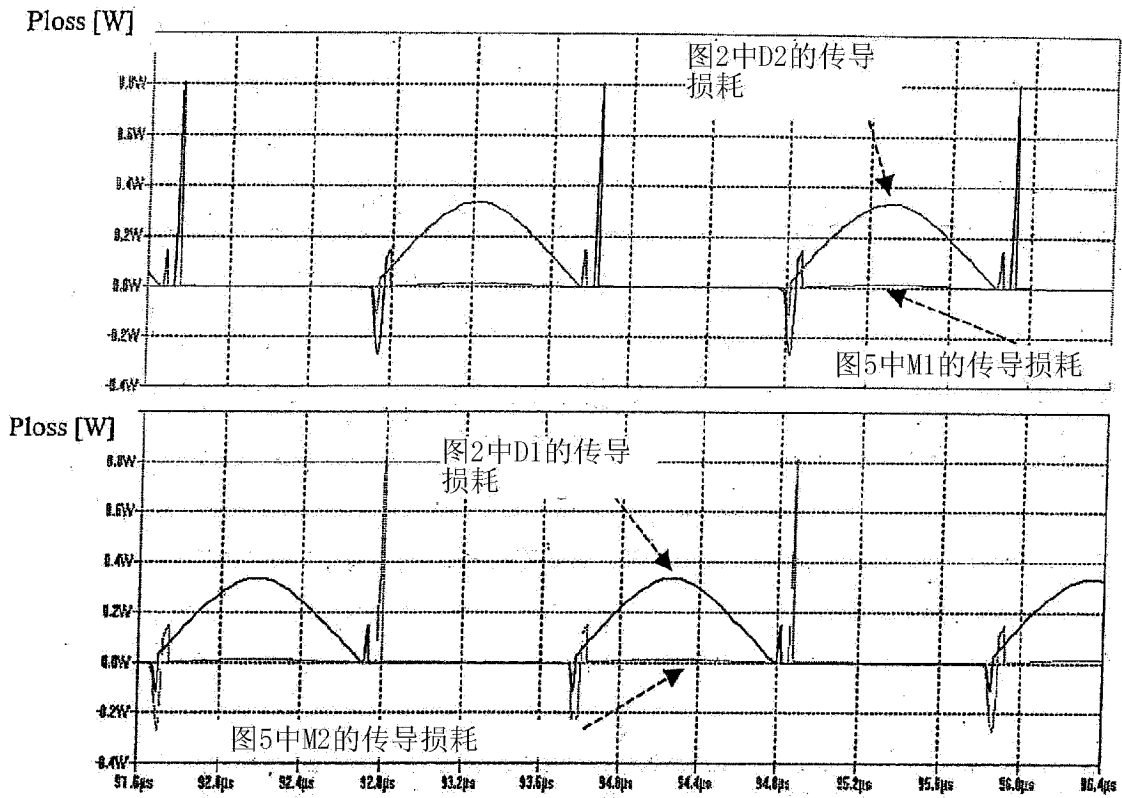


图 14

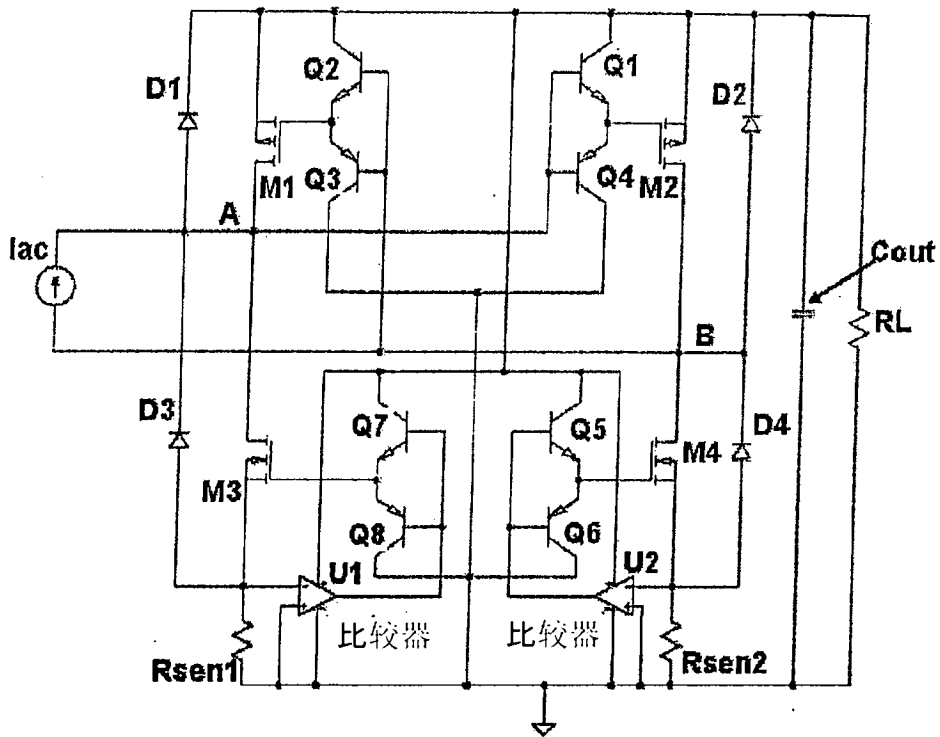


图 15

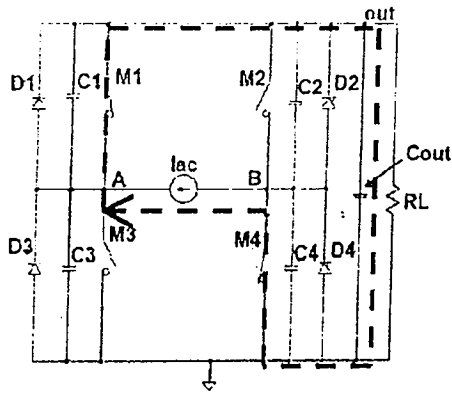


图 16(a) $t_0 < t < t_1$

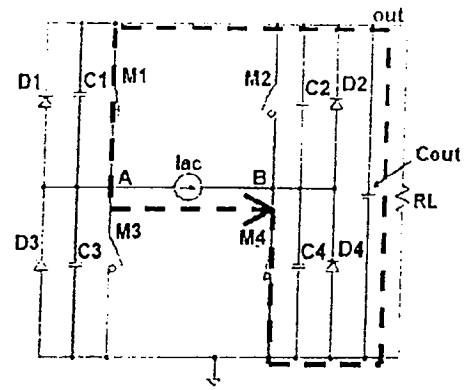


图 16(b) $t_1 < t < t_2$

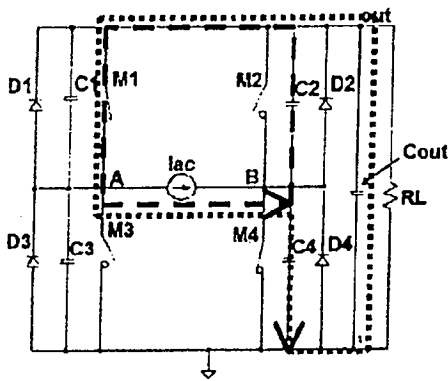


图 16(c) $t_2 < t < t_3$

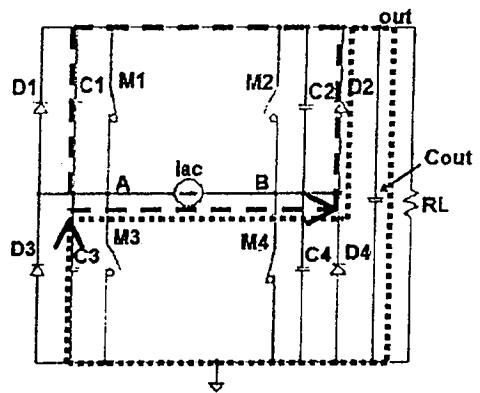


图 16(d) $t_3 < t < t_4$

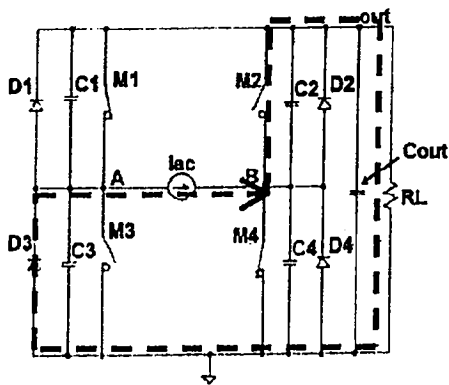


图 16(e) $t_4 < t < t_5$

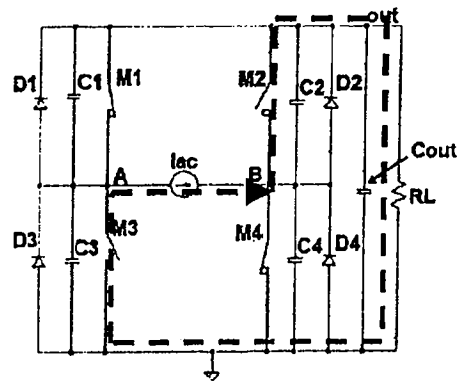


图 16(f) $t_5 < t < t_6$

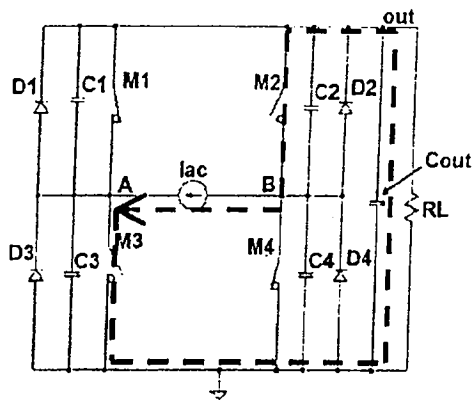


图 16(g) $t_6 < t < t_7$

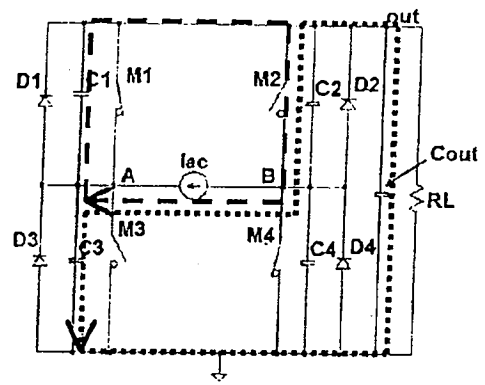


图 16(h) $t_7 < t < t_8$

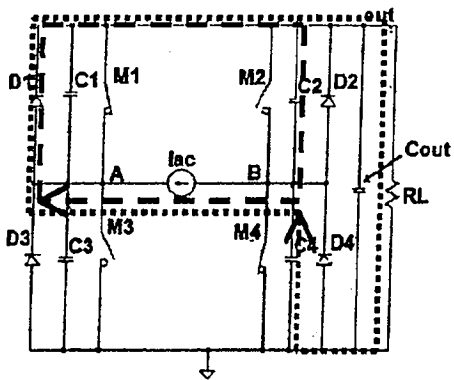


图 16(i) $t_8 < t < t_9$

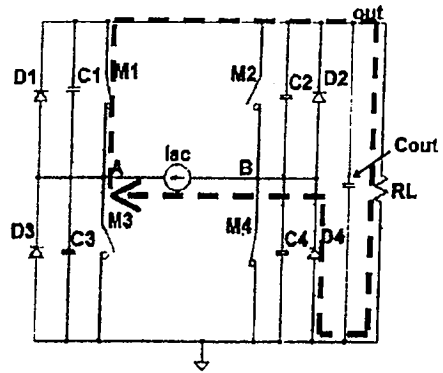


图 16(j) $t_9 < t < t_{10}$

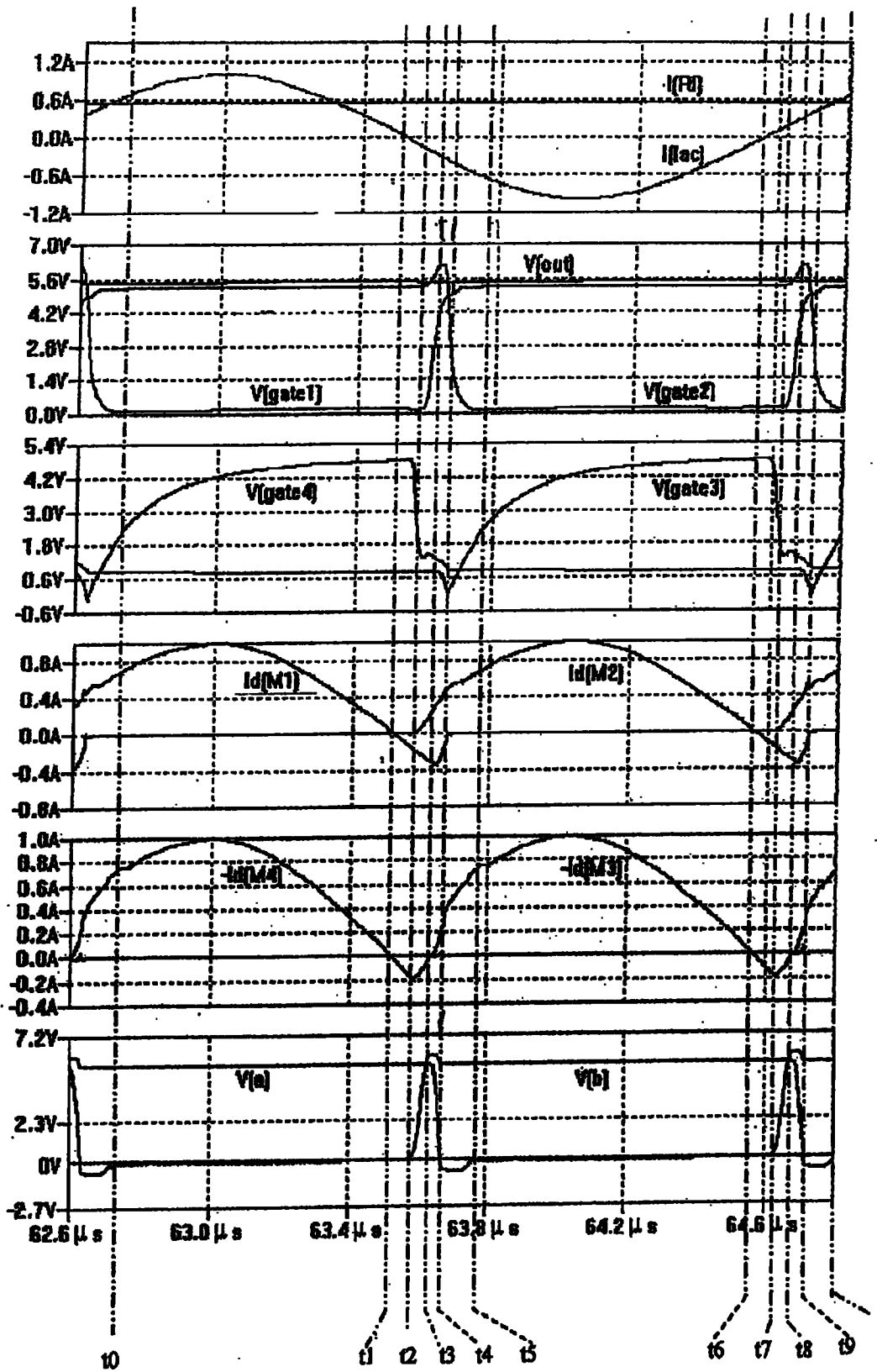


图 17

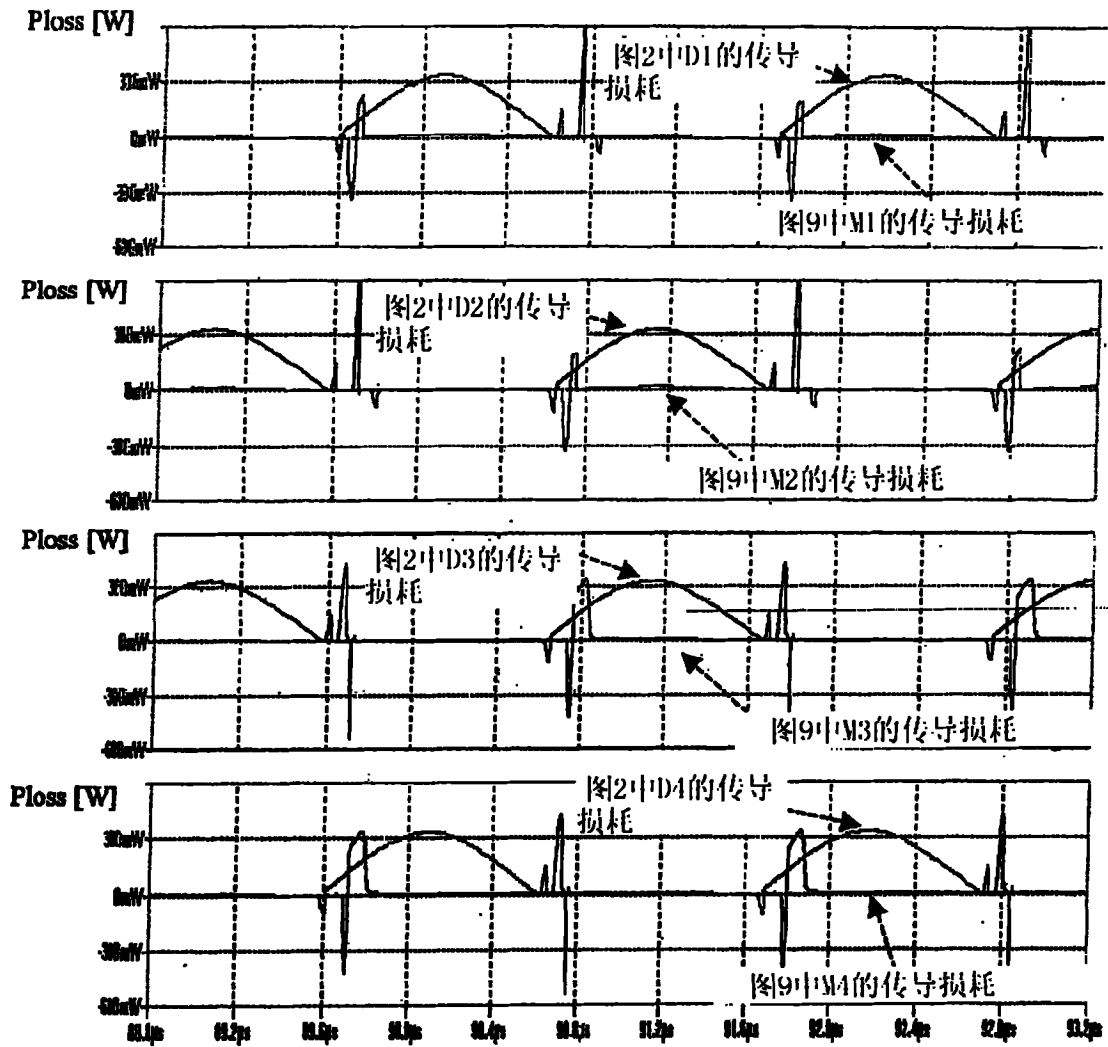


图 18

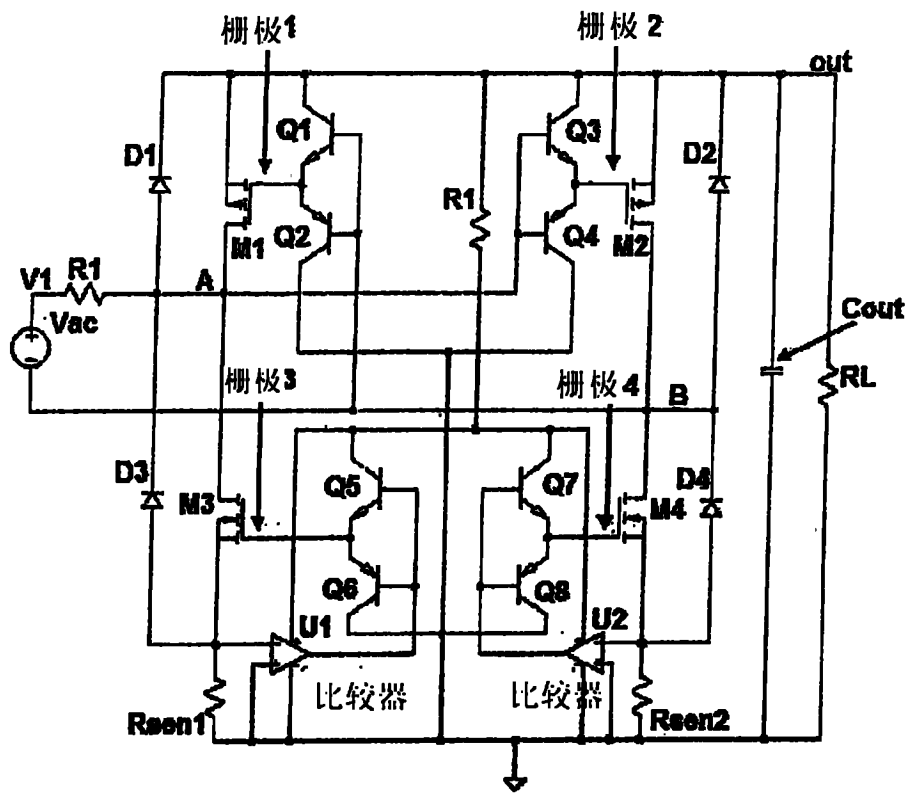


图 19

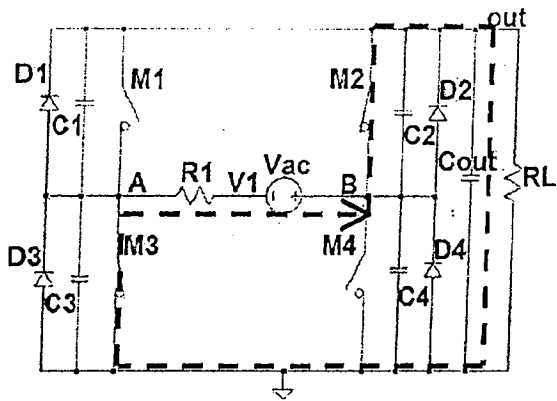


图 20(a) $t_0 < t < t_1$

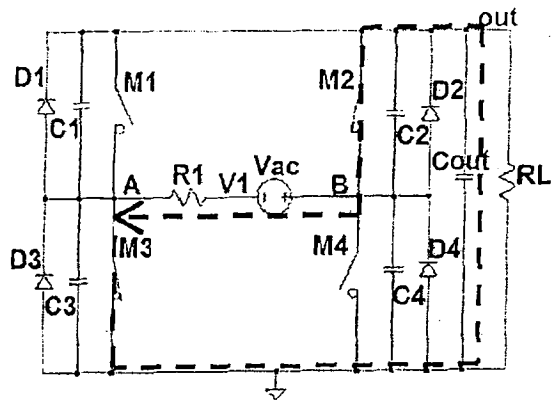


图 20(b) $t_1 < t < t_2$

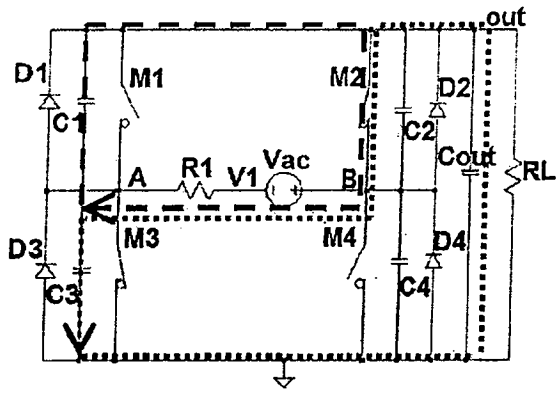


图 20(c) $t_2 < t < t_3$

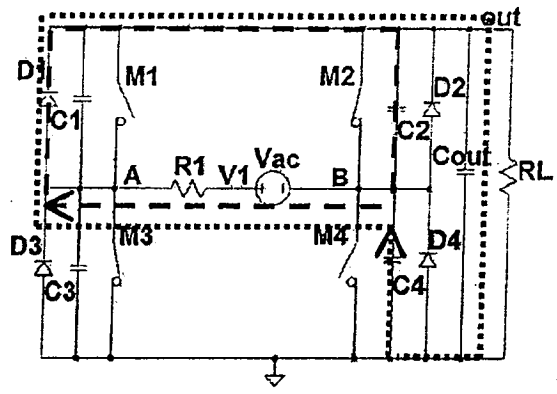


图 20(d) $t_3 < t < t_4$

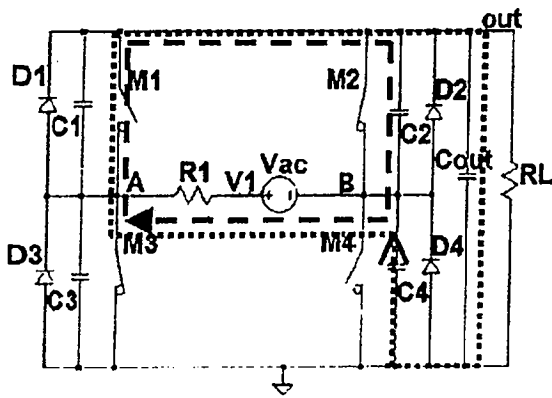


图 20(e) $t_4 < t < t_5$

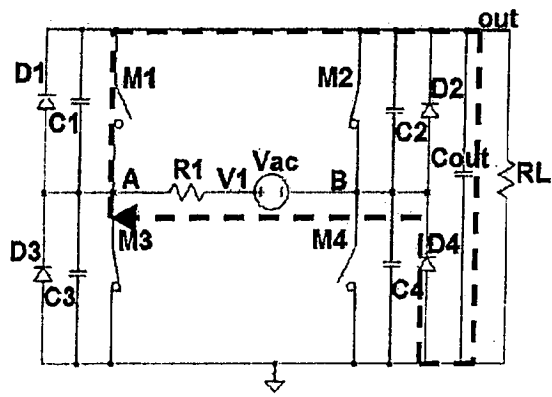


图 20(f) $t_5 < t < t_6$

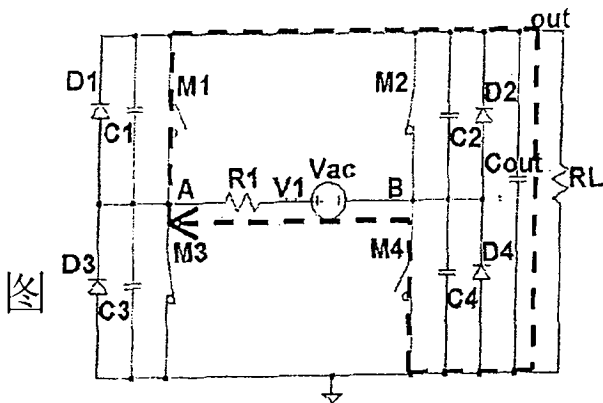


图 20(g) $t_6 < t < t_7$

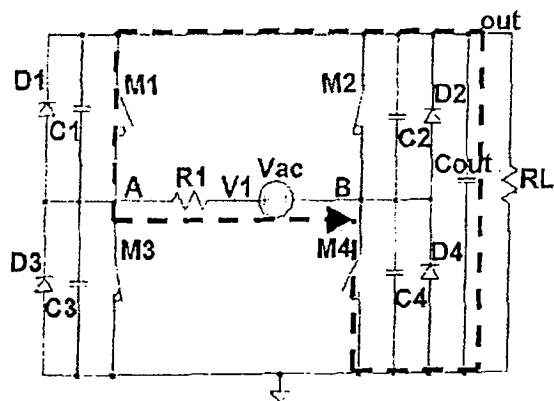


图 20(h) $t_7 < t < t_8$

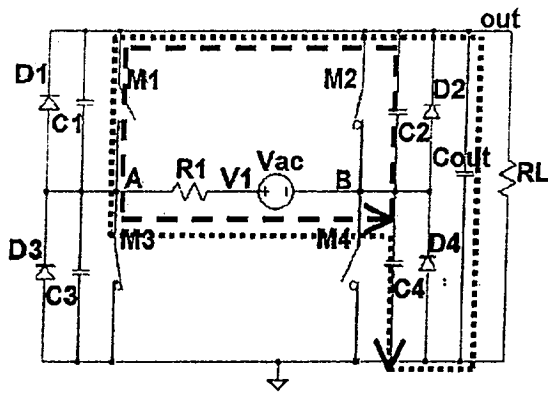


图 20(i) $t_8 < t < t_9$

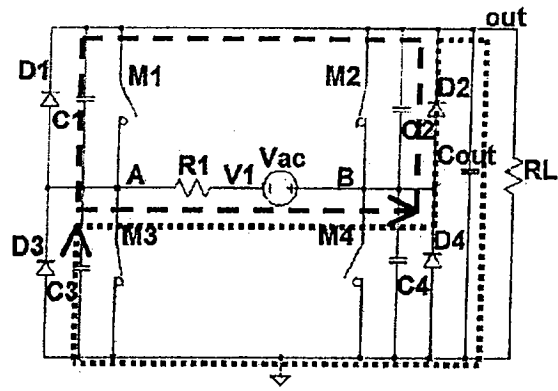


图 20(j) $t_9 < t < t_{10}$

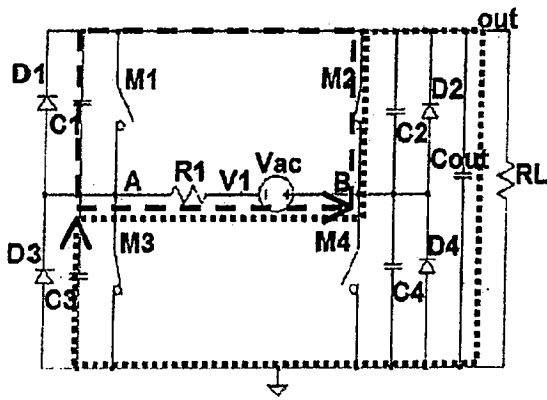


图 20(k) $t_{10} < t < t_{11}$

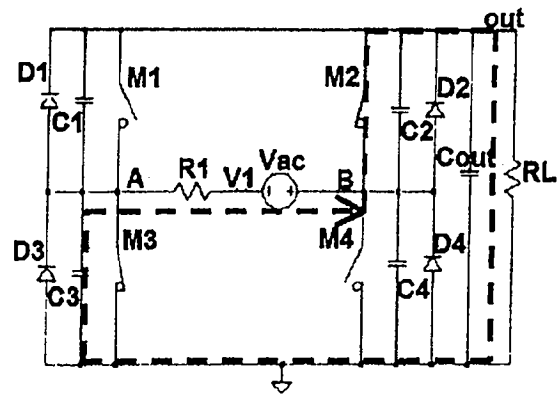


图 20(l) $t_{11} < t < t_{12}$

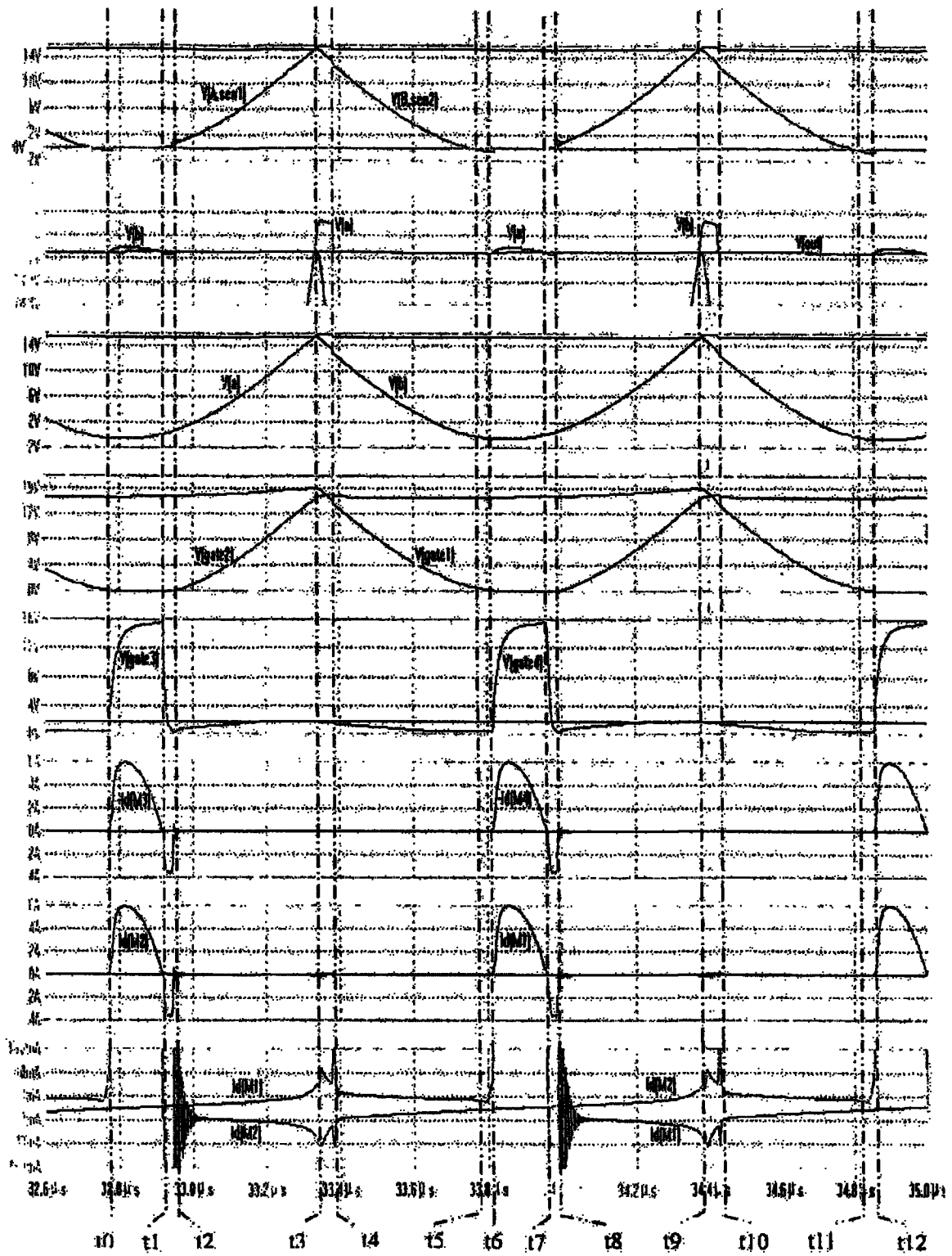


图 21

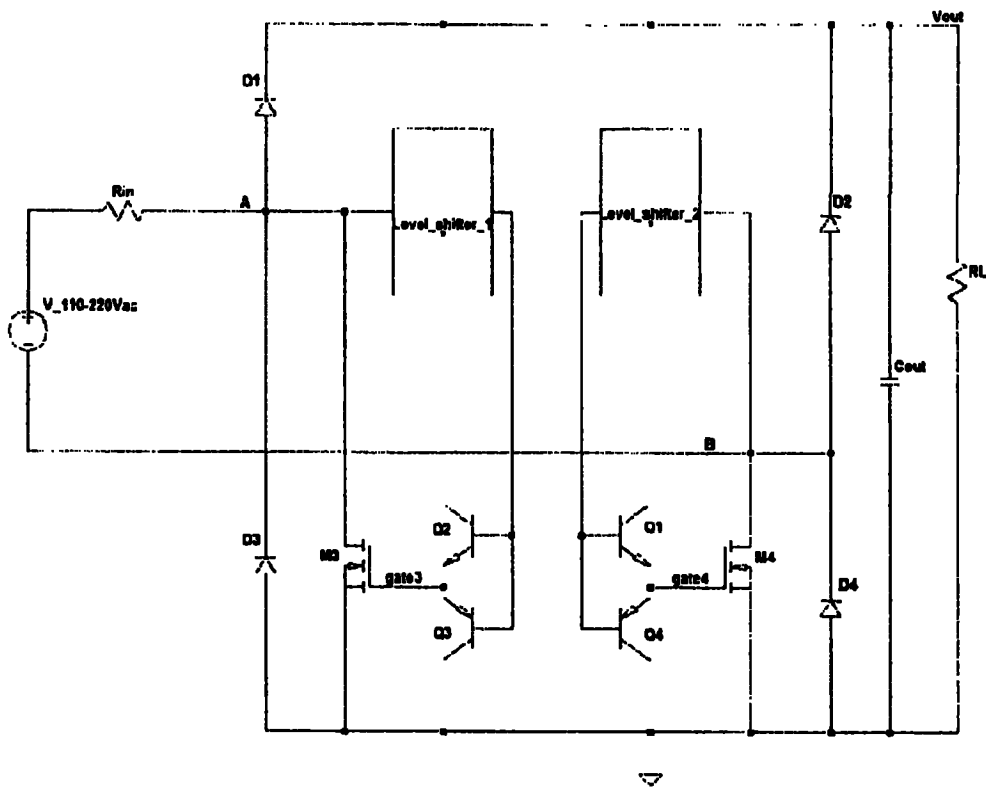


图 22

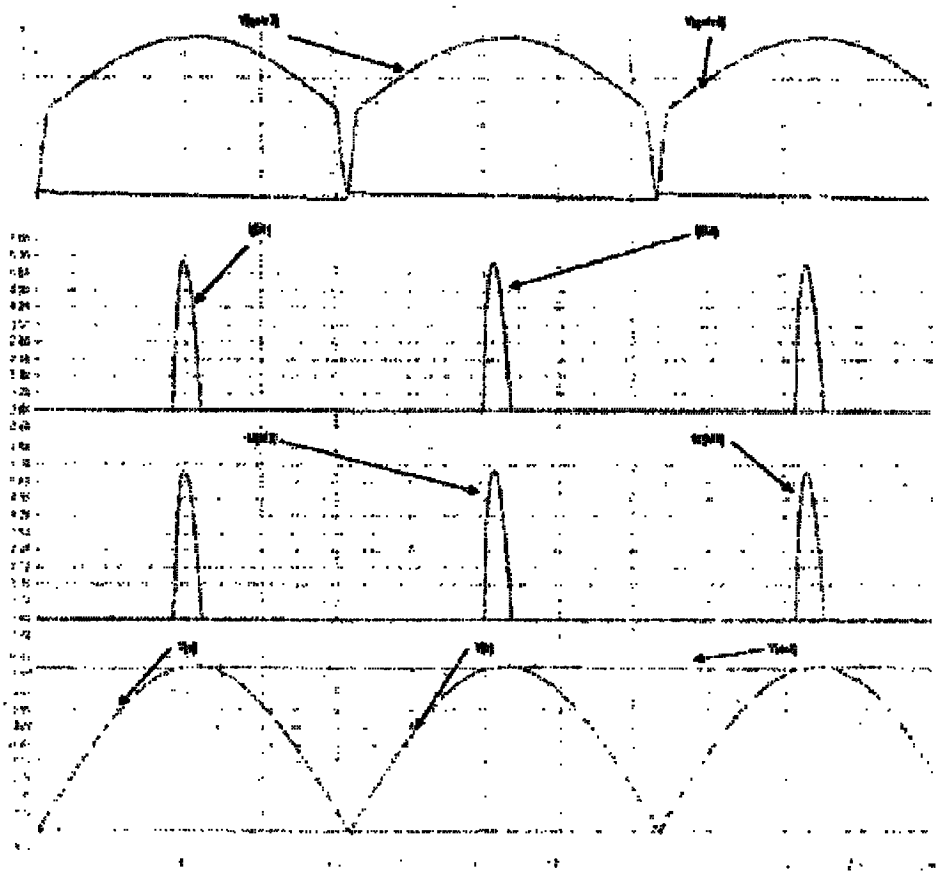


图 23

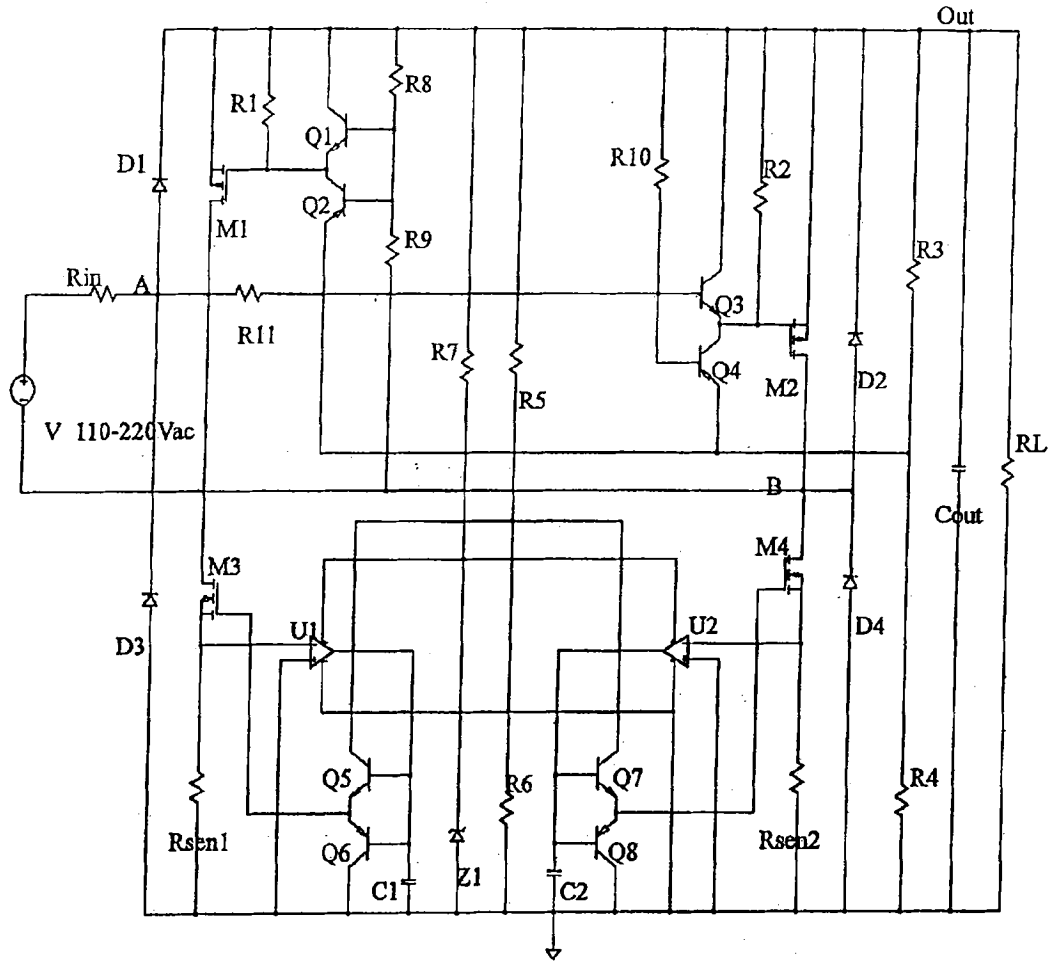


图 24

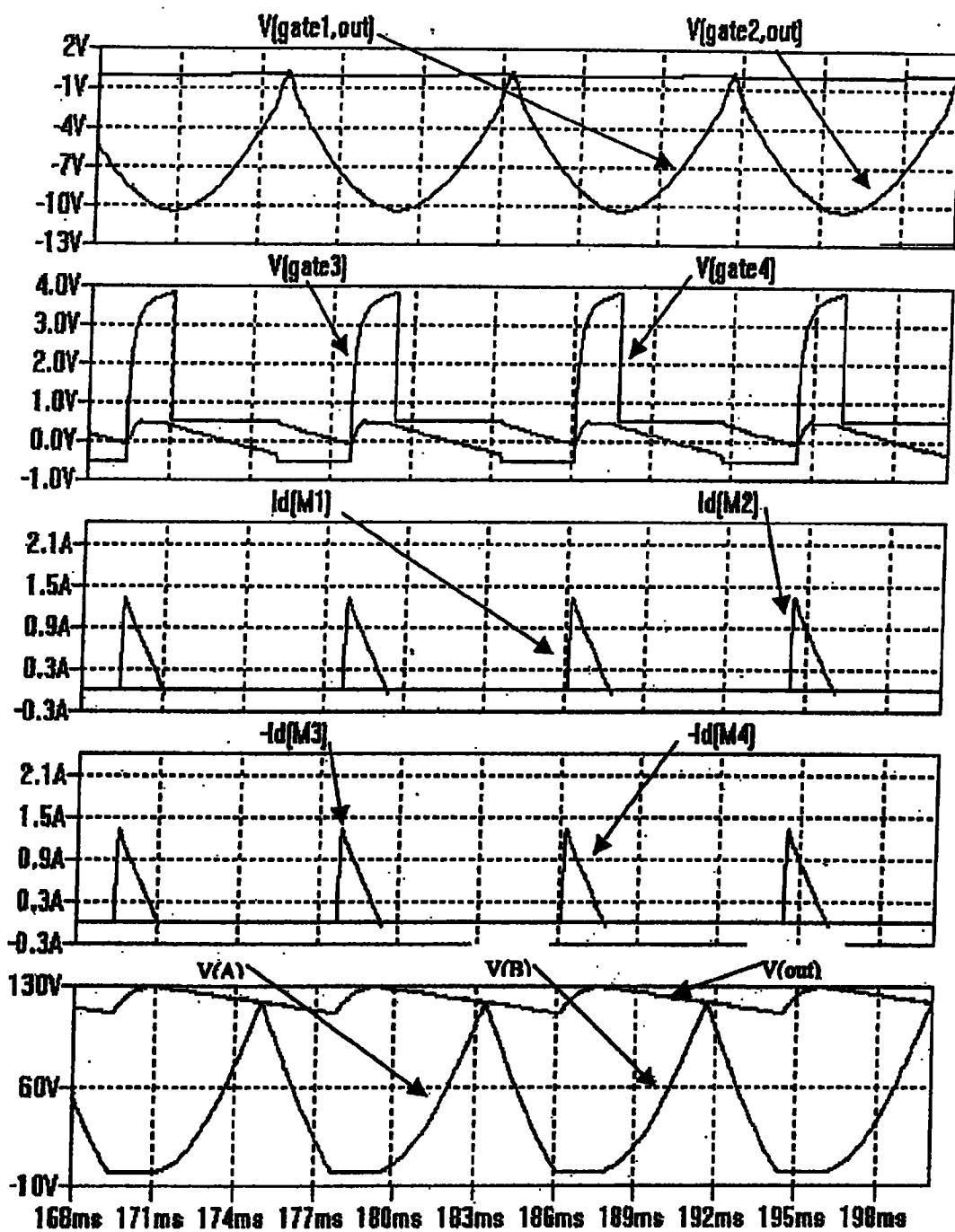


图 25

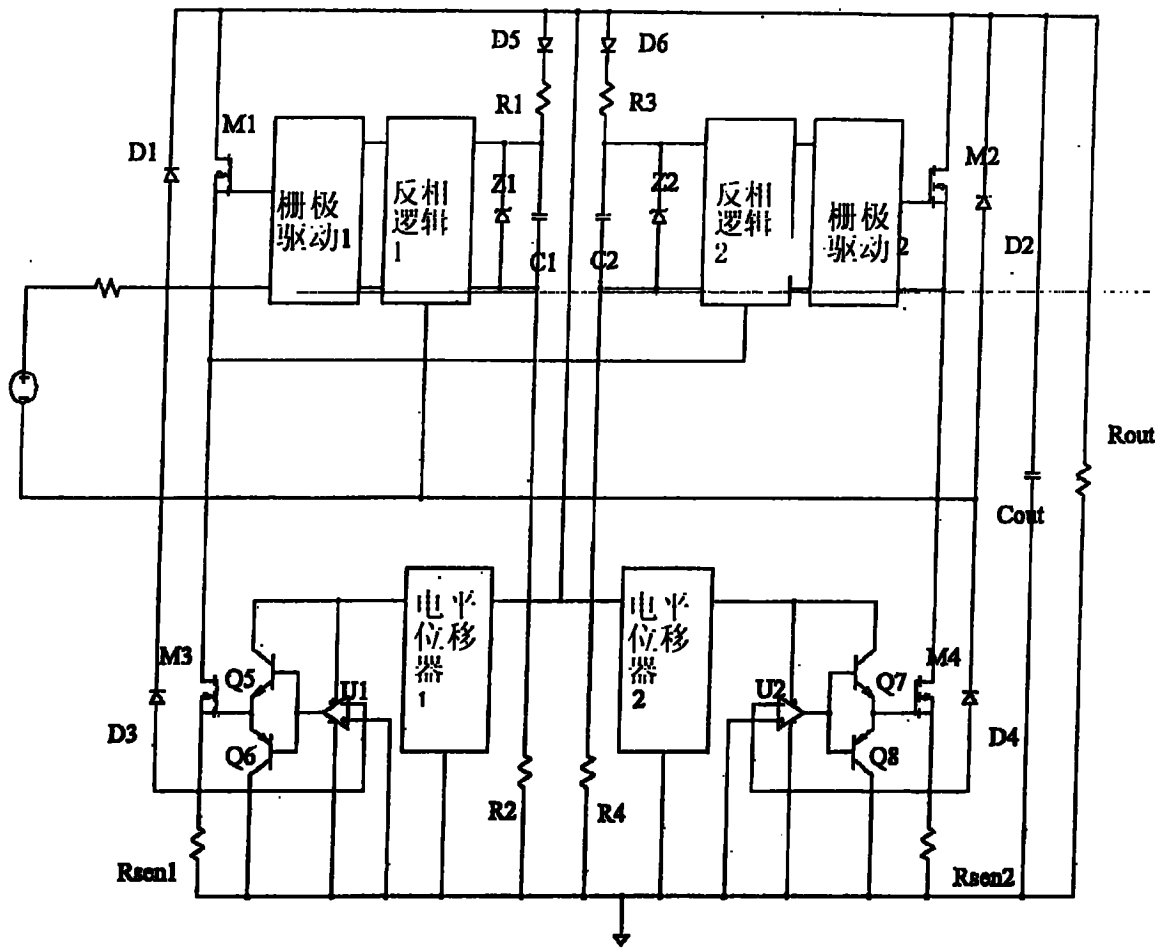


图 26

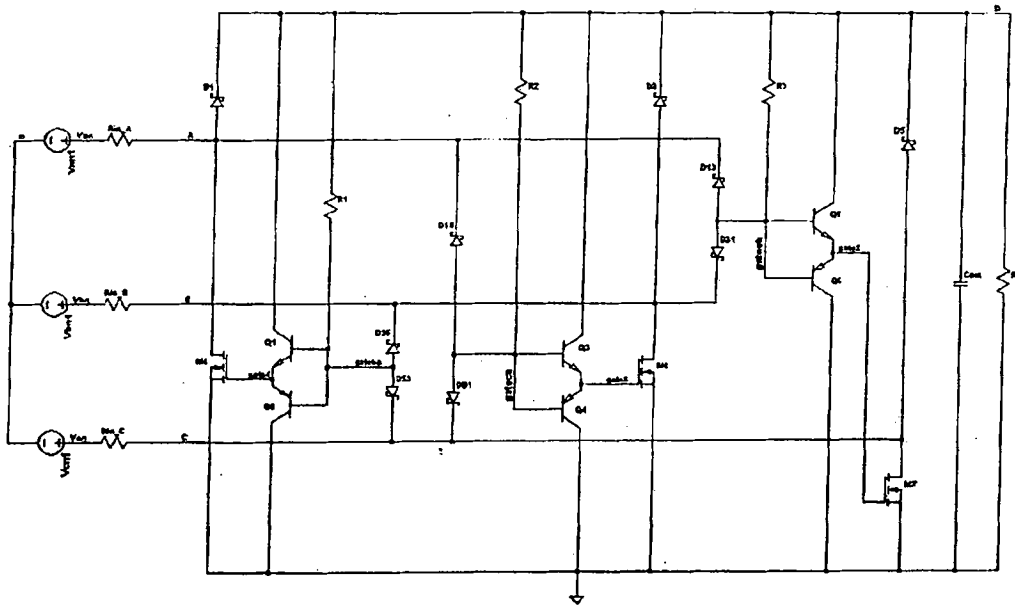


图 27

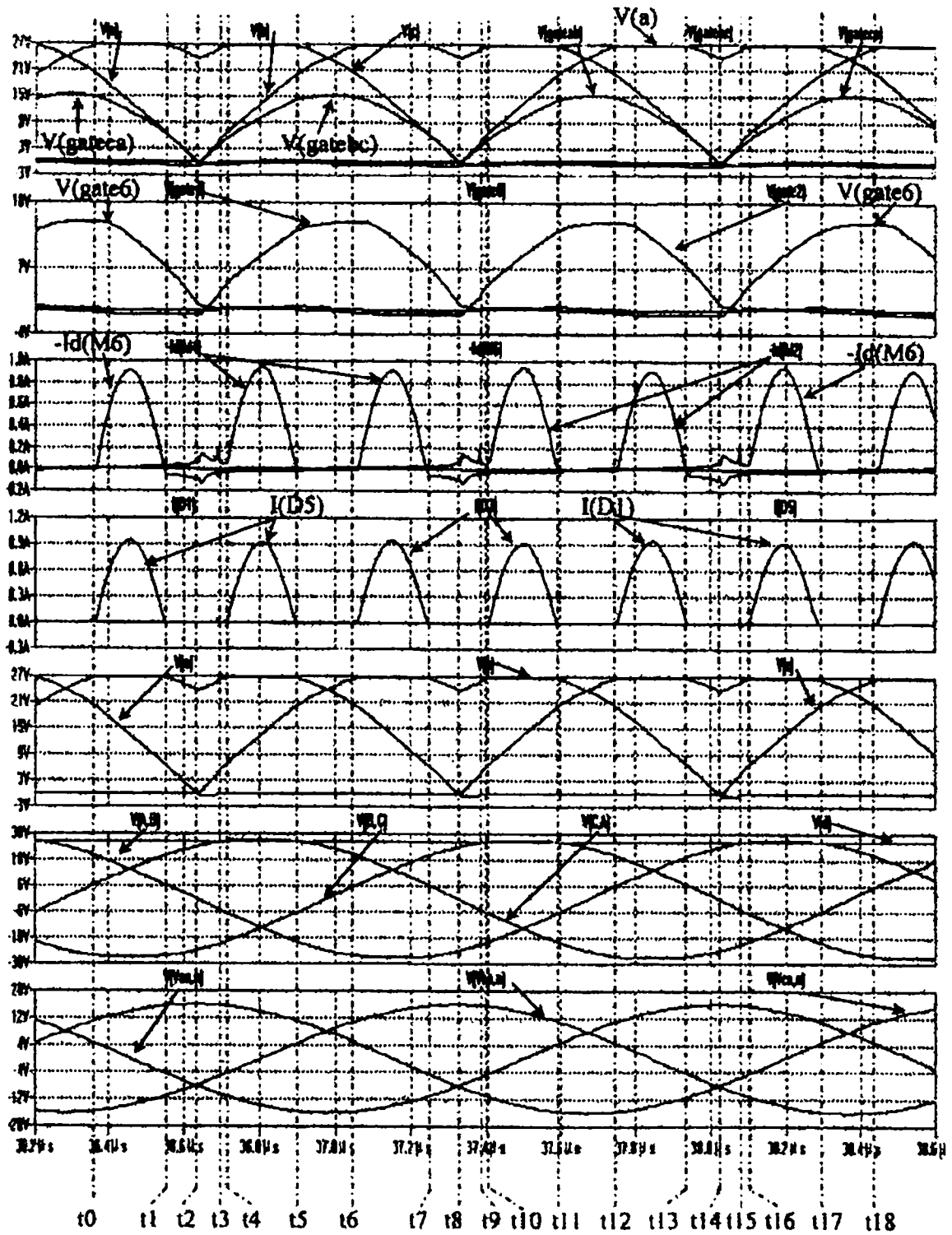


图 28

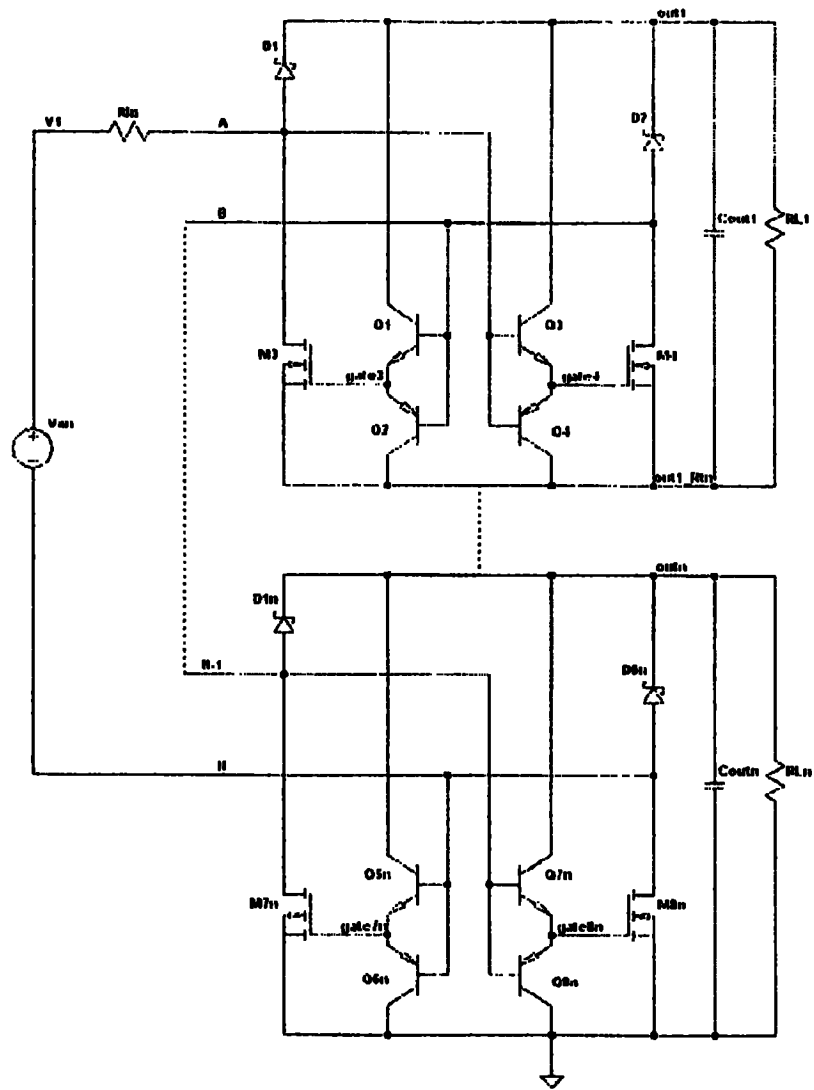


图 29

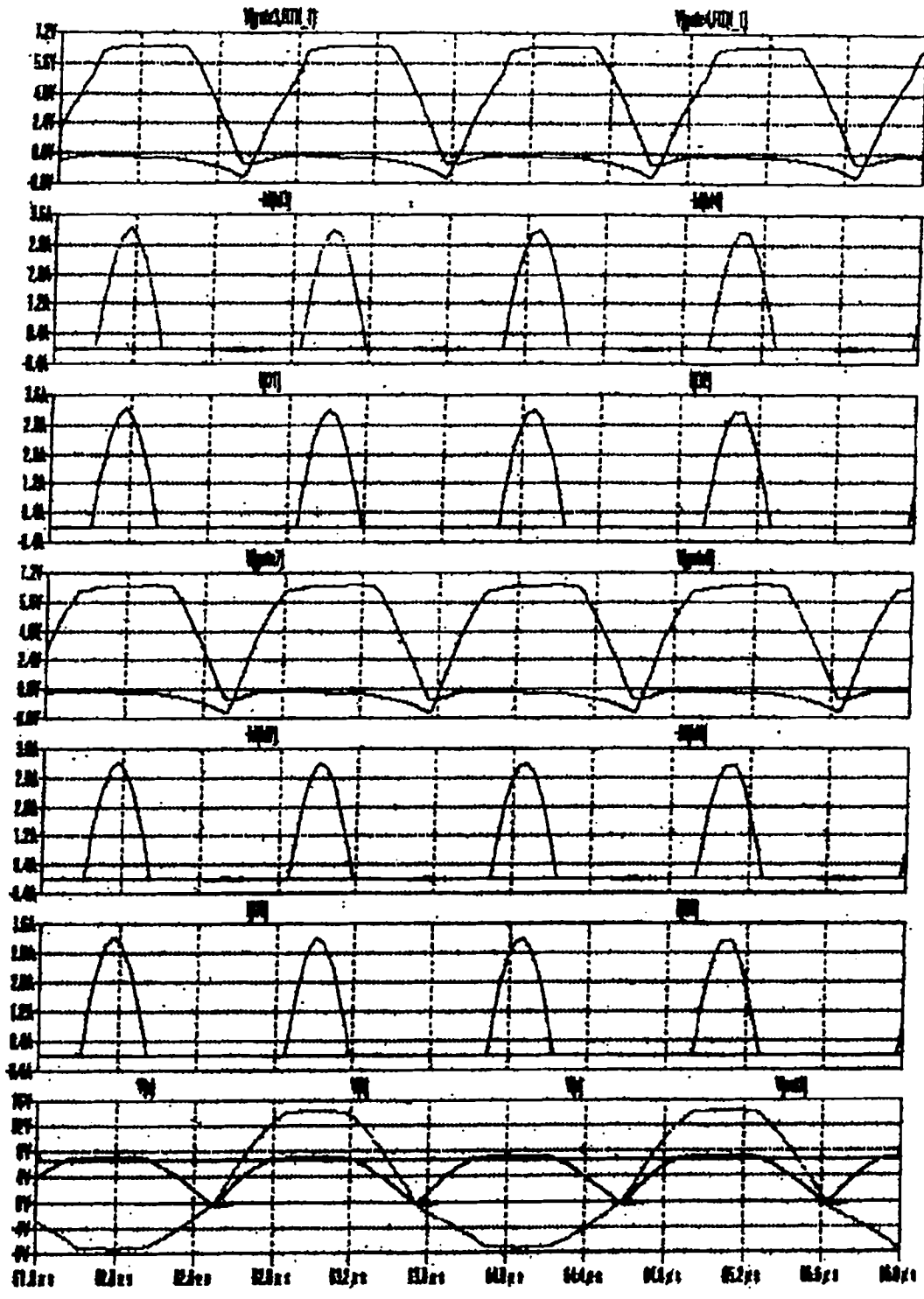


图 30

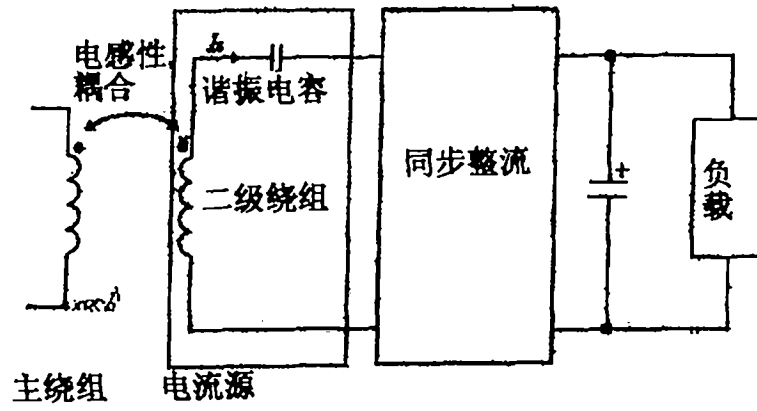


图 31