

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-17990
(P2006-17990A)

(43) 公開日 平成18年1月19日(2006.1.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/28 (2006.01)	G09G 3/28 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 621L	5C580
H03K 17/00 (2006.01)	G09G 3/20 624N	5J055
H03K 17/08 (2006.01)	G09G 3/20 670D	
H03K 17/687 (2006.01)	G09G 3/20 670E	

審査請求 未請求 請求項の数 15 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2004-195409 (P2004-195409)
(22) 出願日 平成16年7月1日(2004.7.1)

(71) 出願人 599132708
富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号
(74) 代理人 100099759
弁理士 青木 篤
(74) 代理人 100092624
弁理士 鶴田 準一
(74) 代理人 100113826
弁理士 倉地 保幸
(74) 代理人 100082898
弁理士 西山 雅也
(72) 発明者 小野澤 誠
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社
社内

最終頁に続く

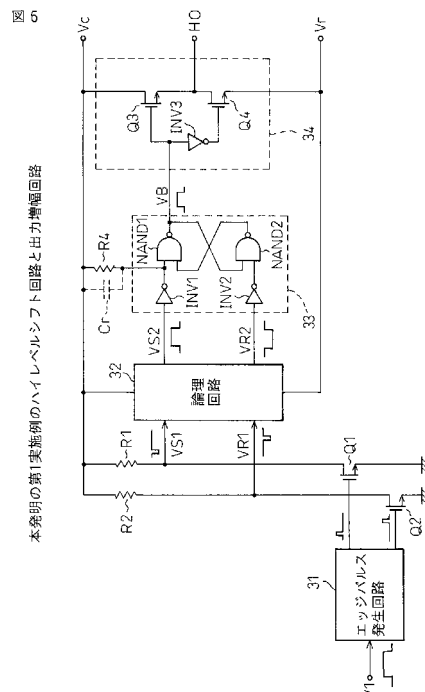
(54) 【発明の名称】 表示装置の駆動回路及びプラズマディスプレイ装置

(57) 【要約】

【課題】 電源投入時の誤動作がなく、出力素子を破壊することがない表示装置の駆動回路の実現。

【解決手段】 入力信号のフロント及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路31と、フロント及びバックエッジパルスをそれぞれ出力基準電圧を基準としたパルスに変換する第1及び第2のレベルシフト回路Q1, Q2と、第1及び第2のレベルシフト回路に接続された論理回路32と、論理回路に接続されたフリップフロップ回路33と、フリップフロップ回路の内部又は前記フリップフロップ回路の後段における信号ラインに接続されたセットアップ抵抗R4と、セットアップ抵抗の後段に接続された出力増幅回路34と、出力素子LUとを備える表示装置の駆動回路において、セットアップ抵抗は、出力増幅回路34の電源電圧ラインと信号ライン間に接続される。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

入力端子と、
 前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、
 前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、
 前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第 2 のレベルシフト回路と、
 前記第 1 及び第 2 のレベルシフト回路の出力端子に接続された論理回路と、 10
 前記論理回路の出力端子に接続されたフリップフロップ回路と、
 前記フリップフロップ回路の内部又は前記フリップフロップ回路の後段における信号ラインに接続されたセットアップ抵抗と、
 前記セットアップ抵抗の後段に接続された出力増幅回路と、
 前記出力増幅回路に接続された出力素子とを備え、
 前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、
 前記セットアップ抵抗は、前記出力増幅回路の電源電圧ラインと前記信号ライン間に接続されることを特徴とする表示装置の駆動回路。

【請求項 2】

前記フリップフロップ回路は、 20
 前記フロントエッジパルスが入力される第 1 のインバータ回路と、
 前記第 1 のインバータ回路の出力端子に接続された第 1 の NAND 回路と、
 前記バックエッジパルスが入力される第 2 のインバータ回路と、
 前記第 2 のインバータ回路の出力端子に接続された第 2 の NAND 回路とを備え、
 前記セットアップ抵抗は、前記第 1 のインバータ回路と前記第 1 の NAND 回路の接続点と前記出力増幅回路の電源電圧ラインとの間に接続される請求項 1 に記載の表示装置の駆動回路。

【請求項 3】

前記フリップフロップ回路の後段に設けられた第 3 のインバータ回路を備え、 30
 前記セットアップ抵抗は、前記第 3 のインバータ回路の出力端子と前記出力増幅回路の電源電圧ラインとの間に接続される請求項 1 に記載の表示装置の駆動回路。

【請求項 4】

入力端子と、
 前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、
 前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、
 前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第 2 のレベルシフト回路と、
 前記第 1 及び第 2 のレベルシフト回路の出力端子に接続された論理回路と、 40
 前記論理回路の出力端子に接続されたフリップフロップ回路と、
 前記フリップフロップ回路の後段に接続された出力増幅回路と、
 前記出力増幅回路に接続された出力素子とを備え、
 前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、
 前記フリップフロップ回路の出力端子と前記出力増幅回路の電源電圧ラインとの間の容量は、前記フリップフロップ回路の出力端子と前記出力基準電圧を供給する電源電圧ライン間との間の容量より小さいことを特徴とする表示装置の駆動回路。

【請求項 5】

入力端子と、
 前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエ 50

ッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第1のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の内部又は前記フリップフロップ回路の後段における信号ラインに接続されたセットアップ抵抗と、

前記セットアップ抵抗の後段に接続された出力増幅回路と、

10

前記出力増幅回路に接続された出力素子とを備え、

前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、

前記セットアップ抵抗は、ポリシリコン抵抗で構成されていることを特徴とする表示装置の駆動回路。

【請求項6】

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第1のレベルシフト回路と、

20

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備える表示装置の駆動回路において、

前記フリップフロップ回路は、

前記フロントエッジパルスが入力される第1のインバータ回路と、

前記第1のインバータ回路の出力端子に接続された第1のNAND回路と、

前記バックエッジパルスが入力される第2のインバータ回路と、

30

前記第2のインバータ回路の出力端子に接続された第2のNAND回路と、

前記第2のNAND回路の前段又は後段に設けられたリセット遅延回路とを備えることを特徴とする表示装置の駆動回路。

【請求項7】

前記リセット遅延回路は、インバータ回路で構成されている請求項6に記載の表示装置の駆動回路。

【請求項8】

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

40

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第1のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備える表示装置の駆動回路において、

前記出力増幅回路の電源電圧ラインと前記出力基準電圧を供給する電源電圧ラインとの間に接続され、周波数応答性が低く、容量値の大きな容量を備えることを特徴とする表示

50

装置の駆動回路。

【請求項 9】

前記論理回路は、前記第 1 のレベルシフト回路の出力信号と前記第 2 のレベルシフト回路の出力信号が同時にアクティブ状態の時には出力信号を発生しない同時アクティブ防止機能を有する請求項 1 から 8 のいずれかに記載の表示装置の駆動回路。

【請求項 10】

複数の X 電極と、

前記複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電を発生する複数の Y 電極と、

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、

前記 X 電極駆動回路及び前記 Y 電極駆動回路は、請求項 1 から 9 のいずれか 1 つに記載の表示装置の駆動回路で構成されていることを特徴とするプラズマディスプレイ装置。

【請求項 11】

第 1 の入力端子と、

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスを発生する第 1 のエッジパルス発生回路と、

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスを発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力素子を備え、

前記第 1 のセットアップ抵抗は、第 1 の出力増幅回路の第 1 の電源電圧ラインと前記第 1 の信号ライン間に接続され、

前記第 2 のセットアップ抵抗は、第 2 の出力増幅回路の第 2 の電源電圧ラインと前記第 2 の信号ライン間に接続されたことを特徴とする表示装置の駆動回路。

【請求項 12】

第 1 の入力端子と、

10

20

30

40

50

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスを発生する第 1 のエッジパルス発生回路と、

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

10

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスを発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

20

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力素子を備え、

前記第 1 のフリップフロップ回路の出力端子と前記第 1 の出力増幅回路の第 1 の電源電圧ラインとの間の容量は、前記第 1 のフリップフロップ回路の出力端子と前記第 1 の出力基準電圧を供給する電源電圧ライン間との間の容量より小さく、

30

前記第 2 のフリップフロップ回路の出力端子と前記第 2 の出力増幅回路の第 2 の電源電圧ラインとの間の容量は、前記第 2 のフリップフロップ回路の出力端子と前記第 2 の出力基準電圧を供給する電源電圧ライン間との間の容量より小さいことを特徴とする表示装置の駆動回路。

【請求項 13】

第 1 の入力端子と、

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスを発生する第 1 のエッジパルス発生回路と、

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

40

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

50

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスが発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

10

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力素子を備え、

前記第 1 のフリップフロップ回路は、

前記第 1 のフロントエッジパルスが入力される第 1 のインバータ回路と、

前記第 1 のインバータ回路の出力端子に接続された第 1 の N A N D 回路と、

前記第 1 のバックエッジパルスが入力される第 2 のインバータ回路と、

前記第 2 のインバータ回路の出力端子に接続された第 2 の N A N D 回路と、

20

前記第 2 の N A N D 回路の前段又は後段に設けられた第 1 のリセット遅延回路を備え、

前記第 2 のフリップフロップ回路は、

前記第 2 のフロントエッジパルスが入力される第 3 のインバータ回路と、

前記第 3 のインバータ回路の出力端子に接続された第 3 の N A N D 回路と、

前記第 2 のバックエッジパルスが入力される第 4 のインバータ回路と、

前記第 4 のインバータ回路の出力端子に接続された第 4 の N A N D 回路と、

前記第 4 の N A N D 回路の前段又は後段に設けられた第 2 のリセット遅延回路を備えることを特徴とする表示装置の駆動回路。

【請求項 1 4】

請求項 1 1 から 1 3 のいずれか 1 項に記載の駆動回路において、

30

前記第 1 の入力端子と、前記第 1 のエッジパルス発生回路と、前記第 1 のレベルシフト回路と、前記第 2 のレベルシフト回路と、前記第 1 の論理回路と、前記第 1 のフリップフロップ回路と、前記第 1 のセットアップ抵抗と、前記第 1 の出力増幅回路と、前記第 2 の入力端子と、前記第 2 のエッジパルス発生回路と、前記第 3 のレベルシフト回路と、前記第 4 のレベルシフト回路と、前記第 2 の論理回路と、前記第 2 のフリップフロップ回路と、前記第 2 のセットアップ抵抗と、前記第 2 の出力増幅回路とは、同一の半導体集積回路内に形成されたことを特徴とする表示装置の駆動回路。

【請求項 1 5】

複数の X 電極と、

前記複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電が発生する複数の Y 電極と、

40

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、

前記 X 電極駆動回路及び前記 Y 電極駆動回路は、請求項 1 1 から 1 5 のいずれか 1 項に記載の表示装置の駆動回路で構成されたことを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示装置の駆動回路及びプラズマディスプレイ装置に関し、特に維持放電（

50

サステイン放電)を行う駆動信号のタイミングの改良に関する。

【背景技術】

【0002】

平面ディスプレイとしてプラズマディスプレイ装置が実用化されており、高輝度の薄型ディスプレイとして期待されている。図1は、従来の3電極型のAC駆動方式のプラズマディスプレイ装置の全体構成を示す図である。図示のように、プラズマディスプレイ装置は、隣接して配置した複数のX電極(X1, X2, X3, ..., Xn)及びY電極(Y1, Y2, Y3, ..., Yn)と、それに交差する方向に配置した複数のアドレス電極(A1, A2, A3, ..., Am)と、交差部分に配置した蛍光体を有する2枚の基板間に放電ガスを封入したプラズマディスプレイパネル(PDP)1と、アドレス電極にアドレスパルスなどを印加するアドレスドライバ2と、X電極に維持放電(サステイン)パルスなどを印加するX電極駆動回路3と、Y電極に順次走査パルスなどを印加する走査ドライバ4と、Y電極に印加する維持放電(サステイン)パルスなどを走査ドライバ4に供給するY電極駆動回路5と、各部の制御を行う制御回路6とを備え、制御回路6は、更にフレームメモリを含む表示データ制御部7と、走査ドライバ制御部9と共通ドライバ制御部10で構成される駆動制御回路8とを有する。X電極駆動回路3とY電極駆動回路5には、サステインパルスを出力するサステイン回路が設けられており、サステイン回路はサステイン出力素子を有する。プラズマディスプレイ装置については広く知られているので、ここでは装置全体に関するこれ以上の詳しい説明は省略し、本発明に係るX電極駆動回路3とY電極駆動回路5についてのみ更に説明する。プラズマディスプレイ装置のX電極駆動回路、走査ドライバ及びY電極駆動回路については、例えば、特許文献1などに開示されている。また、特許文献2公報は、このようなドライバで使用されるパワートランジスタ駆動回路及びそれを1チップ化したICを開示している。

10

20

【0003】

図2は、特許文献2に開示されたパワートランジスタ駆動回路の概略構成をブロック図で表した図であり、破線で示すように全体がIC11に設けられている。プラズマディスプレイ装置では、図2のパワートランジスタ駆動ICを、サステイン出力素子をドライブするためのプリドライブ回路として使用する。図2に示すパワートランジスタ駆動IC11では、ハイレベル入力信号HINを入力回路21で増幅し、ハイレベルシフト回路22によってハイレベル基準電圧Vrを基準とした電圧に変換し、更に出力増幅回路23を介してハイレベル出力電圧HOとして出力している。また、ローレベル入力信号LINを入力増幅回路24で増幅し、遅延回路25を介して出力増幅回路26へ入力して増幅した後ローレベル出力電圧LOとして出力している。参照番号12と13はハイレベル入力信号HINとローレベル入力信号LINの入力端子を、参照番号16と19はハイレベル出力電圧HOとローレベル出力電圧LOの出力端子を、参照番号15はハイレベル電源電圧Vcの供給端子を、参照番号17はハイレベル基準電圧Vrの供給端子を、参照番号18はローレベル電源電圧Vdの供給端子を、参照番号20はグランド端子を示す。

30

【0004】

図2のパワートランジスタ駆動ICにおいて、遅延回路25は、ハイレベル入力信号HINとハイレベル出力電圧HOの立ち上がり時刻の差分 $t_{dLH}(HO)$ と、ローレベル入力信号LINとローレベル出力電圧LOの立ち上り時刻の差分 $t_{dLH}(LO)$ が等しくなるように調整する働きをしている。更に、遅延回路25は、ハイレベル入力信号HINとハイレベル出力電圧HOの立ち下り時刻の差分 $t_{dHL}(HO)$ と、ローレベル入力信号LINとローレベル出力電圧LOの立ち下り時刻の差分 $t_{dHL}(LO)$ が等しくなるように調整する働きもしている。

40

【0005】

図2のパワートランジスタ駆動ICをプラズマディスプレイ装置のプリドライブ回路として使用する場合、その出力端子16, 19には、パワーMOSFETやIGBT(Insulated Gate Bipolar Transistor)などのサステイン出力素子が接続される。プラズマディスプレイ装置(PDP装置)では、サステイン出力素子をオン・オフすることによってサ

50

ステインパルスを生成し、プラズマディスプレイパネル（PDP）のX電極とY電極に供給している。

【0006】

図2において、参照符号C21はハイレベルシフト回路22の出力端子と出力増幅回路23の電源電圧端子（ライン）間の寄生容量を示し、参照符号C22はハイレベルシフト回路22の出力端子と出力増幅回路23の基準電圧端子（ライン）間の寄生容量を示す。これらの寄生容量は、ハイレベルシフト回路22の出力部及び出力増幅回路23の入力部を構成するのに用いられる素子などにより形成される。また、参照番号R3は、IC11の電源投入時に出力電圧が「低（L）」レベル（すなわち端子16と17間の電圧が約0V）になるようにするためのセットアップ抵抗である。

10

【0007】

従来の回路では、セットアップ抵抗R3は、拡散抵抗で実現されていた。図3は、IC基板上に形成された拡散抵抗の断面図を示す。図3に示すように、P型基板27上にN型拡散層28を設け、その上にP型拡散抵抗層29を設ける。P型拡散抵抗層29上の離れた2点に端子T1とT2を設けて抵抗の端子とする。ここで、N型拡散層28は電源電圧ラインVcに接続されるので、電源電圧端子VcとP型拡散抵抗層29（拡散抵抗）との間に寄生容量Crが生じる。

【0008】

したがって、拡散抵抗を図2のセットアップ抵抗R3として使用すると、図2に示すように、拡散抵抗の寄生容量Crが、ハイレベルシフト回路22の出力部と電源電圧ラインVcの間、すなわち容量C1と並列に接続されることになる。

20

【0009】

図4は、図2に示したハイレベルシフト回路と出力増幅部の間に拡散抵抗で構成されたセットアップ抵抗R3を設けた従来の回路構成の詳細を示す。図4の回路では、エッジパルス発生回路31が入力信号V1のフロントエッジを検出して、このフロントエッジで立ち上がり、所定のパルス幅を有するフロントエッジパルスを発生する。このフロントエッジパルスは、トランジスタQ1へ入力されて、信号VS1に変換された後に論理回路32へ供給される。エッジパルス発生回路31は、更に入力信号V1のバックエッジを検出して、このバックエッジで立ち上がり、所定のパルス幅を有するバックエッジパルスを発生する。このバックエッジパルスは、トランジスタQ2へ入力されて、信号VR1に変換された後に論理回路32へ供給される。トランジスタQ1及びQ2は、それぞれ第1及び第2のレベルシフト回路と呼ばれる。

30

【0010】

論理回路32は、信号VS1のフロントエッジで立ち上がり、信号VR1のフロントエッジで立ち下がるセット信号VS2と、信号VS1のフロントエッジで立ち下がり、信号VR1のフロントエッジで立ち上がるリセット信号VR2とを発生する。なお、論理回路32は、信号VS1とVR1が同時にHレベルになることを防止する同時アクティブ出力防止機能を有している。

【0011】

セット信号VS2とリセット信号VR2は、フリップフロップ回路33に入力される。フリップフロップ回路33は、インバータ回路INV1、INV2、及びNAND回路NAND1、NAND2により構成され、セット信号VS2の立ち上がりエッジで立ち上がり、リセット信号VR2の立ち上がりエッジで立ち下がる信号VBを発生する。

40

【0012】

図4の回路においては、トランジスタQ1及びQ2（第1及び第2のレベルシフト回路）は、エッジパルス発生回路31で発生する所定のパルス幅を有するフロントエッジパルス及びバックエッジパルスが発生している期間のみオンすればよく、レベルシフト動作を行う時に、トランジスタQ1及びQ2がオンする時間を短くできる点が特徴である。これにより、トランジスタQ1、Q2、抵抗R1及びR2によって生じる電力損失を低減できる。

50

【 0 0 1 3 】

なお、特許文献 3 は、図 4 に示した回路に類似した回路を記載している。

【 0 0 1 4 】

また、特許文献 1 は、図 2 に示した回路構成を使用したプラズマディスプレイ装置のサステイン回路を記載しており、図 5 はその例を示す図である。

【 0 0 1 5 】

【特許文献 1】特開 2 0 0 1 - 2 8 2 1 8 1 号公報

【特許文献 2】特開平 8 - 3 3 5 8 6 3 号公報

【特許文献 3】特開平 8 - 6 5 1 4 3 号公報

【特許文献 4】特開 2 0 0 2 - 2 1 5 0 8 7 号公報

10

【特許文献 5】特開平 8 - 6 4 4 2 7 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

図 2 に示した回路を図 5 に示すサステイン回路に使用した場合、回路への電源投入時に出力電圧 H_O が「高 (H)」レベルに固定され、図 5 に示したサステイン回路における出力素子 C_U 又は出力素子 L_U に異常電流が流れて出力素子 C_U 又は出力素子 L_U が破壊される可能性があることが分かった。この原因は、図 2 及び図 4 の回路で、セットアップ抵抗 R_3 として使用している拡散抵抗の寄生容量 C_r 及び容量 C_{21} を介して、電源投入時に突入電流が流れ、この電流によってセットアップ抵抗 R_3 の両端に電圧が発生し、出力電圧 H_O が H レベルに固定されるためであることが分かった。

20

【 0 0 1 7 】

そこで、図 5 の回路では、電源投入時の突入電流による誤動作を防止するため、広帯域の高周波容量素子 C_1 を、電界コンデンサなどの低周波高容量容量素子 C_{11} に並列に接続し、電源電圧 V_c が急峻に立ち上がらないようにして、誤動作を防止していた。

【 0 0 1 8 】

また、プラズマディスプレイパネルへ供給する電圧 V_{cp} が、負方向への急峻に変化する場合でも、出力電圧 H_O が H レベルに固定される可能性がある。そこで、電圧 V_{cp} の負方向への急峻な変化を素子するため、保護ダイオード D_7 を設けていた。

【 0 0 1 9 】

本発明の第 1 の目的は、電源投入時における誤動作の発生をなくし、出力素子の破壊を防止することである。

30

【 0 0 2 0 】

本発明の第 2 の目的は、高周波容量素子 C_1 や保護ダイオード D_7 を使用しなくても誤動作による出力素子の破壊を防止できるようにして、高周波容量素子 C_1 や保護ダイオード D_7 を使用しないことである。

【 課題を解決するための手段 】

【 0 0 2 1 】

上記目的を実現するため、本発明の第 1 の態様の表示装置の駆動回路は、拡散抵抗によるセットアップ抵抗を接続する場合、出力増幅回路の電源電圧ラインと信号ラインの間に接続することを特徴とする。セットアップ抵抗を接続する信号ラインの部分は、その部分が H レベルになることにより、出力電圧が L レベルになることが必要である。

40

【 0 0 2 2 】

第 1 の態様のように接続すると、拡散抵抗による寄生容量は、出力増幅回路の電源電圧ラインと信号ラインの間に、セットアップ抵抗と並列に接続されることになり、電源投入時の突入電流はセットアップ抵抗をバイパスして拡散抵抗による寄生容量を流れることになる。これにより、突入電流によるセットアップ抵抗の両端で発生する電圧を低減でき、むしろ拡散抵抗による寄生容量を流れる電流により確実に H レベルに設定できる。

【 0 0 2 3 】

上記目的を実現するため、本発明の第 2 の態様の表示装置の駆動回路は、フリップフロ

50

ップ回路の出力端子と出力増幅回路の電源電圧ラインとの間の容量が、フリップフロップ回路の出力端子と出力基準電圧を供給する電源電圧ライン間との間の容量より小さいことを特徴とする。

【0024】

第2の態様では、フリップフロップ回路の出力端子と出力増幅回路の電源電圧ラインとの間の容量C1とフリップフロップ回路の出力端子と出力基準電圧を供給する電源電圧ライン間との間の容量C2が直列に接続され、電源投入時に、直列に接続されたC1とC2を介して突入電流が流れる。これによるフリップフロップ回路の出力端子の電圧は、C1とC2の容量値の比で決定されるので、C2の容量値をC1の容量値より大きくしておけば、突入電流によるC2の両端に生じる電圧を小さくすることができ、誤動作が発生しない。なお、容量C1とC2の容量値は、後段のトランジスタやインバータ回路を形成する素子のチップサイズを調整して設定してもよいが、この条件を満たすように容量素子を接続するようにしてもよい。

10

【0025】

上記目的を実現するため、本発明の第3の態様の表示装置の駆動回路は、セットアップ抵抗がポリシリコン抵抗で構成されていることを特徴とする。

【0026】

第3の態様によれば、セットアップ抵抗がポリシリコン抵抗で構成されている。ポリシリコン抵抗は、基準電圧ラインに接続されるN型拡散層の上に形成されるため、電源電圧ラインとの間に寄生容量を有さない。そのため、誤動作発生が低減される。

20

【0027】

上記目的を実現するため、本発明の第4の態様の表示装置の駆動回路は、図4に示したフリップフロップを有する構成において、第2のNAND回路の前段又は後段にリセット遅延回路を接続したことを特徴とする。

【0028】

第4の態様の回路では、第2のNAND回路の出力がリセット遅延回路により第1のNAND回路の出力より遅延するので、第2のNAND回路の出力がフリップフロップ回路の出力を決定する。したがって、フリップフロップ回路の出力は、確実にLレベルになり、出力電圧も確実にLレベルになり、誤動作が防止できる。

【0029】

また、上記の駆動回路をプラズマディスプレイ装置のサステイン回路に使用すれば、第2の目的が実現できる。

30

【発明の効果】

【0030】

本発明によれば、電源投入時の誤動作を防止して出力素子の破壊を防止することができる。

【0031】

また、本発明によれば、出力増幅回路の電源端子に接続していた高周波容量素子や、出力増幅回路の基準電圧端子に接続していた保護ダイオードがなくても正常に動作するので、これらの素子を削除できる。

40

【発明を実施するための最良の形態】

【0032】

以下、図面を参照して本発明の実施例を説明する。

【0033】

図6は、本発明の第1実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図であり、図4に対応する図である。図4と比較して明らかなように、従来例では拡散抵抗であるセットアップ抵抗R3がフリップフロップ33の第1のNAND回路NAND1の出力と基準電圧ラインVrの間に接続されていたのに対して、第1実施例の回路では、拡散抵抗であるセットアップ抵抗R4がフリップフロップ33の第1のインバータ回路INV1と第1のNAND回路NAND1の接続点と電源電圧ラインV

50

c の間に接続されている点が異なる。

【0034】

第1実施例の回路では、INV1の出力信号がHレベルの時に出力電圧HOがLレベルとなる。図6に示した回路では、セットアップ抵抗R4に拡散抵抗を使用した場合の寄生容量Crはセットアップ抵抗R4と並列に接続される。このため、電源投入時に寄生容量Crを介して流れる突入電流は、セットアップ抵抗R4をバイパスして流れる。したがって、電源投入時の突入電流によってセットアップ抵抗R4の両端に発生する電圧を抑えることができるだけでなく、むしろ寄生容量Crを介して流れる投入電流によって、より確実にINV1の出力電圧をHレベルにすることができるため、出力電圧HOを確実にLレベルにすることができる。

10

【0035】

この結果、図6に示した回路を図2のような駆動回路に適用して図5のサステイン回路の出力素子を駆動した場合、従来の回路を使用した場合に生じる可能性のある電源投入時に出力電圧HOがHレベルに固定され、後段の出力素子がオン状態になり、過電流により破壊されるという問題を回避できる。

【0036】

図7は、本発明の第2実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図である。図6の第1実施例の回路と比較して明らかなように、フリップフロップ回路33の出力信号を反転するインバータ回路INV Aを設け、INV3を削除し、N型のトランジスタQ3をP型のトランジスタQ5で置き換え、R4を削除し、INV Aの出力端子と電源電圧ラインVcとの間に拡散抵抗のセットアップ抵抗R5を接続した点が、第1実施例と異なる。トランジスタQ6は、トランジスタQ4と同じN型である。

20

【0037】

第2実施例の回路では、Q5のゲート電圧がHレベルの時、Q5がオフ、Q6がオンとなり、出力電圧HOがLレベルになる。したがって、セットアップ抵抗R5として拡散抵抗を使用した場合、セットアップ抵抗R5と並列に寄生容量Crが接続されることになる。そのため、第1実施例と同様に、電源電圧Vcの投入時の突入電流が流れた場合でも、Q5のゲート電圧はHレベルに、出力電圧HOがLレベルになる。よって、後段に接続される出力素子がオン状態に固定され、過電流により出力素子を破壊することはない。

30

【0038】

図8は、本発明の第3実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図であり、図4に対応する図である。図4と比較して明らかなように、図4に示した回路に類似した構成を有するが、セットアップ抵抗R3としてポリシリコン抵抗を使用している点が異なる。

【0039】

図9は、IC基板上に形成されたポリシリコン抵抗の断面図及び抵抗パターンの上面図を示す。図9の(A)に示すように、P型基板51上にP型拡散層52を設け、その上にポリシリコン層53を設ける。ポリシリコン層53は、図9の(B)に示すようなパターン54を有し、パターン54の両端に端子T1とT2を設けて抵抗の端子とする。パターン54の長さにより抵抗値が決定される。ここで、P型拡散層52は基準電圧ラインVrに接続され、電源電圧ラインVcには接続されないため、ポリシリコン層53は電源電圧ラインVcとの間に寄生容量を生じることはない(あるいは、無視できるほど小さい)。すなわち、ポリシリコン抵抗を使用すれば、拡散抵抗を用いた場合に生じた寄生容量Crをなくすることができる。その結果、従来例で寄生容量Crを介して流れる可能性のあった電源電圧Vcの投入時の突入電流を小さくすることができる。よって、電源電圧Vcの投入時にセットアップ抵抗R3の両端に発生する電圧を小さくできる。したがって、出力電圧HOがHレベルに固定され、後段の出力素子がオン状態になり、過電流により出力素子が破壊される問題を解決できる。

40

【0040】

50

なお、第3実施例において、寄生容量C22の容量値が寄生容量C21の容量値に対して大きければ、抵抗R3を削除しても、出力電圧HOがHレベルに固定され、後段の出力素子がオン状態になり、過電流により破壊する問題を生じないようにできる。以下、この条件について説明する。

【0041】

図8において、セットアップ抵抗R3を削除した状態では、寄生容量C21がフリップフロップ33の第1のNAND回路の出力端子と電源電圧ラインVcの間に接続され、寄生容量C22がフリップフロップ33の第1のNAND回路の出力端子と基準電圧ラインVrの間に接続されている。ここで、寄生容量C21及びC22の部分にそれぞれ容量素子を接続して、所望の容量値を実現するとする。この場合の容量値は、寄生容量と容量素子の容量機の合成容量値である。ここでは、合成容量を容量C21及びC22として以下の説明を行なう。電源電圧Vcの投入時には、容量C21を介して、突入電流が容量C22に流れる。この時、電圧VBは、容量C21の容量値と容量C22の容量値の分割比で決定される。したがって、容量C21の容量値に対して容量C22の容量値を大きくしておけば、突入電流による容量C22の両端にかかる電圧を小さくすることができる。

10

【0042】

なお、容量素子を使用せずに寄生容量だけで上記の条件を実現してもよい。その場合、容量C21及びC22の容量値は、後段のトランジスタQ3やインバータINV3に使用する素子のチップサイズを調整することによって設定できる。

【0043】

以上のように、図8の構成で、容量C21、C22の値を適切に設定することにより、セットアップ抵抗R3がない場合でも、セットアップ時における出力電圧HOの値をLレベルに設定でき、電源電圧Vcの投入時における誤動作を防止することができる。

20

【0044】

図10は、本発明の第4実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図である。図7の第2実施例の回路と比較して明らかなように、インバータ回路INVBとINVCからなるリセット遅延回路35を更に設けた点が、第2実施例と異なる。

【0045】

第4実施例の回路では、論理回路32から出力されるリセット信号VR2を遅延させて信号VR3を生成し、信号VR3をフリップフロップ回路33に入力している。この結果、第2のNAND回路NAND2の出力信号(第1のNAND回路NAND1の入力信号)は、論理回路32から出力されたセット信号VS2からINV1を介して第1のNAND回路NAND1へ入力される信号に比べて、リセット遅延回路35を通過した分だけ遅延する。したがって、フリップフロップ回路33の出力信号VBは、セット信号VS2によってセットされる時刻に比べて、リセット信号VR2によってリセットされる時刻の方が遅くなる。そのため、電源電圧Vcの投入時などにセット信号VS2とリセット信号VR2が同時に出力された場合でも、後から入力されるリセット信号VR2が、フリップフロップ回路33の出力信号VBの電圧レベルを決定するため、信号VBはLレベルになり、出力電圧HOもLレベルになる。

30

40

【0046】

また、同様に、出力基準電圧Vrに負方向のノイズパルスが重畳されるなどにより、セット信号VS2とリセット信号VR2が同時に出力された場合でも、後から入力されるリセット信号VR2の方が、後で入力されるため電圧VBのレベル設定に有効となる。したがって、出力基準電圧Vrに負方向ノイズパルスが重畳されるなどにより、セット信号VS2とリセット信号VR2が同時に出力された場合でも、電圧VBはLレベルになり、出力電圧HOもLレベルになる。

【0047】

なお、リセット遅延回路35を設ける場合には、セットアップ抵抗R5を削除しても、電源電圧Vcの投入時の誤動作を防止することが可能である。しかし、リセット遅延回路

50

35とセットアップ抵抗R5の両方を設けることにより、より確実に電源電圧Vcの投入時の誤動作を防止することができる。

【0048】

上記の例では、リセット遅延回路35をインバータ回路INV BとINV Cを直列に接続した例を説明したが、接続するインバータ回路の個数は適宜設定することが望ましい。また、リセット遅延回路35をインバータ回路以外で実現することも可能であり、例えば、図11に示すような抵抗RR3と容量CR3を接続した時定数回路で実現することも可能である。

【0049】

図12は、本発明の第5実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図である。図7の第2実施例の回路と比較して明らかなように、容量CRRからなるリセット遅延回路35を更に設けた点が、第2実施例と異なる。

【0050】

第5実施例の回路では、リセット遅延回路35の容量CRRにより、第2のNAND回路NAND2の出力信号を遅延させている。この結果、NAND2の出力信号(NAND1の入力信号)は、論理回路32から出力されたセット信号VS2からINV1を介してNAND1へ入力される信号に比べて、リセット遅延回路35による分だけ遅延する。したがって、フリップフロップ回路33の出力信号VBは、セット信号VS2によってセットされる時刻に比べて、リセット信号VR2によってリセットされる時刻の方が遅くなる。そのため、電源電圧Vcの投入時などにセット信号VS2とリセット信号VR2が同時に出力された場合でも、後から入力されるリセット信号VR2が、フリップフロップ回路33の出力信号VBの電圧レベルを決定する。この結果、電源電圧Vcの投入時などにセット信号VS2とリセット信号VR2が同時に出力された場合でも、信号VBはLレベルになり、出力電圧HOもLレベルになる。

【0051】

また、同様に、出力基準電圧Vrに負方向ノイズパルスが重畳されるなどにより、セット信号VS2とリセット信号VR2が同時に出力された場合でも、電圧VBはLレベルになり、出力電圧HOもLレベルになる。

【0052】

なお、第4実施例と同様に、リセット遅延回路35を設ける場合には、セットアップ抵抗R5を削除しても、電源電圧Vcの投入時の誤動作を防止することが可能である。しかし、リセット遅延回路35とセットアップ抵抗R5の両方を設けることにより、より確実に電源電圧Vcの投入時の誤動作を防止することができる。

【0053】

図13は、本発明の第6実施例の表示装置の駆動回路におけるレベルシフト回路と出力増幅回路の構成を示す図である。図12の第5実施例の回路と比較して明らかなように、リセット遅延回路35としてインバータ回路INV1及びINV2を使用している点が、第5実施例と異なる。

【0054】

第6実施例のリセット遅延回路35は、インバータ回路INV1及びINV2の入力容量を利用している。この結果、第5実施例と同様に、NAND2の出力信号が遅延する。ここでは、2個のインバータ回路INV1及びINV2を接続しているが、容量が十分であれば、INV2を削除することも可能である。また、インバータ回路の個数を更に増加させることも可能である。リセット遅延回路35に設けるインバータ回路の個数を調整することにより、リセット遅延回路35による遅延時間を調整できる。第6実施例の回路の動作は第5実施例と同じであるので、説明は省略する。

【0055】

図14は、図7に示した第2実施例のハイレベルシフト回路と出力増幅回路の構成を、図1のプラズマディスプレイ装置のX電極駆動回路3及びY電極駆動回路5に適用した場合の構成を示す図であり、図4に対応する図である。パワートランジスタ駆動用IC11

10

20

30

40

50

A及び11Bは、図2の構成に図7の第2実施例の構成を適用した構成を有する。言い換えれば、セットアップ抵抗R3を除き、ハイレベルシフト回路22の出力端子に接続されるインバータ回路INVAを設け、INVAの出力端子と電源電圧ラインVcとの間に抵抗R5を接続し、N型トランジスタQ3をP型トランジスタQ5で置き換えている。このようなパワートランジスタ駆動用IC11A及び11Bを使用して、出力素子CU、CD、LU及びLDを駆動する。上記のように、第2実施例の構成では、電源投入時の突入電流により出力信号HOがHレベルに固定されることがなくなるので、図14の回路では、出力増幅回路23へ供給する電源電圧投入時に生じる可能性のあった(出力素子CU、LUへ供給するドライブパルスがHレベルに固定される)誤動作、出力増幅回路23の基準電圧(出力素子CU、LUのソース電圧)に負方向のノイズが重畳された場合に生じる可能性のある同様の誤動作による出力素子CU、LUの破壊という問題を回避できる。 10

【0056】

更に、図14の回路では、図5の従来例で設けられていた保護ダイオードD7を、上記の理由で削除できる。また、図14では、広帯域な高周波容量素子C1が示されているが、これを削除することも可能である。ただし、図14の回路でも、保護ダイオードD7及び広帯域な高周波容量素子C1を設けた方がより動作が安定する。

【0057】

上記の適用例では、第2実施例の構成をプラズマディスプレイ装置のX電極及びY電極駆動回路(サステイン回路)に適用した例であるが、他の第1、第3から第6実施例の構成を、第2実施例と同様にサステイン回路に適用することが可能である。更に、上記の適用例では、パワートランジスタ駆動用ICの内部に第2実施例を適用した場合を説明したが、ICの形でない駆動回路に適用しても同様の効果が得られる。 20

【0058】

図15は、第2実施例の構成を適用したパワートランジスタ駆動用ICの別の構成例を示す図である。このICは、2チャンネル入力及び2チャンネル出力のICであり、両方のチャンネルが、ハイレベルシフト回路42、45を有する点が、図2及び図14に示したICと異なる。各チャンネルは、図7に示した第2実施例の構成を有する。2チャンネルが同一の回路構成を有することにより、図2及び図14に示したICに比べて、入出力遅延時間(入力信号IN1、IN2のフロントエッジと出力信号OUT1、OUT2のフロントエッジのそれぞれの差)の2チャンネル間のバラツキを一層小さくすることができる。 30

【0059】

図16は、図15のパワートランジスタ駆動用ICを、プラズマディスプレイ装置のX電極駆動回路3及びY電極駆動回路5に適用した場合の構成を示す図であり、図14に対応する。パワートランジスタ駆動用IC31A及び31Bは、図15のICである。この回路では、図14の回路の効果に加えて、出力素子CUとCDへ供給するドライブパルスの遅延時間の差及び出力素子LUとLDへ供給するドライブパルスの遅延時間の差を小さくできる。この結果、スイッチング動作のタイミングをより高精度に設定することができ、高速動作させてサステインパルス数を増加させ、表示輝度を向上できる。

【0060】

なお、第1、第3から第6実施例で説明した構成を図15のIC及び図16のサステイン回路に適用することも、同様に可能である。 40

【0061】

(付記1)

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第1のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第2のレベ 50

ルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の内部又は前記フリップフロップ回路の後段における信号ラインに接続されたセットアップ抵抗と、

前記セットアップ抵抗の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備え、

前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、

前記セットアップ抵抗は、前記出力増幅回路の電源電圧ラインと前記信号ライン間に接続されることを特徴とする表示装置の駆動回路。(1)

10

(付記 2)

前記フリップフロップ回路は、

前記フロントエッジパルスが入力される第 1 のインバータ回路と、

前記第 1 のインバータ回路の出力端子に接続された第 1 の NAND 回路と、

前記バックエッジパルスが入力される第 2 のインバータ回路と、

前記第 2 のインバータ回路の出力端子に接続された第 2 の NAND 回路とを備え、

前記セットアップ抵抗は、前記第 1 のインバータ回路と前記第 1 の NAND 回路の接続点と前記出力増幅回路の電源電圧ラインとの間に接続される付記 1 に記載の表示装置の駆動回路。(2)

(付記 3)

20

前記フリップフロップ回路の後段に設けられた第 3 のインバータ回路を備え、

前記セットアップ抵抗は、前記第 3 のインバータ回路の出力端子と前記出力増幅回路の電源電圧ラインとの間に接続される付記 1 に記載の表示装置の駆動回路。(3)

(付記 4)

前記第 1 のインバータ回路の出力信号が「高(H)」レベルの時、前記出力増幅回路から出力する出力パルスが「低(L)」レベルである付記 2 又は 3 に記載の表示装置の駆動回路。

【0062】

(付記 5)

入力端子と、

30

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備え、

40

前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、

前記フリップフロップ回路の出力端子と前記出力増幅回路の電源電圧ラインとの間の容量は、前記フリップフロップ回路の出力端子と前記出力基準電圧を供給する電源電圧ライン間との間の容量より小さいことを特徴とする表示装置の駆動回路。(4)

(付記 6)

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

50

前記バックエッジパルスを実出力基準電圧を基準としたパルスに変換する第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の内部又は前記フリップフロップ回路の後段における信号ラインに接続されたセットアップ抵抗と、

前記セットアップ抵抗の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備え、

前記出力素子により表示装置の容量性負荷を駆動する表示装置の駆動回路において、

前記セットアップ抵抗は、ポリシリコン抵抗で構成されていることを特徴とする表示装置の駆動回路。(5)

(付記7)

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスを発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第1のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第2のレベルシフト回路と、

前記第1及び第2のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備える表示装置の駆動回路において、

前記フリップフロップ回路は、

前記フロントエッジパルスが入力される第1のインバータ回路と、

前記第1のインバータ回路の出力端子に接続された第1のNAND回路と、

前記バックエッジパルスが入力される第2のインバータ回路と、

前記第2のインバータ回路の出力端子に接続された第2のNAND回路と、

前記第2のNAND回路の前段又は後段に設けられたリセット遅延回路とを備えることを特徴とする表示装置の駆動回路。(6)

(付記8)

前記リセット遅延回路は、インバータ回路で構成されている付記7に記載の表示装置の駆動回路。(7)

(付記9)

前記リセット遅延回路は、直列接続した2つのインバータ回路で構成される付記8に記載の表示装置の駆動回路。

【0063】

(付記10)

前記リセット遅延回路は、前記第2のNAND回路の出力端子に接続されたインバータ回路の入力容量で構成される付記8に記載の表示装置の駆動回路。

【0064】

(付記11)

前記リセット遅延回路は、前記第2のNAND回路の出力端子に接続された複数のインバータ回路の入力容量で構成される付記10に記載の表示装置の駆動回路。

【0065】

(付記12)

前記リセット遅延回路は、抵抗と容量で構成された時定数回路である付記7に記載の表示装置の駆動回路。

【0066】

(付記13)

前記リセット遅延回路は、前記第 2 の N A N D 回路の出力端子に接続された容量で構成される付記 7 に記載の表示装置の駆動回路。

【 0 0 6 7 】

(付記 1 4)

入力端子と、

前記入力端子から入力された入力信号のフロントエッジ及びバックエッジに対応したエッジパルスが発生するエッジパルス発生回路と、

前記フロントエッジパルスを出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記バックエッジパルスを前記出力基準電圧を基準としたパルスに変換する第 2 のレベルシフト回路と、 10

前記第 1 及び第 2 のレベルシフト回路の出力端子に接続された論理回路と、

前記論理回路の出力端子に接続されたフリップフロップ回路と、

前記フリップフロップ回路の後段に接続された出力増幅回路と、

前記出力増幅回路に接続された出力素子とを備える表示装置の駆動回路において、

前記出力増幅回路の電源電圧ラインと前記出力基準電圧を供給する電源電圧ラインとの間に接続され、周波数応答性が低く、容量値の大きな容量を備えることを特徴とする表示装置の駆動回路。(8)

(付記 1 5)

前記論理回路は、前記第 1 のレベルシフト回路の出力信号と前記第 2 のレベルシフト回路の出力信号が同時にアクティブ状態の時には出力信号が発生しない同時アクティブ防止機能を有する付記 1 から 1 4 のいずれかに記載の表示装置の駆動回路。(9) 20

(付記 1 6)

前記第 1 のレベルシフト回路の出力信号と前記第 2 のレベルシフト回路の出力信号が同時に「低 (L) 」レベルである時には、前記論理回路から前記第 1 のインバータ回路に出力される信号が「低 (L) 」レベルになり、前記論理回路から前記第 2 のインバータ回路に出力される信号が「高 (H) 」レベルになる付記 1 5 に記載の表示装置の駆動回路。

(付記 1 7)

複数の X 電極と、

前記複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電が発生する複数の Y 電極と、 30

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、

前記 X 電極駆動回路及び前記 Y 電極駆動回路は、付記 1 から 1 6 のいずれか 1 つに記載の表示装置の駆動回路で構成されていることを特徴とするプラズマディスプレイ装置。(1 0)

(付記 1 8)

第 1 の入力端子と、

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスが発生する第 1 のエッジパルス発生回路と、 40

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、 50

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスを発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力素子を備え、

前記第 1 のセットアップ抵抗は、第 1 の出力増幅回路の第 1 の電源電圧ラインと前記第 1 の信号ライン間に接続され、

前記第 2 のセットアップ抵抗は、第 2 の出力増幅回路の第 2 の電源電圧ラインと前記第 2 の信号ライン間に接続されたことを特徴とする表示装置の駆動回路。

(付記 19)

第 1 の入力端子と、

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスを発生する第 1 のエッジパルス発生回路と、

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスを発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力

10

20

30

40

50

素子を備え、

前記第 1 のフリップフロップ回路の出力端子と前記第 1 の出力増幅回路の第 1 の電源電圧ラインとの間の容量は、前記第 1 のフリップフロップ回路の出力端子と前記第 1 の出力基準電圧を供給する電源電圧ライン間との間の容量より小さく、

前記第 2 のフリップフロップ回路の出力端子と前記第 2 の出力増幅回路の第 2 の電源電圧ラインとの間の容量は、前記第 2 のフリップフロップ回路の出力端子と前記第 2 の出力基準電圧を供給する電源電圧ライン間との間の容量より小さいことを特徴とする表示装置の駆動回路。

(付記 2 0)

第 1 の入力端子と、

10

第 1 の入力端子から入力された第 1 の入力信号の第 1 のフロントエッジ及び第 1 のバックエッジに対応した第 1 のエッジパルスを発生する第 1 のエッジパルス発生回路と、

前記第 1 のフロントエッジパルスを第 1 の出力基準電圧を基準としたパルスに変換する第 1 のレベルシフト回路と、

前記第 1 のバックエッジパルスを第 1 の出力基準電圧を基準としたパルスへ変換する第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路に出力端子に接続された第 1 の論理回路と、

前記第 1 の論理回路の出力端子に接続された第 1 のフリップフロップ回路と、

前記第 1 のフリップフロップ回路の内部又は前記第 1 のフリップフロップ回路の後段における第 1 の信号ラインに接続された第 1 のセットアップ抵抗と、

20

前記第 1 のセットアップ抵抗の後段に接続された第 1 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へハイレベル電圧を供給する第 1 の出力素子を備え、

かつ、

第 2 の入力端子と、

第 2 の入力端子から入力された第 2 の入力信号の第 2 のフロントエッジ及び第 2 のバックエッジに対応した第 2 のエッジパルスを発生する第 2 のエッジパルス発生回路と、

前記第 2 のフロントエッジパルスを第 2 の出力基準電圧を基準としたパルスに変換する第 3 のレベルシフト回路と、

前記第 2 のバックエッジパルスを第 2 の出力基準電圧を基準としたパルスへ変換する第 4 のレベルシフト回路と、

30

前記第 3 及び第 4 のレベルシフト回路に出力端子に接続された第 2 の論理回路と、

前記第 2 の論理回路の出力端子に接続された第 2 のフリップフロップ回路と、

前記第 2 のフリップフロップ回路の内部又は前記第 2 のフリップフロップ回路の後段における第 2 の信号ラインに接続された第 2 のセットアップ抵抗と、

前記第 2 のセットアップ抵抗の後段に接続された第 2 の出力増幅回路と、

前記第 1 の出力増幅回路に接続され容量性負荷へローレベル電圧を供給する第 2 の出力素子を備え、

前記第 1 のフリップフロップ回路は、

前記第 1 のフロントエッジパルスが入力される第 1 のインバータ回路と、

40

前記第 1 のインバータ回路の出力端子に接続された第 1 の NAND 回路と、

前記第 1 のバックエッジパルスが入力される第 2 のインバータ回路と、

前記第 2 のインバータ回路の出力端子に接続された第 2 の NAND 回路と、

前記第 2 の NAND 回路の前段又は後段に設けられた第 1 のリセット遅延回路を備え、

前記第 2 のフリップフロップ回路は、

前記第 2 のフロントエッジパルスが入力される第 3 のインバータ回路と、

前記第 3 のインバータ回路の出力端子に接続された第 3 の NAND 回路と、

前記第 2 のバックエッジパルスが入力される第 4 のインバータ回路と、

前記第 4 のインバータ回路の出力端子に接続された第 4 の NAND 回路と、

前記第 4 の NAND 回路の前段又は後段に設けられた第 2 のリセット遅延回路を備える

50

ことを特徴とする表示装置の駆動回路。

(付記 2 1)

付記 1 8 から 2 0 のいずれか 1 項に記載の駆動回路において、

前記第 1 の入力端子と、前記第 1 のエッジパルス発生回路と、前記第 1 のレベルシフト回路と、前記第 2 のレベルシフト回路と、前記第 1 の論理回路と、前記第 1 のフリップフロップ回路と、前記第 1 のセットアップ抵抗と、前記第 1 の出力増幅回路と、前記第 2 の入力端子と、前記第 2 のエッジパルス発生回路と、前記第 3 のレベルシフト回路と、前記第 4 のレベルシフト回路と、前記第 2 の論理回路と、前記第 2 のフリップフロップ回路と、前記第 2 のセットアップ抵抗と、前記第 2 の出力増幅回路とは、同一の半導体集積回路内に形成されたことを特徴とする表示装置の駆動回路。

10

(付記 2 2)

複数の X 電極と、

前記複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電を発生する複数の Y 電極と、

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、

前記 X 電極駆動回路及び前記 Y 電極駆動回路は、付記 1 8 から 2 1 のいずれか 1 つに記載の表示装置の駆動回路で構成されたことを特徴とするプラズマディスプレイ装置。

【産業上の利用可能性】

20

【0068】

以上説明したように、本発明の表示装置の駆動回路をプラズマディスプレイ装置に適用することにより、電源投入時に誤動作が発生しない信頼性の高いプラズマディスプレイ装置を提供することができる。

【図面の簡単な説明】

【0069】

【図 1】プラズマディスプレイ装置の全体構成を示す図である。

【図 2】従来のパワートランジスタ駆動用 IC を示す図である。

【図 3】従来例で使用される拡散抵抗の断面構成を示す図である。

【図 4】従来例のハイレベルシフト回路と出力増幅回路の詳細な構成を示す図である。

30

【図 5】従来例のサステイン回路の構成を示す図である。

【図 6】本発明の第 1 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

【図 7】本発明の第 2 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

【図 8】本発明の第 3 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

【図 9】第 3 実施例で使用される拡散抵抗の断面構成を示す図である。

【図 10】本発明の第 4 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

40

【図 11】第 4 実施例のリセット遅延回路の別の構成例を示す図である。

【図 12】本発明の第 5 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

【図 13】本発明の第 6 実施例のハイレベルシフト回路と出力増幅回路の構成を示す図である。

【図 14】本発明の第 2 実施例のハイレベルシフト回路と出力増幅回路の構成を適用したサステイン回路の構成示す図である。

【図 15】本発明の第 2 実施例のハイレベルシフト回路と出力増幅回路の構成を適用したパワートランジスタ駆動用 IC の別の例を示す図である。

【図 16】図 15 の IC を使用したサステイン回路の構成示す図である。

50

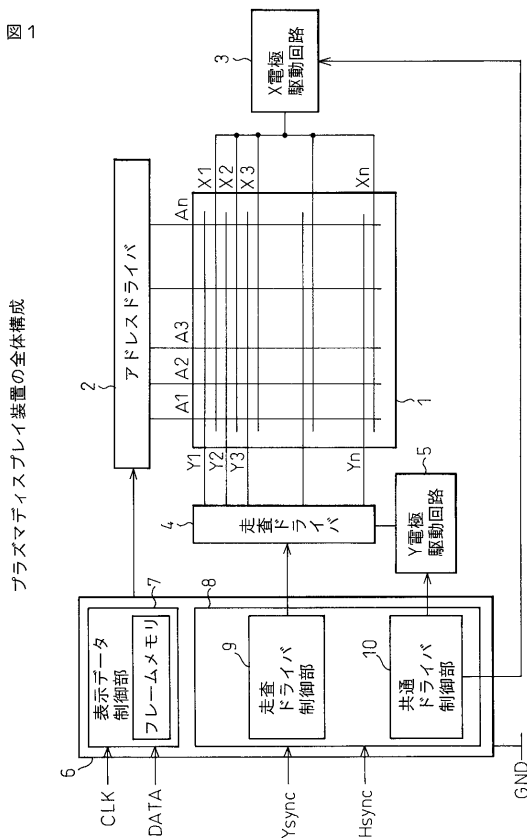
【符号の説明】

【0070】

- 1 プラズマディスプレイパネル
- 2 アドレスドライバ
- 3 X電極駆動回路
- 4 走査ドライバ
- 5 Y電極駆動回路
- 8 駆動制御回路
- 11、11A、11B、31、31A、31B パワートランジスタ駆動用IC
- 21、24、41、44 入力増幅回路
- 22、25、42、45 ハイレベルシフト回路
- 23、26、43、46 出力増幅回路
- 31 エッジパルス発生回路
- 32 論理回路
- 33 フリップフロップ
- 35 出力増幅回路
- R3、R4、R5 セットアップ抵抗

【図1】

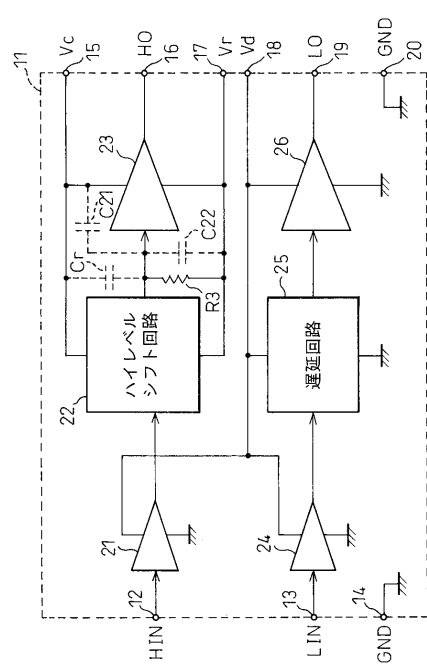
図1



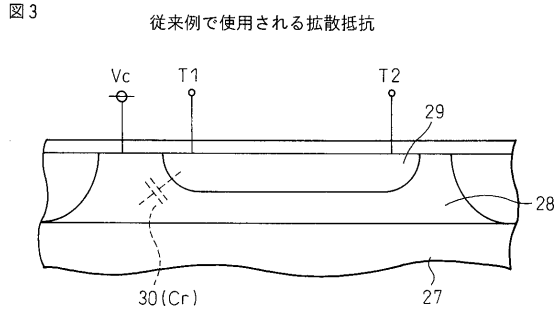
【図2】

図2

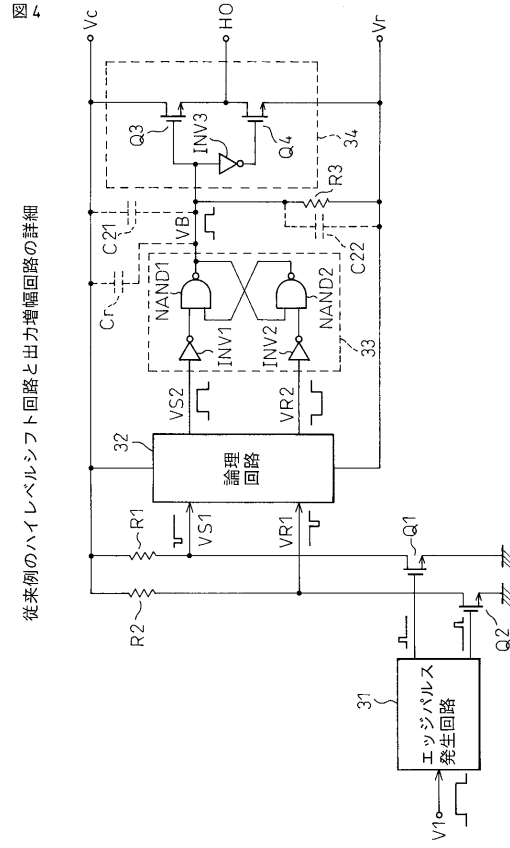
パワートランジスタ駆動用ICの従来例



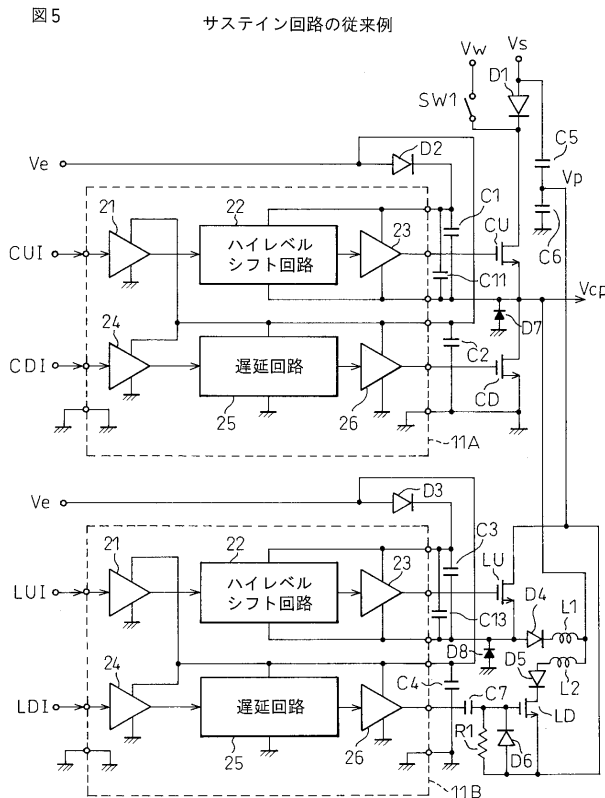
【 図 3 】



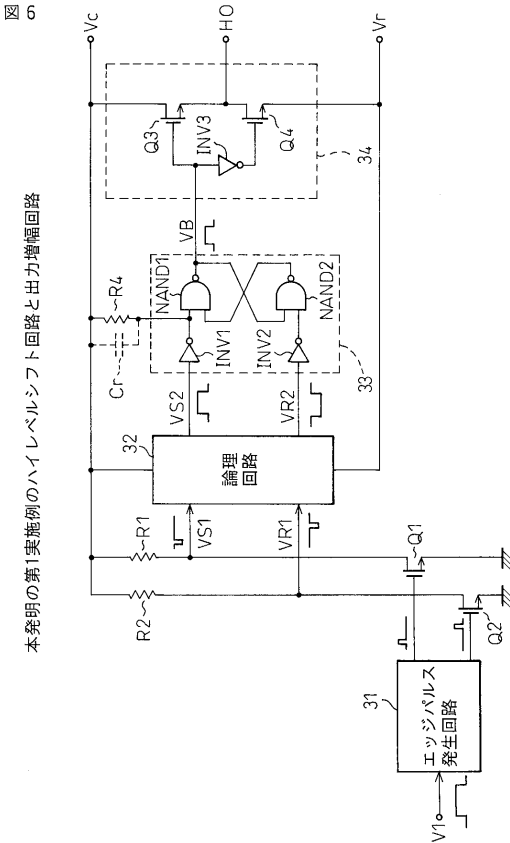
【 図 4 】



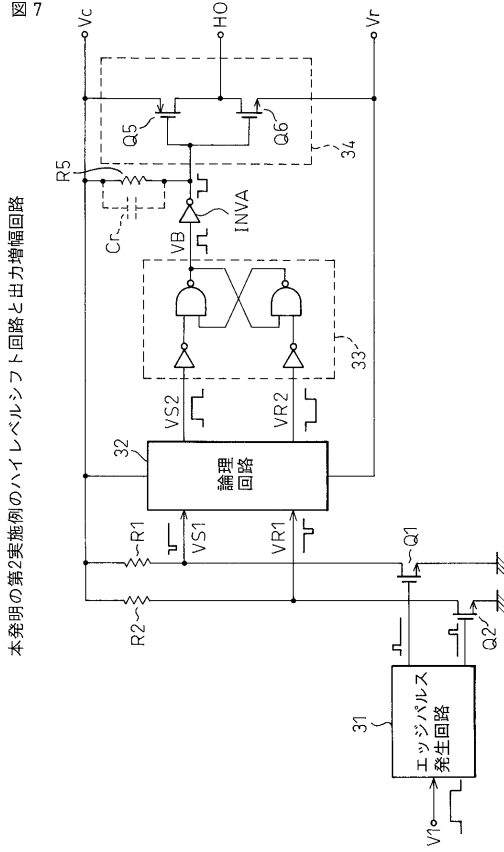
【 図 5 】



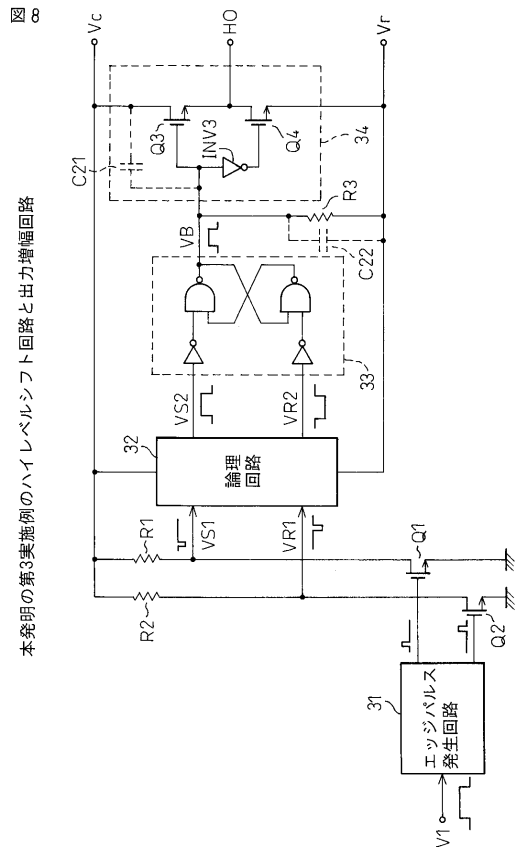
【 図 6 】



【 図 7 】

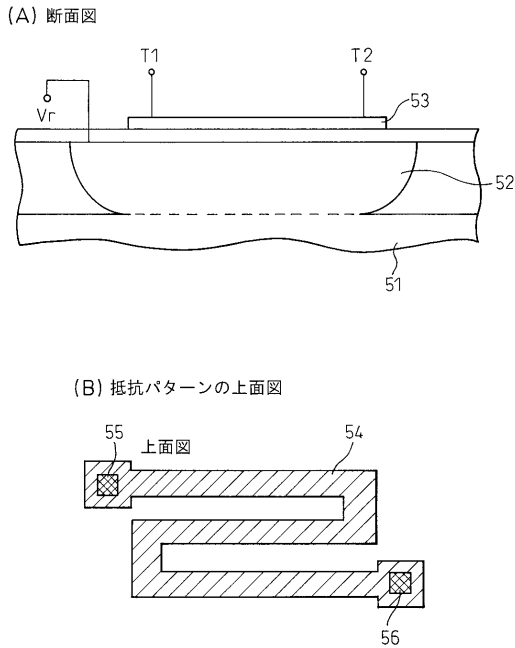


【 図 8 】



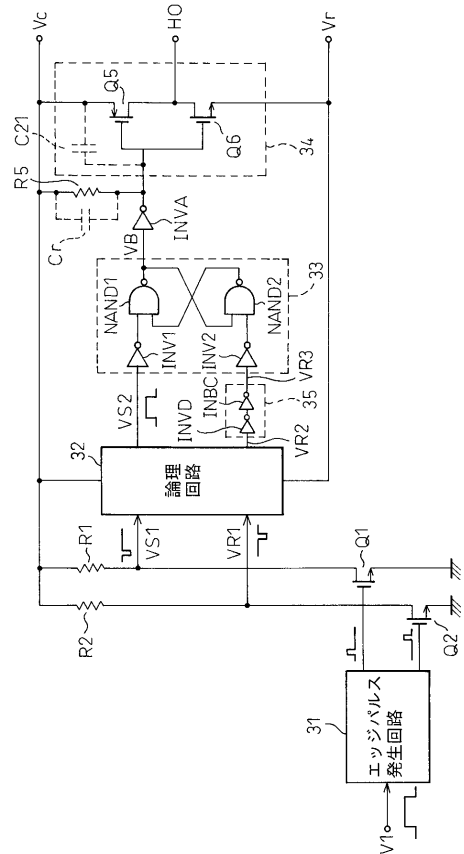
【 図 9 】

図 9 本発明の第3実施例で使用するポリシリコン抵抗



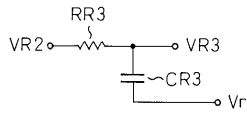
【 図 10 】

図 10 本発明の第4実施例のハイレベルシフト回路と出力増幅回路



【 図 1 1 】

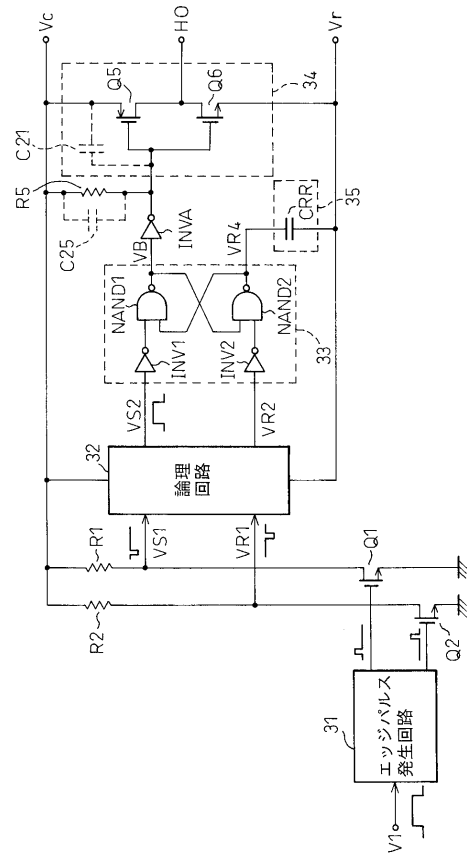
図11 リセット遅延回路の別の構成例



【 図 1 2 】

図12

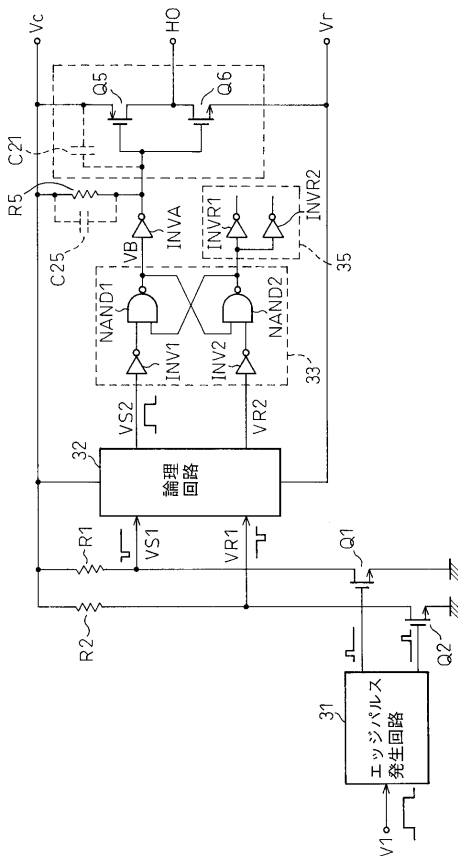
本発明の第5実施例のハイレベルシフト回路と出力増幅回路



【 図 1 3 】

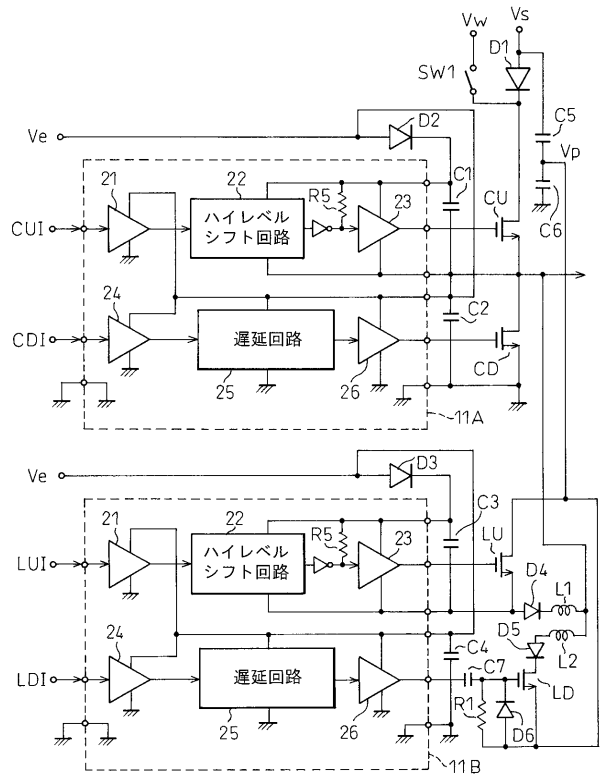
図13

本発明の第6実施例のハイレベルシフト回路と出力増幅回路



【 図 1 4 】

図14 本発明の構成を適用したサステイン回路



 フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 3 K 17/00	M
	H 0 3 K 17/08	C
	H 0 3 K 17/687	F

(72)発明者 黄木 英明

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立アドバンスデジタル内

(72)発明者 岡田 義憲

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内

F ターム(参考) 5C080 AA05 BB05 DD09 DD19 HH04 HH05 JJ02 JJ03 JJ06
 5C580 AA02 BA03 BB01 BB04 BB05 BB11 BB28 FA01 FA03
 5J055 AX21 AX34 BX09 BX16 CX29 DX12 DX56 DX72 DX73 DX83
 EX02 EY01 EY05 EY10 EY12 EY21 EZ07 EZ20 EZ22 EZ25
 EZ29 EZ32 EZ50 FX18 FX32 GX01 GX02 GX07 GX08