(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월24일
(11) 등록번호 10-2219667
(24) 등록일자 2021년02월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0123382
(22) 출원일자 2014년09월17일
심사청구일자 2019년08월08일
(65) 공개번호 10-2016-0033289
(43) 공개일자 2016년03월28일
(56) 선행기술조사문헌
KR101340999 B1*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유승진
경기도 고양시 일산서구 홀트로 11 303동 701호 (탄현동,탄현마을3단지아파트)
상우규
경기도 파주시 가온로 245 1011동 903호 (와동동,가람마을10단지동양엔파트월드메르디앙아파트)
유욱상
대전광역시 서구 월평새뜸로8번길 15-12 (월평동)
(74) 대리인
특허법인천문

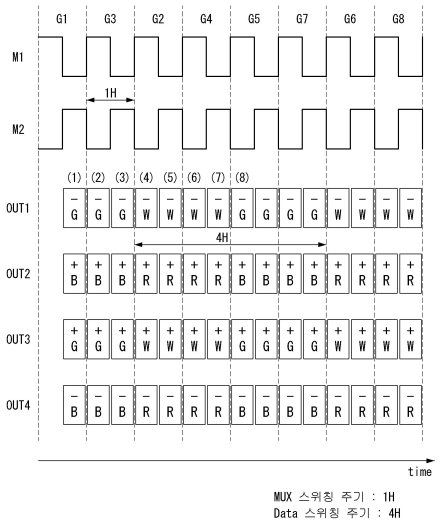
전체 청구항 수 : 총 8 항 심사관 : 이옥우

(54) 발명의 명칭 **표시장치**

(57) 요 약

본 발명은 표시장치에 관한 것으로, 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한 픽셀 어레이, 출력 채널들을 통해 데이터 전압을 출력하는 데이터 구동부, 제1 및 제2 제어 신호에 응답하여 데이터 구동부로부터 출력되는 데이터 전압을 상기 데이터 라인들로 분배하는 멀티플렉서, 데이터 전압에 동기되는 게이트 펄스를 비순차 방식으로 출력하는 게이트 구동부를 포함한다. 제1 및 제2 제어신호는 서로 역위상이고 스위칭 주기가 1 수평 기간 또는 2 수평 기간이다. 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기가 N(N은 4~8 사이의 양의 정수) 수평 기간이다.

대 표 도 - 도3a



(56) 선행기술조사문헌
US20120293536 A1*
CN103728746 A
US06614498 B1
US20040104872 A1
US20040104873 A1
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되고 제1 컬러의 서브 픽셀 및 제2 컬러의 서브 픽셀을 적어도 포함하는 복수의 서브 픽셀들을 포함한 픽셀 어레이;

출력 채널들을 통해 데이터 전압을 출력하는 데이터 구동부;

제1 및 제2 제어 신호에 응답하여 상기 데이터 구동부로부터 출력되는 데이터 전압을 상기 데이터 라인들로 분배하는 멀티플렉서;

상기 데이터 전압에 동기되는 게이트 펄스를 비순차 방식으로 출력하는 게이트 구동부를 포함하고,

상기 제1 및 제2 제어신호는 서로 역위상이고 스위칭 주기가 1 수평 기간 또는 2 수평 기간이며,

상기 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기가 N(N은 4~8 사이의 양의 정수) 수평 기간이고,

상기 데이터 구동부는 상기 출력 채널들 중 하나를 통해 제1 컬러의 데이터 전압이 N개의 상기 제1 컬러의 서브 픽셀들에 연속적으로 공급되는 표시장치.

청구항 2

제 1 항에 있어서,

상기 멀티플렉서는,

상기 데이터 구동부의 제1 출력 채널과 제1 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 제1 데이터 라인으로 공급하는 제1 스위치;

상기 제1 출력 채널과 제3 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 상기 제3 데이터 라인으로 공급하는 제2 스위치;

상기 데이터 구동부의 제2 출력 채널과 제2 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제2 데이터 라인으로 공급하는 제3 스위치; 및

상기 제2 출력 채널과 제4 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제4 데이터 라인으로 공급하는 제4 스위치를 포함하고,

상기 제1 및 제2 제어신호의 스위칭 주기는 1 수평 기간이고,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제2 게이트 라인, 및 제4 게이트 라인 순서로 상기 게이트 라인들에 공급되고,

2 수평 기간 동안 상기 제1 컬러의 데이터 전압이 4 개의 상기 제1 컬러의 서브 픽셀들에 연속으로 공급된 후에 그 다음 2 수평 기간 동안 상기 제2 컬러의 데이터 전압이 다른 4 개의 상기 제2 컬러의 서브 픽셀들에 연속으로 공급되는 표시장치.

청구항 3

제 1 항에 있어서,

상기 멀티플렉서는,

상기 데이터 구동부의 제1 출력 채널과 제1 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 제1 데이터 라인으로 공급하는 제1 스위치;

상기 제1 출력 채널과 제3 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제1 출력 채널로부

터의 데이터 전압을 상기 제3 데이터 라인으로 공급하는 제2 스위치;

상기 데이터 구동부의 제2 출력 채널과 제2 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제2 데이터 라인으로 공급하는 제3 스위치; 및

상기 제2 출력 채널과 제4 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제4 데이터 라인으로 공급하는 제4 스위치를 포함하고,

상기 제1 및 제2 제어신호의 스위칭 주기는 2 수평 기간이고,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제2 게이트 라인, 및 제4 게이트 라인 순서로 상기 게이트 라인들에 공급되고,

2 수평 기간 동안 상기 제1 컬러의 데이터 전압이 4 개의 상기 제1 컬러의 서브 픽셀들에 연속으로 공급된 후에 그 다음 2 수평 기간 동안 상기 제2 컬러의 데이터 전압이 다른 4 개의 상기 제2 컬러의 서브 픽셀들에 연속으로 공급되는 표시장치.

청구항 4

제 1 항에 있어서,

상기 멀티플렉서는,

상기 데이터 구동부의 제1 출력 채널과 제1 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 제1 데이터 라인으로 공급하는 제1 스위치;

상기 제1 출력 채널과 제3 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 상기 제3 데이터 라인으로 공급하는 제2 스위치;

상기 데이터 구동부의 제2 출력 채널과 제2 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제2 데이터 라인으로 공급하는 제3 스위치; 및

상기 제2 출력 채널과 제4 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제4 데이터 라인으로 공급하는 제4 스위치를 포함하고,

상기 제1 및 제2 제어신호의 스위칭 주기는 1 수평 기간이고,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제5 게이트 라인, 제2 게이트 라인, 제4 게이트 라인 및 제6 게이트 라인 순서로 상기 게이트 라인들에 공급되고,

3 수평 기간 동안 상기 제1 컬러의 데이터 전압이 6 개의 상기 제1 컬러의 서브 픽셀들에 연속으로 공급된 후에 그 다음 3 수평 기간 동안 상기 제2 컬러의 데이터 전압이 다른 6 개의 상기 제2 컬러의 서브 픽셀들에 연속으로 공급되는 표시장치.

청구항 5

제 1 항에 있어서,

상기 멀티플렉서는,

상기 데이터 구동부의 제1 출력 채널과 제1 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 제1 데이터 라인으로 공급하는 제1 스위치;

상기 제1 출력 채널과 제3 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제1 출력 채널로부터의 데이터 전압을 상기 제3 데이터 라인으로 공급하는 제2 스위치;

상기 데이터 구동부의 제2 출력 채널과 제2 데이터 라인 사이에 연결되어 상기 제1 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제2 데이터 라인으로 공급하는 제3 스위치; 및

상기 제2 출력 채널과 제4 데이터 라인 사이에 연결되어 상기 제2 제어신호에 응답하여 상기 제2 출력 채널로부터의 데이터 전압을 상기 제4 데이터 라인으로 공급하는 제4 스위치를 포함하고,

상기 제1 및 제2 제어신호의 스위칭 주기는 1 수평 기간이고,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제5 게이트 라인, 제2 게이트 라인, 제4 게이트 라인, 제6 게이트 라인, 제7 게이트 라인, 및 제9 게이트 라인 순서로 상기 게이트 라인들에 공급되고,

4 수평 기간 동안 상기 제1 컬러의 데이터 전압이 8 개 상기 제1 컬러의 서브 픽셀들에 연속으로 공급된 후에 그 다음 4 수평 기간 동안 상기 제2 컬러의 데이터 전압이 다른 8 개의 상기 제2 컬러의 서브 픽셀들에 연속으로 공급되는 표시장치.

청구항 6

데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되고 제1 컬러의 서브 픽셀 및 제2 컬러의 서브 픽셀을 적어도 포함하는 복수의 서브 픽셀들을 포함한 픽셀 어레이;

출력 채널들을 통해 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부;

상기 데이터 전압에 동기되는 게이트 펄스를 비순차 방식으로 출력하는 게이트 구동부를 포함하고,

상기 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기가 4 수평 기간이고,

상기 데이터 구동부는 상기 출력 채널들 중 하나를 통해 2 수평 기간 동안 제1 컬러의 데이터 전압이 4개의 상기 제1 컬러의 서브 픽셀들에 연속적으로 공급된 후에 그 다음 2 수평 기간 동안 제2 컬러의 데이터 전압이 다른 4개의 상기 제2 컬러의 서브 픽셀들에 연속으로 공급되는 표시장치.

청구항 7

제 6 항에 있어서,

상기 픽셀 어레이에서, 제2 서브 픽셀을 사이에 두고 이웃한 제1 및 제3 서브 픽셀들은 제1 데이터 라인에 연결되고,

상기 제2 서브 픽셀과 제4 서브 픽셀은 제2 데이터 라인에 연결되고,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제5 게이트 라인, 제7 게이트 라인, 제2 게이트 라인, 제4 게이트 라인, 제6 게이트 라인, 및 제8 게이트 라인 순서로 상기 게이트 라인들에 공급되는 표시장치.

청구항 8

제 6 항에 있어서,

상기 데이터 구동부의 제1 출력 채널이 제1 및 제3 데이터 라인에 연결되고,

상기 데이터 구동부의 제2 출력 채널이 제2 및 제4 데이터 라인에 연결되며,

상기 게이트 펄스는 제1 게이트 라인, 제3 게이트 라인, 제5 게이트 라인, 제7 게이트 라인, 제2 게이트 라인, 제4 게이트 라인, 제6 게이트 라인, 및 제8 게이트 라인 순서로 상기 게이트 라인들에 공급되는 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 픽셀들 각각이 적색(Red : R) 서브 픽셀, 녹색(Green : G) 서브 픽셀, 청색(Blue : B) 서브 픽셀, 및 백색(White : W) 서브 픽셀로 나뉘어지는 표시장치에 관한 것이다.

배 경 기 술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에

데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 픽셀들 각각에 R(Red) 서브 픽셀, G(Green) 서브 픽셀, B(Blue) 서브 픽셀 이외에 W(White) 서브 픽셀을 추가한 액정표시장치가 개발되고 있다. 이하에서, 픽셀들이 RGBW 서브 픽셀들로 나뉘어진 표시장치를 "RGBW 타입 표시장치"라 한다. W 서브 픽셀은 픽셀들 각각의 휘도를 높임으로써 백라이트 유닛의 휘도를 낮추어 액정표시장치의 소비전력을 낮출 수 있다.

[0005] 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함)와 표시패널의 데이터 라인들 사이에 멀티플렉서(Mutiplexer, MUX)를 설치하여 표시장치의 비용을 줄일 수 있다. 멀티플렉서(MUX)는 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들에 분배함으로써 소스 드라이브 IC의 출력 채널 개수를 줄일 수 있게 한다. 그런데 멀티플렉서(MUX)는 스위칭 주파수가 높고 표시패널에 단색이 표시될 때 소비전력이 커질 수 있다. 여기서, 단색은, 적색(Red), 녹색(Green) 및 청색(Blue) 중 어느 하나일 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 표시패널의 구동에 필요한 소스 드라이브 IC의 개수를 줄이고 소비 전력을 줄일 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 표시장치는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한 픽셀 어레이, 출력 채널들을 통해 데이터 전압을 출력하는 데이터 구동부, 제1 및 제2 제어 신호에 응답하여 데이터 구동부로부터 출력되는 데이터 전압을 상기 데이터 라인들로 분배하는 멀티플렉서, 데이터 전압에 동기되는 게이트 펄스를 비순차 방식으로 출력하는 게이트 구동부를 포함한다.

[0008] 제1 및 제2 제어신호는 서로 역위상이고 스위칭 주기가 1 수평 기간 또는 2 수평 기간이다.

[0009] 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기가 N(N은 4~8 사이의 양의 정수) 수평 기간이다.

[0010] 본 발명의 다른 실시예에 따른 표시장치는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한 픽셀 어레이, 출력 채널들을 통해 데이터 전압을 데이터 라인들로 출력하는 데이터 구동부; 데이터 전압에 동기되는 게이트 펄스를 비순차 방식으로 출력하는 게이트 구동부를 포함한다.

[0011] 상기 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기가 4 수평 기간이다.

발명의 효과

[0012] 본 발명의 표시장치는 멀티플렉서를 데이터 구동부의 소스 드라이브 IC에 연결하거나 두 개의 픽셀들이 하나의 데이터 라인을 공유하게 하거나 두 개의 데이터 라인들이 소스 드라이브 IC의 하나의 출력 채널을 공유하게 함으로써 소스 드라이브 IC의 개수를 줄일 수 있다. 그리고 본 발명은 멀티플렉서의 스위칭 주기를 늘리거나 데이터 스위칭 주기를 늘려 소비 전력을 줄일 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 표시장치를 보여 주는 블록도이다.

도 2는 본 발명의 제1 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다.

도 3a 및 도 3b는 도 2에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

도 4는 본 발명의 제2 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다.

도 5a 및 도 5b는 도 4에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

도 6a 및 도 6b는 도 4에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 비교예와 비교한 도면이다.

도 7은 본 발명의 제3 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다.

도 8a 및 도 8b는 도 7에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

도 9는 본 발명의 제4 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다.

도 10a 및 도 10b는 도 9에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

도 11은 본 발명의 제5 실시예에 따른 픽셀 어레이를 보여 주는 회로도이다.

도 12는 도 11에 도시된 픽셀 어레이에 공급되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.

도 13은 본 발명의 제6 실시예에 따른 픽셀 어레이를 보여 주는 회로도이다.

도 14는 도 13에 도시된 픽셀 어레이에 공급되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 표시장치는 액정표시장치(LCD), 유기 발광 다이오드 표시장치(OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등 컬러 구현이 가능한 평판 표시장치로 구현될 수 있다. 이하에서, 액정표시장치를 중심으로 본 발명의 실시예들을 설명하나 액정표시장치에 한정되지 않는다는 것에 주의하여야 한다. 예를 들어, 본 발명의 RGBW 서브 픽셀 배치는 유기 발광 다이오드 표시장치에도 적용 가능하다.

[0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0016] 도 1을 참조하면, 본 발명의 표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0017] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다.

[0018] 표시패널(100)의 하부 기판에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다.

[0019] 픽셀 어레이의 픽셀들 각각은 컬러가 다른 2 개의 서브 픽셀, 또는 컬러가 다른 4 개의 서브 픽셀로 나뉘어질 수 있다. 예를 들어, 펜타일(Pen Tile) 픽셀 어레이에 렌더링 알고리즘(Rendering algorithm)을 적용하면 2 개의 서브 픽셀들로 하나의 픽셀을 구현할 수 있다. 제1 픽셀은 적색 및 녹색 서브 픽셀을 포함하고, 제2 픽셀은 청색 및 백색 서브 픽셀을 포함할 수 있다. 이하에서, 적색 서브 픽셀을 "R 서브 픽셀", 녹색 서브 픽셀을 "G 서브 픽셀", 청색 서브 픽셀을 "B 서브 픽셀", 그리고 백색 서브 픽셀을 "W 서브 픽셀"로 칭하기로 한다. 픽셀들 각각이 4 개의 서브 픽셀들로 나뉘어지는 경우에, 픽셀들 각각은 RGBW 서브 픽셀들을 포함한다.

[0020] 픽셀 어레이의 픽셀들에 공급되는 데이터 전압의 데이터 스위칭 주기는 비순차 게이트 펄스로 인하여 N(N은 4~8 사이의 양의 정수) 수평 기간 정도로 길어진다. 데이터 스위칭 주기는 2 개의 컬러가 공급되는 기간이다. 데이터 스위칭 주기가 길수록 소스 드라이브 IC의 전류 소모량이 줄어들어 소비 전력을 줄일 수 있다.

[0021] 서브 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과양을 조정한다.

[0022] 표시패널(100)의 하부 기판에 형성된 TFT들은 비정질 실리콘(amorphose Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 픽셀 전극(1)에 1:1로 연결된다.

[0023] 표시패널(100)의 상부 기판 상에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기판 상에 형성될 수 있다. 표시패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0024] 본 발명의 표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0025] 표시패널 구동회로는 픽셀들에 입력 영상의 데이터를 기입한다. 픽셀들에 기입되는 데이터는 적색(R) 데이터, 녹색(G) 데이터, 청색(B) 데이터 및 백색(W) 데이터를 포함한다. 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104), 및 타이밍 콘트롤러(106)를 포함한다. 데이터 구동부(102)와 데이터 라인들(S1~Sm) 사이에는 멀티플렉서(103)가 배치될 수 있다.

[0026] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결되거나 멀티플렉서(103)를 통해 데이터라인들(S1~Sm)에 연결될 수 있다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)로부터 입력 영상의 데이터를 입력받는다. 소스 드라이브 IC들로 전송되는 디지털 비디오 데이터는 R 데이터, G 데이터, B 데이터, 및 W 데이터를 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(106)의 제어 하에 입력 영상의 RGBW 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 소스 드라이브 IC들의 출력 전압은 데이터 라인들(S1~Sm)에 공급된다.

[0027] 소스 드라이드 IC들 각각은 타이밍 콘트롤러(106)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시켜 데이터 라인들(S1~Sm)로 출력한다. 소스 드라이브 IC들은 데이터 라인들에 인가되는 데이터 전압의 극성을 1 프레임 기간 동안 유지한 후, 매 프레임마다 데이터전압의 극성을 반전시킬 수 있다. 예를 들어, 제1 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제1 극성으로 유지된 후, 제2 프레임 기간 동안 제2 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 제2 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제2 극성으로 유지된 후, 제2 프레임 기간 동안 제1 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 이렇게 1 프레임 기간 동안 데이터 전압의 극성이 변하지 않으므로 소스 드라이브 IC들의 소비 전력과 발열양을 줄일 수 있다. 소스 드라이브 IC들로부터 출력되는 데이터 전압은 데이터 라인별로 같은 극성을 유지하지만 픽셀 어레이는 수평으로 이웃한 서브 픽셀들의 극성이 서로 상반된다.

[0028] 멀티플렉서(103)는 타이밍 콘트롤러(106)의 제어 하에 소스 드라이브 IC로부터 입력되는 데이터 전압을 데이터 라인들(S1~Sm)에 시분할 공급한다. 1:2 멀티플렉서의 경우에, 멀티플렉서는 소스 드라이브 IC의 한 개 출력 채널을 통해 입력되는 데이터 전압을 시분할하여 두 개의 데이터 라인들로 공급한다. 따라서, 1:2 멀티플렉서를 사용하면, 표시패널(100)의 구동에 필요한 소스 드라이브 IC의 개수를 1/2로 줄일 수 있다. 멀티플렉서(103)는 소스 드라이브 IC에 내장될 수 있다.

[0029] 게이트 구동부(104)는 타이밍 콘트롤러(106)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 공급한다. 게이트 펄스는 G1, G2, G3, G4 ... Gn-1, Gn의 순서로 순차적으로 공급되는 것이 아니라 비순차적으로 게이트 라인들에 공급된다. 이는 같은 같은 컬러의 데이터가 4 개 이상 연속되도록 하여 픽셀 어레이에 공급되는 데이터 전압의 데이터 스위칭 주기를 줄이기 위함이다.

[0030] 타이밍 콘트롤러(106)는 호스트 시스템(110)으로부터 수신된 입력 영상의 RGB 데이터를 RGBW 데이터로 변환하여 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(106)와 데이터 구동부(102)의 소스 드라이브 IC들 간의 데이터 전송을 위한 인터페이스는 mini LVDS(Low-voltage differential signaling) 인터페이스 또는 EPI(Embedded Panel Interface) 인터페이스를 적용할 수 있다. EPI 인터페이스는 본원 출원인에 의해 출원된 대한민국 특허출원 10-2008-0127458(2008-12-15), 미국 출원 12/543,996(2009-08-19), 대한민국 특허출원 10-2008-0127456(2008-12-15), 미국 출원 12/461,652(2009-08-19), 대한민국 특허출원 10-2008-0132466(2008-12-23), 미국 출원 12/537,341(2009-08-07) 등에서 제안된 인터페이스 기술로 적용될 수 있다.

[0031] 타이밍 콘트롤러(106)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(110)으로부터 수신한다.

타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 메인 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(106)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102), 게이트 구동부(104), 멀티플렉서(103)의 동작 타이밍을 제어한다. 타이밍 콘트롤러(106)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다. Mini LVDS 인터페이스는 별도의 제어 배선을 통해 극성 제어 신호를 전송한다. EPI 인터페이스는 CDR(Clok and Data Recovery)을 위한 클럭 트레이닝 패턴(clock training pattern)과 RGBW 데이터 패킷 사이에 전송되는 콘트롤 데이터 패킷 내에 극성 제어 정보를 인코딩하여 소스 드라이브 IC들 각각에 전송하는 인터페이스 기술이다.

[0032] 타이밍 콘트롤러(106)는 화이트 게인 산출 알고리즘을 이용하여 입력 영상의 RGB 데이터를 RGBW 데이터로 변환할 수 있다. 화이트 게인 산출 알고리즘은 공지의 어떠한 것도 가능하다. 예컨대, 본원 출원인에 의해 기출원된 대한민국 특허 출원 제10-2005-0039728(2005. 05. 12), 대한민국 특허 출원 제10-2005-0052906(2005. 06. 20), 대한민국 특허 출원 제10-2005-0066429(2007. 07. 21), 대한민국 특허 출원 제10-2006-0011292(2006. 02. 06) 등에서 제안된 화이트 게인 산출 알고리즘들이 적용 가능하다.

[0033] 호스트 시스템(110)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0034] 도 2는 본 발명의 제1 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다. 도 3a 및 도 3b는 도 2에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다. 도 2 내지 도 3b에서 "OUT1~OUT6"은 소스 드라이브 IC의 출력 채널이다. Amp(-)는 소스 드라이브 IC의 출력 채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 부극성 데이터 전압을 멀티플렉서(103)에 공급한다. Amp(+)는 소스 드라이브 IC의 출력 채널(OUT1~OUT6)에 연결된 버퍼 증폭기로서, 정극성 데이터 전압을 멀티플렉서(103)에 공급한다.

[0035] 도 2 내지 도 3b를 참조하면, 멀티플렉서(103)는 다수의 스위치들(T1~T4)을 포함한다. 스위치들(T1~T4)의 게이트에는 제어신호(M1, M2)가 공급된다. 스위치들(T1~T4)의 드레인은 소스 드라이브 IC의 출력 채널(OUT1~OUT6)에 연결되고, 소스는 데이터 라인(S1~S12)에 연결된다.

[0036] 멀티플렉서(103)는 타이밍 콘트롤러(106)로부터의 제1 및 제2 제어신호(M1, M2)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S1~S12)에 분배한다. 제1 및 제2 제어신호(M1, M2)는 서로 역위상으로 발생된다. 즉, 제2 제어신호(M2)의 위상이 제1 제어신호(M1)에 비하여 180° 만큼 지연된다. 제1 제어신호(M1)를 인버터(invertor)로 반전시키는 방법으로, 제2 제어신호(M2)를 발생할 수 있다. 제1 및 제2 제어신호(M1, M2)의 스위칭 주기는 1 수평 기간(1H)이다. 1 수평 기간(1H)은 픽셀 어레이의 1 수평 라인에 배치된 픽셀들에 데이터를 기입하는데 필요한 시간이다.

[0037] 제1 스위치(T1)는 제1 출력 채널(OUT1)과 제1 데이터 라인(S1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제1 데이터 라인(S1)으로 공급한다. 제2 스위치(T2)는 제1 출력 채널(OUT1)과 제3 데이터 라인(S3) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제3 데이터 라인(S3)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온(turn-on)된다.

[0038] 제3 스위치(T3)는 제2 출력 채널(OUT2)과 제2 데이터 라인(S2) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제4 스위치(T4)는 제2 출력 채널(OUT2)과 제4 데이터 라인(S4) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제4 데이터 라인(S4)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0039] 제2 및 제3 스위치들(T2, T3)과, 제2 및 제3 데이터 라인들(S2, S3)은 서로 엇갈리게 연결된다. 이를 위하여, 제2 및 제3 스위치들(T2, T3)을 제2 및 제3 데이터 라인들(S2, S3)에 연결하는 링크 배선들(20)은 절연층을 사이에 두고 교차된다.

[0040] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브 필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측부터 GWGW 순서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0041] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제3 데이터 라인(S3)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제4 데이터 라인(S4)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0042] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제3 데이터 라인(S3)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제4 데이터 라인(S4)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0043] 게이트 펄스가 도 3a 및 도 3b와 같이 제어신호(M1, M2)에 동기되어 G1, G3, G2, G4의 순서로 제1 내지 제4 게이트 라인들(G1~G4)에 공급되면, 2 수평 기간 동안 제1 컬러의 데이터 전압이 4 개의 서브 픽셀들에 연속으로 공급된 후에 그 다음 2 수평 기간 동안 제2 컬러의 데이터 전압이 다른 4 개의 서브 픽셀들에 연속으로 공급된다. 도 2 및 도 3a에서, (1)~(8)과 화살표는 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 4 수평 기간(4H)이다.

[0044] 도 4는 본 발명의 제2 실시예에 따른 멀티플렉서와 픽셀 어레이를 보여 주는 회로도이다. 도 5a 및 도 5b는 도 4에 도시된 멀티플렉서의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

[0045] 도 4 내지 도 5b를 참조하면, 멀티플렉서(103)는 타이밍 콘트롤러(106)로부터의 제1 및 제2 제어신호(M1, M2)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S1~S12)에 분배한다. 제1 및 제2 제어신호(M1, M2)는 역위상으로 발생될 수 있다. 제1 및 제2 제어신호(M1, M2)의 스위칭 주기는 2 수평 기간(2H)이다.

[0046] 제1 스위치(T1)는 제1 출력 채널(OUT1)과 제1 데이터 라인(S1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제1 데이터 라인(S1)으로 공급한다. 제2 스위치(T2)는 제1 출력 채널(OUT1)과 제3 데이터 라인(S3) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제3 데이터 라인(S3)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0047] 제3 스위치(T3)는 제2 출력 채널(OUT2)과 제2 데이터 라인(S2) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제4 스위치(T4)는 제2 출력 채널(OUT2)과 제4 데이터 라인(S4) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제4 데이터 라인(S4)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0048] 제2 및 제3 스위치들(T2, T3)과, 제2 및 제3 데이터 라인들(S2, S3)은 서로 엇갈리게 연결된다. 이를 위하여, 제2 및 제3 스위치들(T2, T3)을 제2 및 제3 데이터 라인들(S2, S3)에 연결하는 링크 배선들(20)은 절연층을 사이에 두고 교차된다.

[0049] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브 필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측부터 GWGW 순서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0050] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제

2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제3 데이터 라인(S3)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제4 데이터 라인(S4)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0051] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제3 데이터 라인(S3)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제4 데이터 라인(S4)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0052] 게이트 펄스가 도 5a 및 도 5b와 같이 제어신호(M1, M2)에 동기되어 G1, G3, G2, G4의 순서로 제1 내지 제4 게이트 라인들(G1~G4)에 공급되면, 2 수평 기간 동안 제1 컬러의 데이터 전압이 4 개의 서브 픽셀들에 연속으로 공급된 후에 그 다음 2 수평 기간 동안 제2 컬러의 데이터 전압이 다른 4 개의 서브 픽셀들에 연속으로 공급된다. 도 2 및 도 3a에서, (1)~(8)은 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 4 수평 기간(4H)이다.

[0053] 도 6a 및 도 6b는 도 4에 도시된 멀티플렉서(103)의 스위칭 주기와 데이터 스위칭 주기를 비교예와 비교한 도면이다. 도 6a는 비교예로서, 멀티플렉서의 스위칭 주기가 1 수평기간이고 픽셀 어레이에 단색이 표시될 때 데이터의 스위칭 주기가 2 수평기간이다. 도 6b는 본 발명의 제2 실시예에 따른 멀티플렉서의 스위칭 주기와 데이터의 스위칭 주기를 나타낸다. 도 6b에서, 멀티플렉서(103)의 스위칭 주기는 2 수평기간이고 데이터의 스위칭 주기는 4 수평기간이다. 도 6b에서, 픽셀 어레이에는 비교예와 같은 단색 패턴이 표시된다. 본 발명은 멀티플렉서의 스위칭 주기와 데이터의 스위칭 주기가 비교예에 비하여 2 배 길어져 비교예 대비 데이터 구동부(102)와 멀티플렉서(103)의 스위칭 횟수를 50% 줄일 수 있으므로 소비전력을 대폭 저감할 수 있다.

[0054] 도 7은 본 발명의 제3 실시예에 따른 멀티플렉서(103)와 픽셀 어레이를 보여 주는 회로도이다. 도 8a 및 도 8b는 도 7에 도시된 멀티플렉서(103)의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

[0055] 도 7 내지 도 8b를 참조하면, 멀티플렉서(103)는 타이밍 콘트롤러(106)로부터의 제1 및 제2 제어신호(M1, M2)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S1~S12)에 분배한다. 제1 및 제2 제어신호(M1, M2)는 역위상으로 발생될 수 있다. 제1 및 제2 제어신호(M1, M2)의 스위칭 주기는 1 수평 기간(1H)이다.

[0056] 제1 스위치(T1)는 제1 출력 채널(OUT1)과 제1 데이터 라인(S1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제1 데이터 라인(S1)으로 공급한다. 제2 스위치(T2)는 제1 출력 채널(OUT1)과 제3 데이터 라인(S3) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제3 데이터 라인(S3)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0057] 제3 스위치(T3)는 제2 출력 채널(OUT2)과 제2 데이터 라인(S2) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제4 스위치(T4)는 제2 출력 채널(OUT2)과 제4 데이터 라인(S4) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제4 데이터 라인(S4)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0058] 제2 및 제3 스위치들(T2, T3)과, 제2 및 제3 데이터 라인들(S2, S3)은 서로 엇갈리게 연결된다. 이를 위하여, 제2 및 제3 스위치들(T2, T3)을 제2 및 제3 데이터 라인들(S2, S3)에 연결하는 링크 배선들(20)은 절연층을 사이에 두고 교차된다.

[0059] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브 필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측부터 GWGW 순

서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0060] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제3 데이터 라인(S3)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제4 데이터 라인(S4)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0061] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제3 데이터 라인(S3)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제4 데이터 라인(S4)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0062] 게이트 펄스가 도 8a 및 도 8b와 같이 제어신호(M1, M2)에 동기되어 G1, G3, G5, G2, G4, G6의 순서로 제1 내지 제6 게이트 라인들(G1~G6)에 공급되면, 3 수평 기간 동안 제1 컬러의 데이터 전압이 6 개의 서브 픽셀들에 연속으로 공급된 후에 그 다음 3 수평 기간 동안 제2 컬러의 데이터 전압이 다른 6 개의 서브 픽셀들에 연속으로 공급된다. 도 7 및 도 8a에서, (1)~(9)는 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 6 수평 기간(6H)이다.

[0063] 도 9는 본 발명의 제4 실시예에 따른 멀티플렉서(103)와 픽셀 어레이를 보여 주는 회로도이다. 도 10a 및 도 10b는 도 9에 도시된 멀티플렉서(103)의 스위칭 주기와 데이터 스위칭 주기를 보여 주는 파형도이다.

[0064] 도 9 내지 도 10b를 참조하면, 멀티플렉서(103)는 타이밍 콘트롤러(106)로부터의 제1 및 제2 제어신호(M1, M2)에 따라 소스 드라이브 IC로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(S1~S12)에 분배한다. 제1 및 제2 제어신호(M1, M2)는 역위상으로 발생될 수 있다. 제1 및 제2 제어신호(M1, M2)의 스위칭 주기는 1 수평 기간(1H)이다.

[0065] 제1 스위치(T1)는 제1 출력 채널(OUT1)과 제1 데이터 라인(S1) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제1 데이터 라인(S1)으로 공급한다. 제2 스위치(T2)는 제1 출력 채널(OUT1)과 제3 데이터 라인(S3) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제1 출력 채널(OUT1)로부터의 데이터 전압을 제3 데이터 라인(S3)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0066] 제3 스위치(T3)는 제2 출력 채널(OUT2)과 제2 데이터 라인(S2) 사이에 연결되어 제1 제어신호(M1)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제2 데이터 라인(S2)으로 공급한다. 제4 스위치(T4)는 제2 출력 채널(OUT2)과 제4 데이터 라인(S4) 사이에 연결되어 제2 제어신호(M2)에 응답하여 제2 출력 채널(OUT2)로부터의 데이터 전압을 제4 데이터 라인(S4)으로 공급한다. 제1 및 제2 스위치(M1, M2)는 교대로 턴-온된다.

[0067] 제2 및 제3 스위치들(T2, T3)과, 제2 및 제3 데이터 라인들(S2, S3)은 서로 엇갈리게 연결된다. 이를 위하여, 제2 및 제3 스위치들(T2, T3)을 제2 및 제3 데이터 라인들(S2, S3)에 연결하는 링크 배선들(20)은 절연층을 사이에 두고 교차된다.

[0068] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3, L5)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4, L6)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브 필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측부터 GWGW 순서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제

1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0069] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제3 데이터 라인(S3)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제4 데이터 라인(S4)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0070] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제3 데이터 라인(S3)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제4 데이터 라인(S4)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0071] 게이트 펄스가 도 10a 및 도 10b와 같이 제어신호(M1, M2)에 동기되어 G1, G3, G5, G2, G4, G6, G7, G9의 순서로 제1 내지 제7 및 제9 게이트 라인들(G1~G7, G9)에 공급되면, 4 수평 기간 동안 제1 컬러의 데이터 전압이 8개의 서브 픽셀들에 연속으로 공급된 후에 그 다음 4 수평 기간 동안 제2 컬러의 데이터 전압이 다른 8 개의 서브 픽셀들에 연속으로 공급된다. G9 이후에는 G11, G8, G10, G12, G13, G15, G17 순서로 게이트 펄스가 게이트 라인들에 공급된다. 도 9 및 도 10a에서, (1)~(13)은 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 8 수평 기간(6H)이다.

[0072] 도 11과 같은 DRD(Double rate driving) 타입의 픽셀 어레이는 수평(x축)으로 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유함으로써 멀티플렉서(103) 없이 소스 드라이브 IC의 개수를 줄일 수 있다. DRD 타입의 픽셀 어레이는 멀티플렉서(103) 없이 소스 드라이브 IC들에 연결되어 소스 드라이브 IC의 개수를 줄일 수 있다.

[0073] 도 11은 본 발명의 제5 실시예에 따른 픽셀 어레이를 보여 주는 회로도이다. 도 12는 도 11에 도시된 픽셀 어레이에 공급되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.

[0074] 도 11 및 도 12를 참조하면, 소스 드라이브 IC들은 멀티플렉서 없이 데이터 라인들(S1~S6)에 연결된다. 소스 드라이브 IC들은 데이터 라인들에 인가되는 데이터 전압의 극성을 1 프레임 기간 동안 유지한 후, 매 프레임마다 데이터전압의 극성을 반전시킬 수 있다. 예를 들어, 제1 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제1 극성으로 유지된 후, 제2 프레임 기간 동안 제2 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 제2 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제2 극성으로 유지된 후, 제2 프레임 기간 동안 제1 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다.

[0075] 수평 라인들(L1~L4) 각각에서, 제1 및 제3 서브 픽셀들은 제1 데이터 라인(S1)에 연결되어 제1 데이터 라인(S1)을 공유한다. 제1 및 제3 서브 픽셀들은 제1 데이터 라인(S1)을 통해 공급되는 데이터 전압을 연속 충전한다. 제2 및 제4 서브 픽셀들은 제2 데이터 라인(S2)에 연결되어 제2 데이터 라인(S2)을 공유한다. 제2 및 제4 서브 픽셀들은 제2 데이터 라인(S2)을 통해 공급되는 데이터 전압을 연속 충전한다. 따라서, 도 11에 도시된 픽셀 어레이는 하나의 서브 픽셀을 사이에 두고 수평으로 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유하는 구조를 갖는다. 그 결과, 수평 라인에 배치된 서브 픽셀들의 개수에 비하여 데이터 라인들의 개수를 줄일 수 있다. 데이터 라인들이 배치되지 않은 공간을 따라 수직 공통 라인(CL)이 배치될 수 있다. 수직 공통 라인들(CL)을 통해 모든 서브 픽셀들에 공통 전압(Vcom)이 공급될 수 있다.

[0076] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브

필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측으로부터 GWGW 순서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0077] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제1 데이터 라인(S1)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제2 데이터 라인(S2)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제1 및 제3 서브 픽셀(-W, -G) 사이에 배치된다. 제3 서브 픽셀(-G)은 제2 및 제4 서브 픽셀(+R, +B) 사이에 배치된다.

[0078] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제4 게이트 라인(G4)과 제1 데이터 라인(S1)에 연결되어 제4 게이트 라인(G4)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제4 게이트 라인(G4)과 제2 데이터 라인(S2)에 연결되어 제4 게이트 라인(G4)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제1 및 제3 서브 픽셀(-G, -W) 사이에 배치된다. 제3 서브 픽셀(-W)은 제2 및 제4 서브 픽셀(+B, +R) 사이에 배치된다.

[0079] 게이트 펄스가 도 12와 같이 G1, G3, G5, G7, G2, G4, G6, G8의 순서로 제1 내지 제8 게이트 라인들(G1~G8)에 공급되면, 2 수평 기간(2H) 동안 제1 컬러의 데이터 전압이 4 개의 서브 픽셀들에 순차적으로 충전된 후에 그 다음 2 수평 기간(2H) 동안 제2 컬러의 데이터 전압이 다른 4 개의 서브 픽셀들에 순차적으로 충전된다. 도 11 및 도 12에서, (1)~(8)은 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 4 수평 기간(4H)이다.

[0080] 도 13과 같은 픽셀 어레이는 소스 드라이브 IC의 한 개 출력 채널에 두 개의 데이터 라인이 연결되어 멀티플렉서 없이 소스 드라이브 IC의 개수를 줄일 수 있다.

[0081] 도 13은 본 발명의 제6 실시예에 따른 픽셀 어레이를 보여 주는 회로도이다. 도 14는 도 13에 도시된 픽셀 어레이에 공급되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.

[0082] 도 13 및 도 14를 참조하면, 소스 드라이브 IC들은 멀티플렉서 없이 데이터 라인들(S1~S6)에 연결된다. 소스 드라이브 IC들은 데이터 라인들에 인가되는 데이터 전압의 극성을 1 프레임 기간 동안 유지한 후, 매 프레임마다 데이터전압의 극성을 반전시킬 수 있다. 예를 들어, 제1 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제1 극성으로 유지된 후, 제2 프레임 기간 동안 제2 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다. 제2 데이터 라인을 통해 공급되는 데이터 전압의 극성은 제1 프레임 기간 동안 제2 극성으로 유지된 후, 제2 프레임 기간 동안 제1 극성으로 반전되어 1 프레임 기간 동안 같은 극성을 유지한다.

[0083] 소스 드라이브 IC의 제1 출력 채널(OUT1)은 픽셀 어레이의 제1 및 제3 데이터 라인(S1, S3)에 연결된다. 소스 드라이브 IC의 제2 출력 채널(OUT2)은 픽셀 어레이의 제2 및 제4 데이터 라인(S2, S4)에 연결된다. 따라서, 도 13에 도시된 픽셀 어레이는 수평 라인에 배치된 서브 픽셀들의 개수에 비하여 데이터 라인들의 개수를 줄일 수 있다.

[0084] 픽셀 어레이의 기수 번째 수평 라인들(L1, L3, L5)에서, 서브 필터의 컬러는 좌측부터 WRGB 순서로 배치된다. 픽셀 어레이의 우수 번째 수평 라인들(L2, L4, L6)에서, 서브 필터의 컬러는 좌측부터 GBWR 순서로 배치된다. 제1 수직 라인(C1, C3, C5, C7)에서, 서브 필터의 컬러는 상측부터 WGWG 순서로 배치된다. 제2 수직 라인(C2)에서, 서브 필터의 컬러는 상측부터 RBRB 순서로 배치된다. 제3 수직 라인(C3)에서, 서브 필터의 컬러는 상측부터 GWGW 순서로 배치된다. 제4 수직 라인(C4)에서, 서브 필터의 컬러는 상측부터 BRBR 순서로 배치된다. 제

1 내지 제4 수직 라인들(C1~C4)의 픽셀 구조와 컬러 배치는 제5 내지 제8 수직 라인들(C5~C8)과 동일하다. 제1 내지 제4 수직 라인들(C1~C4)의 픽셀 극성은 제5 내지 제8 수직 라인들(C5~C8)과 상반된다.

[0085] 제1 수평 라인(L1)에서, 제1 서브 픽셀(-W)은 제2 게이트 라인(G2)과 제1 데이터 라인(S1)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+R)은 제2 게이트 라인(G2)과 제2 데이터 라인(S2)에 연결되어 제2 게이트 라인(G2)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-G)은 제1 게이트 라인(G1)과 제3 데이터 라인(S3)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+B)은 제1 게이트 라인(G1)과 제4 데이터 라인(S4)에 연결되어 제1 게이트 라인(G1)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0086] 제2 수평 라인(L2)에서, 제1 서브 픽셀(-G)은 제3 게이트 라인(G3)과 제1 데이터 라인(S1)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제1 데이터 라인(S1)으로부터의 데이터 전압을 공급받는다. 제2 서브 픽셀(+B)은 제3 게이트 라인(G3)과 제2 데이터 라인(S2)에 연결되어 제3 게이트 라인(G3)으로부터의 게이트 펄스에 응답하여 제2 데이터 라인(S2)으로부터의 데이터 전압을 공급받는다. 제3 서브 픽셀(-W)은 제4 게이트 라인(G4)과 제3 데이터 라인(S3)에 연결되어 제4 게이트 라인(G4)으로부터의 게이트 펄스에 응답하여 제3 데이터 라인(S3)으로부터의 데이터 전압을 공급받는다. 제4 서브 픽셀(+R)은 제4 게이트 라인(G4)과 제4 데이터 라인(S4)에 연결되어 제4 게이트 라인(G4)으로부터의 게이트 펄스에 응답하여 제4 데이터 라인(S4)으로부터의 데이터 전압을 공급받는다.

[0087] 게이트 펄스가 도 14와 같이 G1, G3, G5, G7, G2, G4, G6, G8의 순서로 제1 내지 제8 게이트 라인들(G1~G8)에 공급되면, 2 수평 기간(2H) 동안 제1 컬러의 데이터 전압이 4 개의 서브 픽셀들에 순차적으로 충전된 후에 그 다음 2 수평 기간(2H) 동안 제2 컬러의 데이터 전압이 다른 4 개의 서브 픽셀들에 순차적으로 충전된다. 도 13 및 도 14에서, (1)~(8)은 게이트 펄스 순서에 따라 제어되는 픽셀들에 데이터 전압이 충전되는 순서이다. 따라서, 데이터의 스위칭 주기는 4 수평 기간(4H)이다.

[0088] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0089]

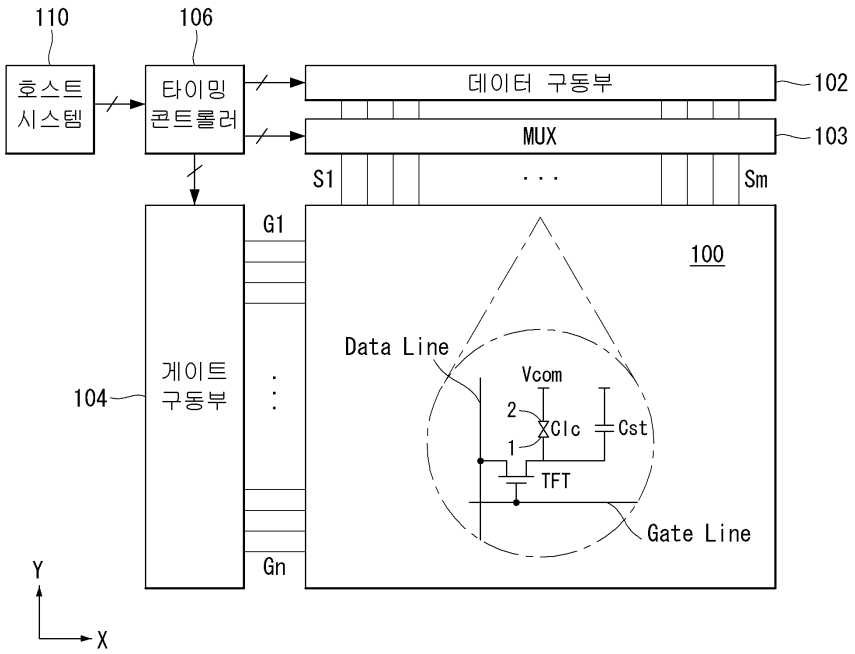
100 : 표시패널 102 : 데이터 구동부

103 : 멀티플렉서 104 : 게이트 구동부

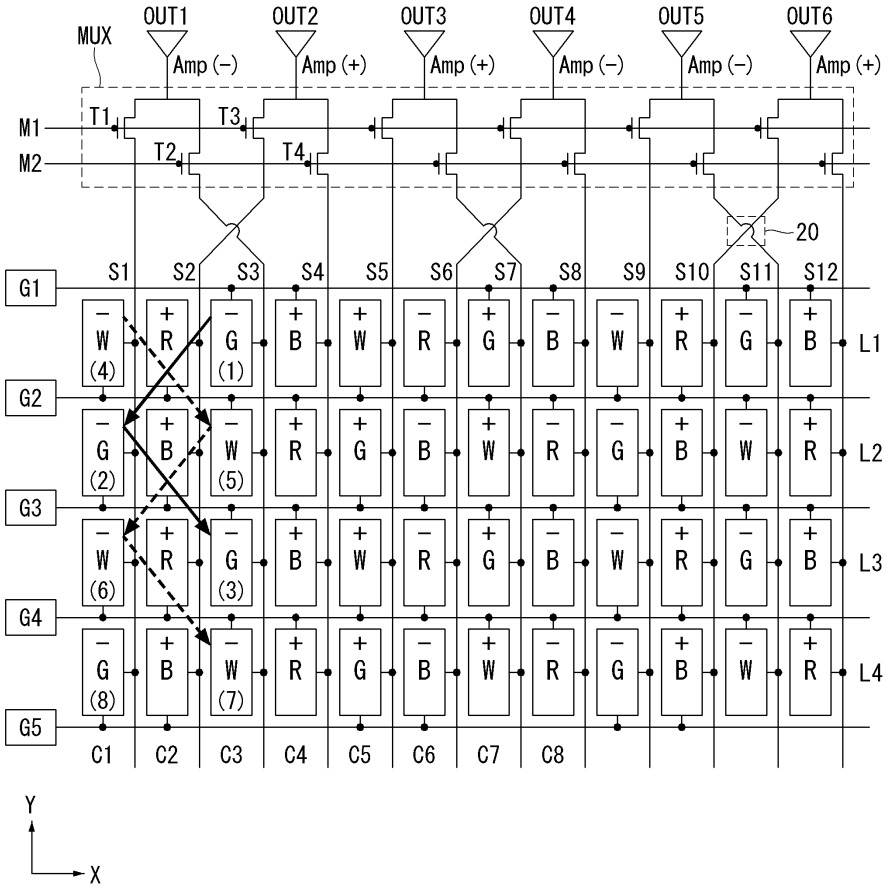
106 : 타이밍 콘트롤러 110 : 호스트 시스템

도면

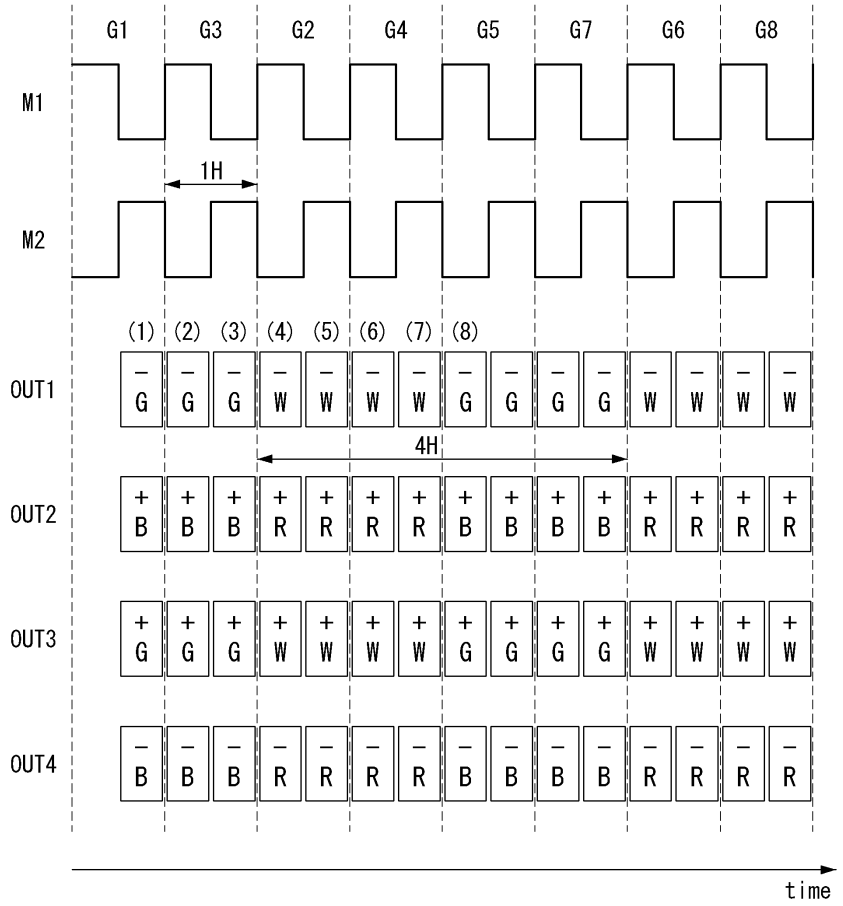
도면1


110
106
호스트 시스템
타이밍 콘트롤러
데이터 구동부
102
MUX
103
S1
Sm
G1
Gn
100
게이트 구동부
104
Data Line
Vcom
2
1
Clc
Cst
TFT
Gate Line
Y
X

도면2

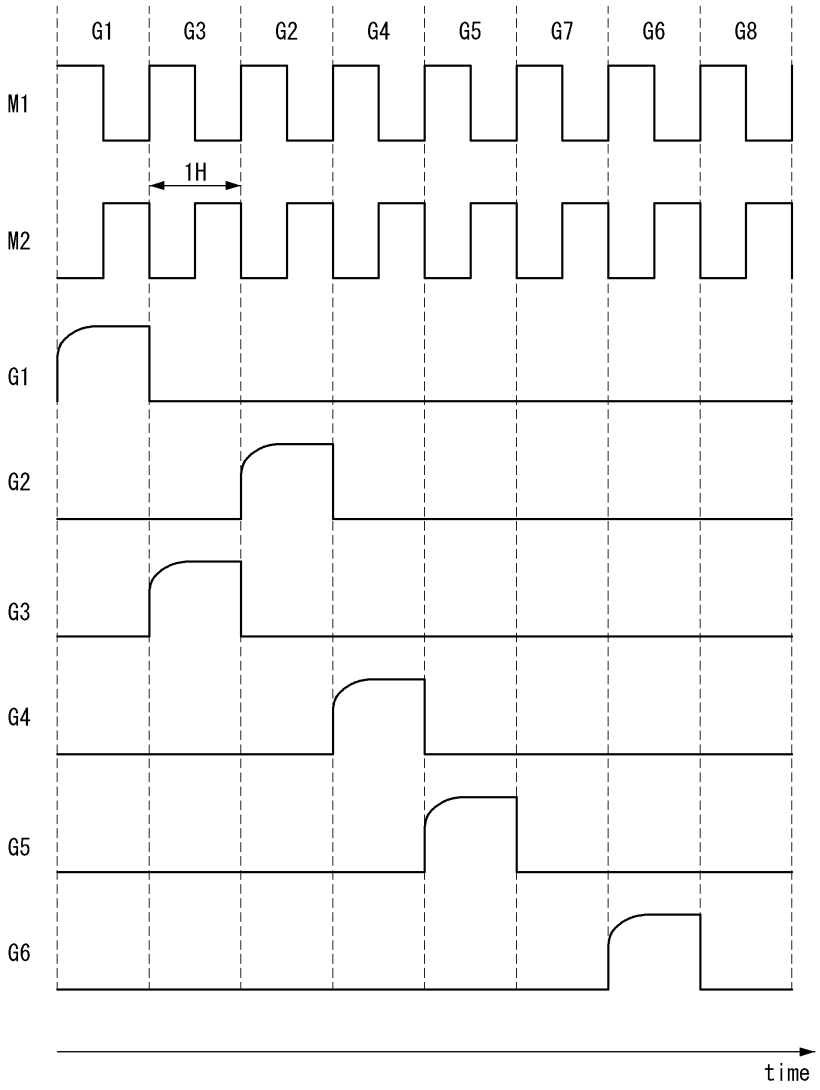

MUX
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (+)
Amp (−)
Amp (−)
Amp (+)
M1
M2
T1
T2
T3
T4
20
G1
G2
G3
G4
G5
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
L1
L2
L3
L4
C1
C2
C3
C4
C5
C6
C7
C8
Y
X

도면3a

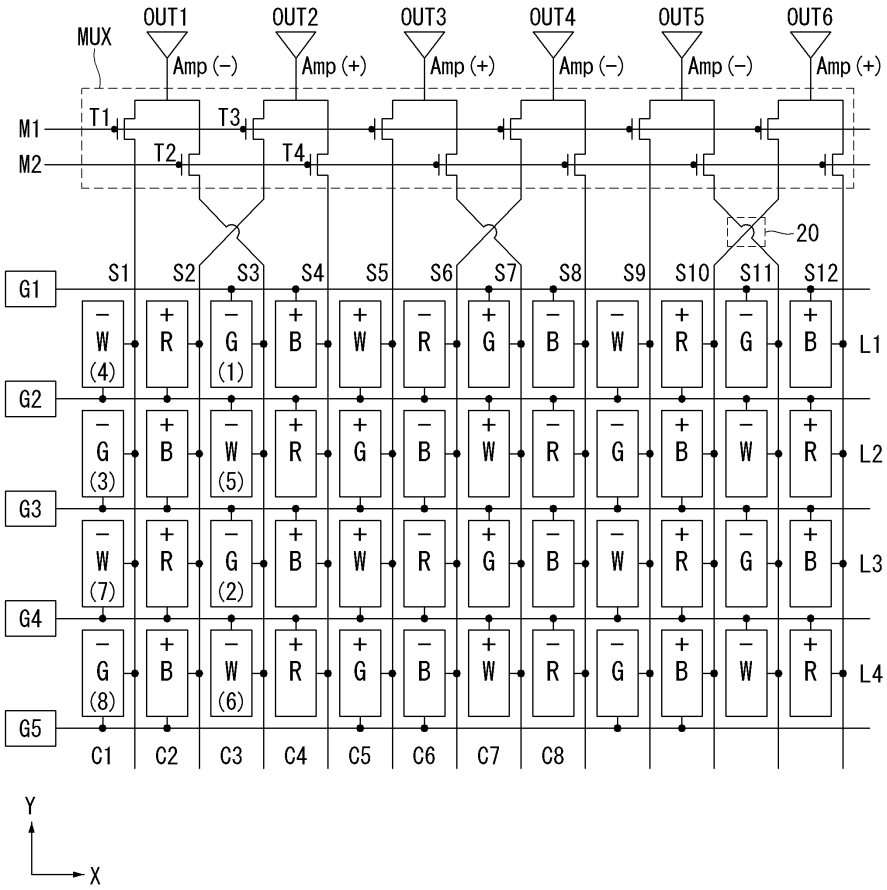


MUX 스위칭 주기 : 1H
Data 스위칭 주기 : 4H

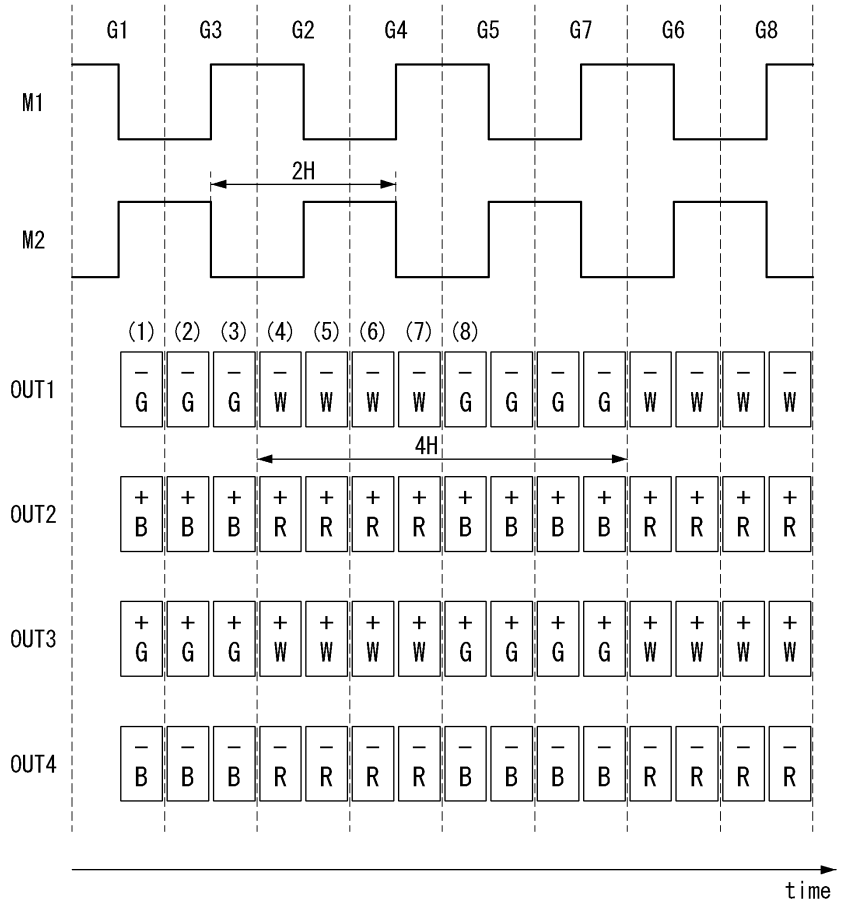
도면3b



도면4

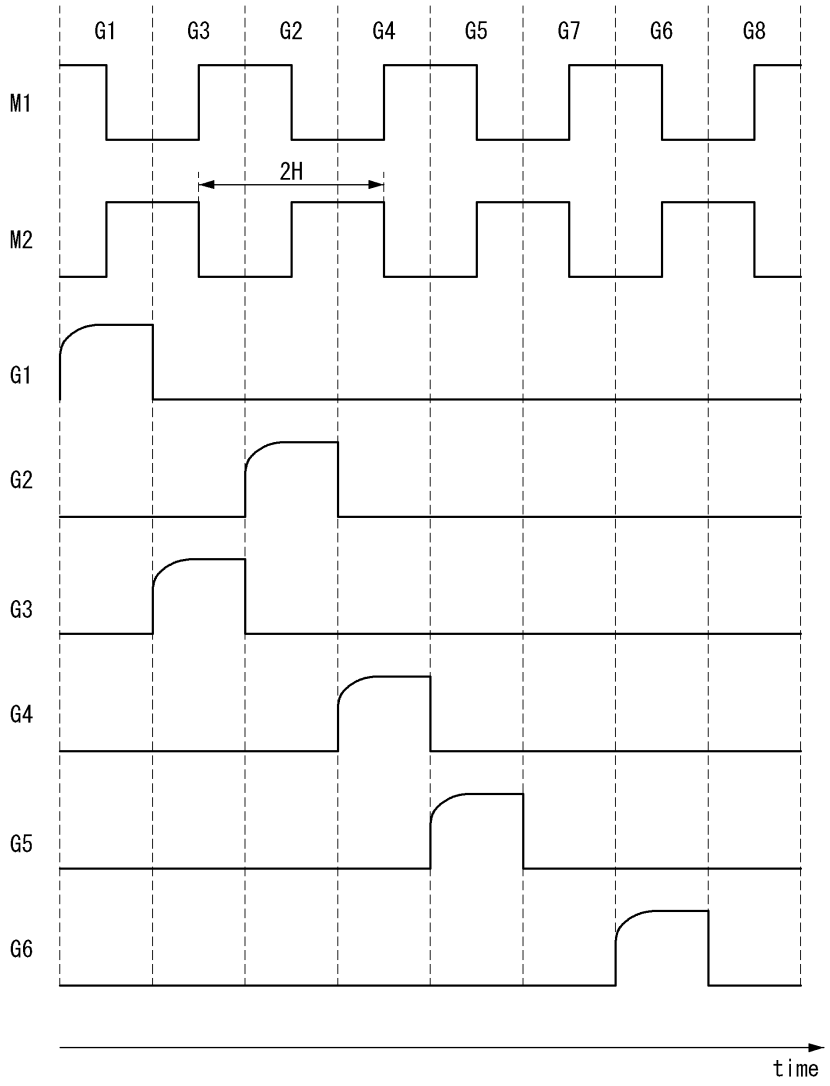

MUX
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (+)
Amp (−)
Amp (−)
Amp (+)
M1
M2
T1
T2
T3
T4
20
G1
G2
G3
G4
G5
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
L1
L2
L3
L4
C1
C2
C3
C4
C5
C6
C7
C8
Y
X

도면5a

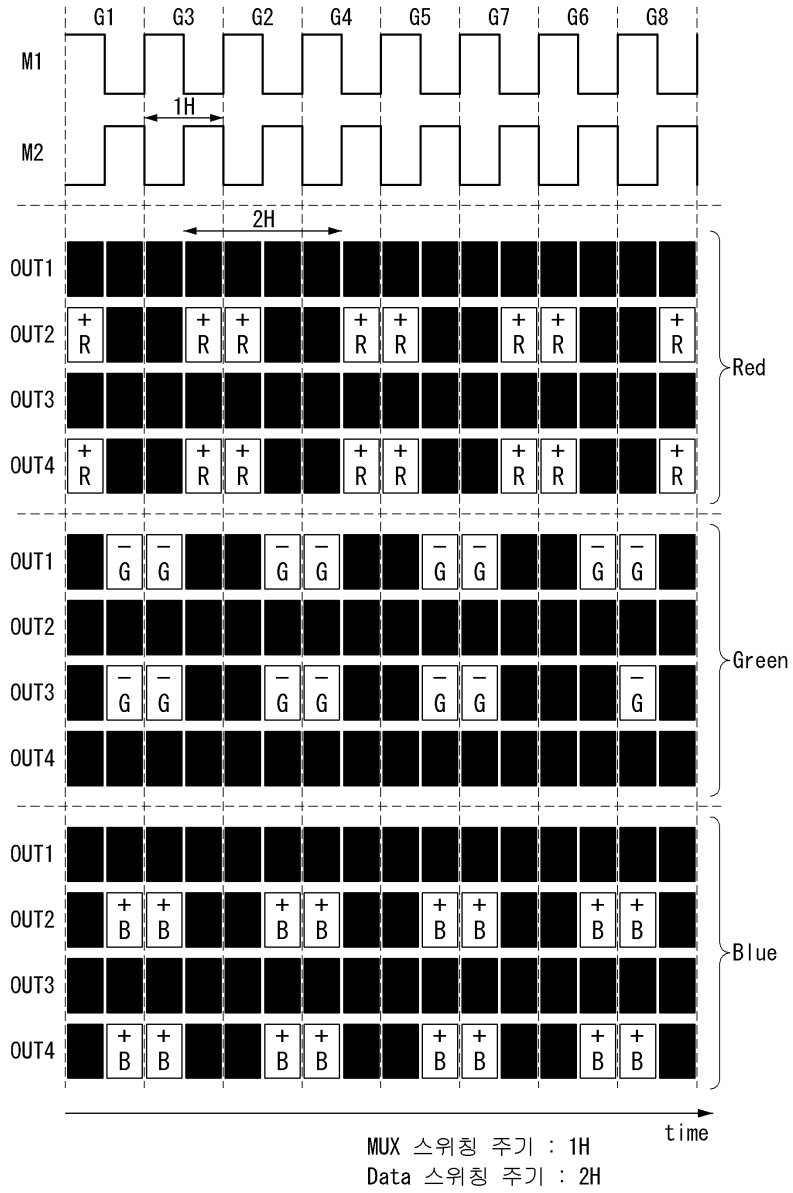


MUX 스위칭 주기 : 2H
Data 스위칭 주기 : 4H

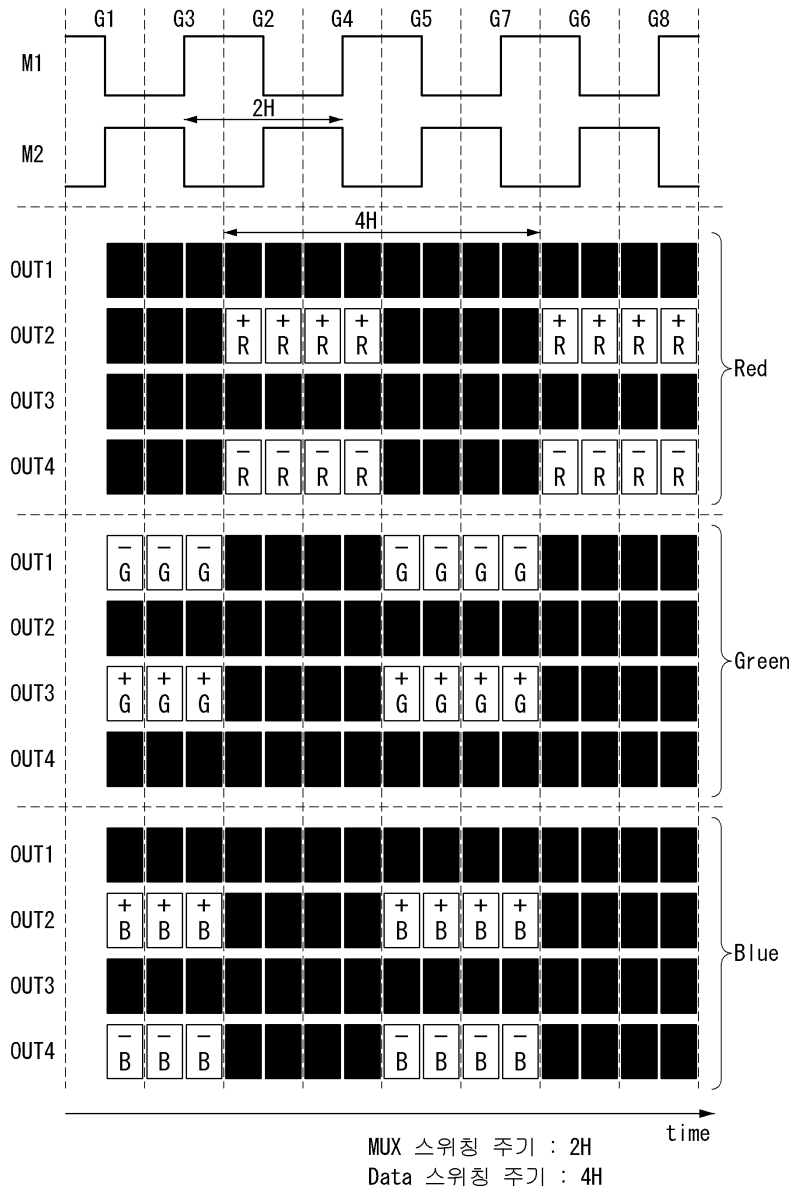
도면5b



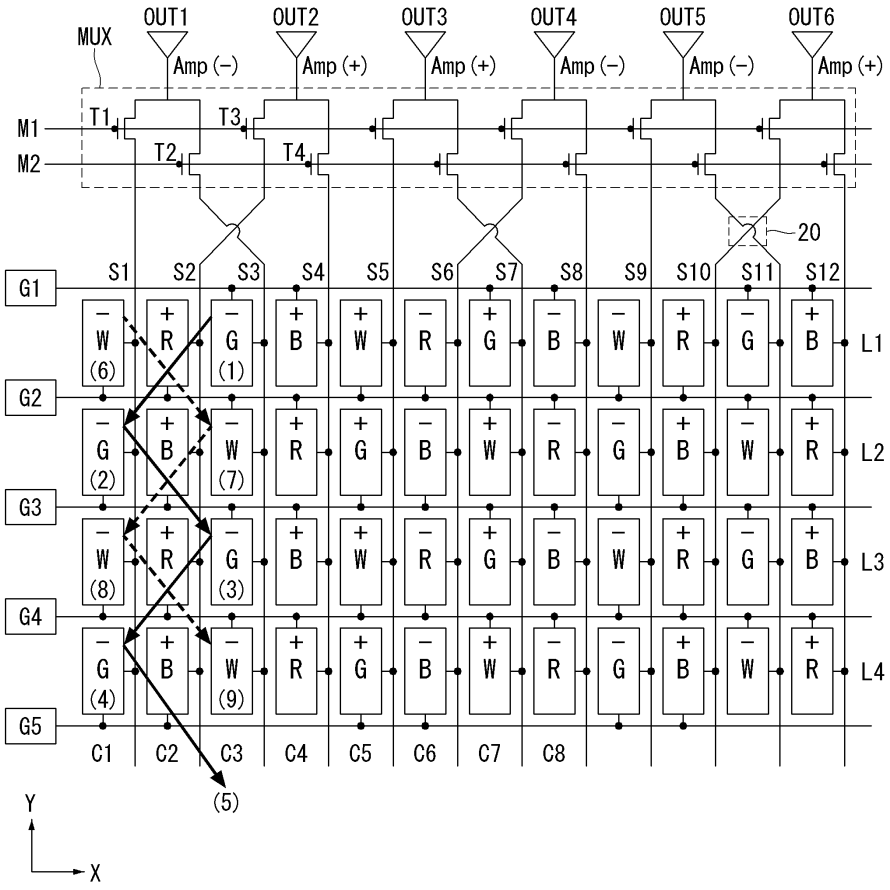
도면6a


G1
G3
G2
G4
G5
G7
G6
G8
M1
M2
1H
2H
OUT1
OUT2
OUT3
OUT4
+ R
Red
− G
Green
+ B
Blue
time
MUX 스위칭 주기 : 1H
Data 스위칭 주기 : 2H

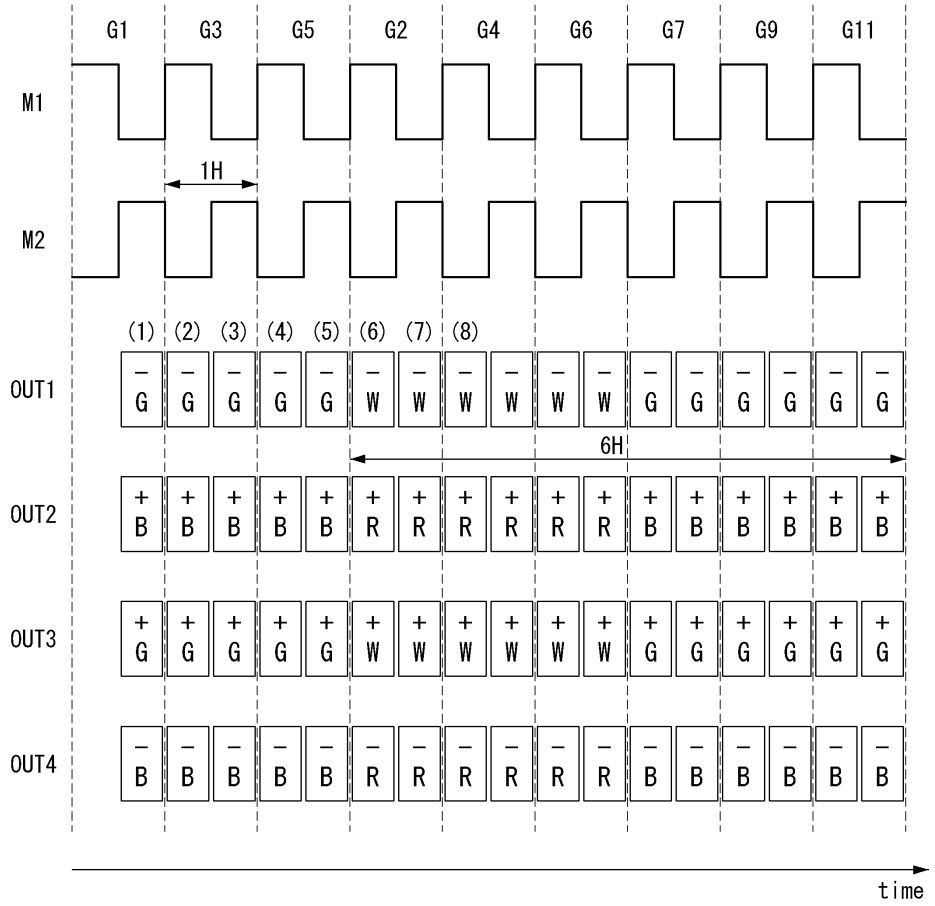
도면6b


G1
G3
G2
G4
G5
G7
G6
G8
M1
M2
2H
4H
OUT1
OUT2
OUT3
OUT4
+R
−R
Red
−G
+G
Green
+B
−B
Blue
time
MUX 스위칭 주기 : 2H
Data 스위칭 주기 : 4H

도면7

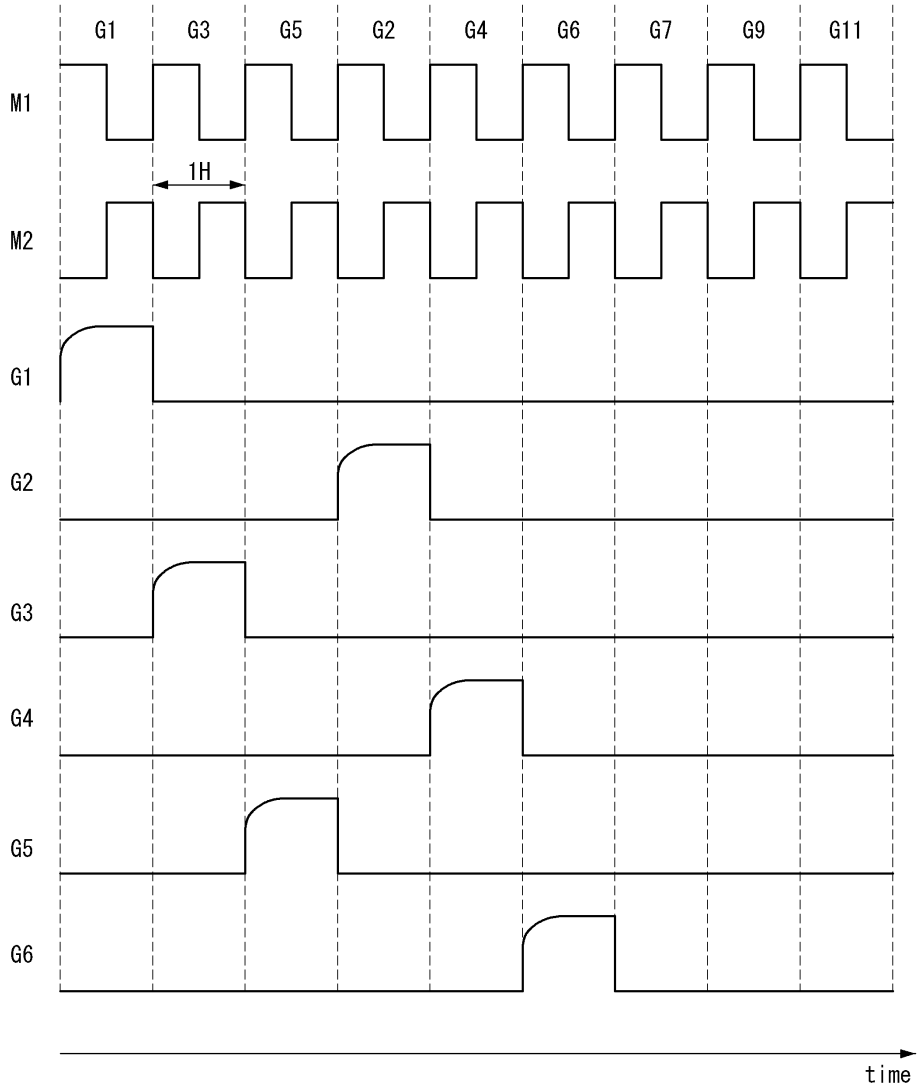

MUX
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (+)
Amp (−)
Amp (−)
Amp (+)
M1
M2
T1
T2
T3
T4
20
G1
G2
G3
G4
G5
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
L1
L2
L3
L4
C1
C2
C3
C4
C5
C6
C7
C8
(1)
(2)
(3)
(4)
(5)
(6)
(7)
(8)
(9)
Y
X

도면8a

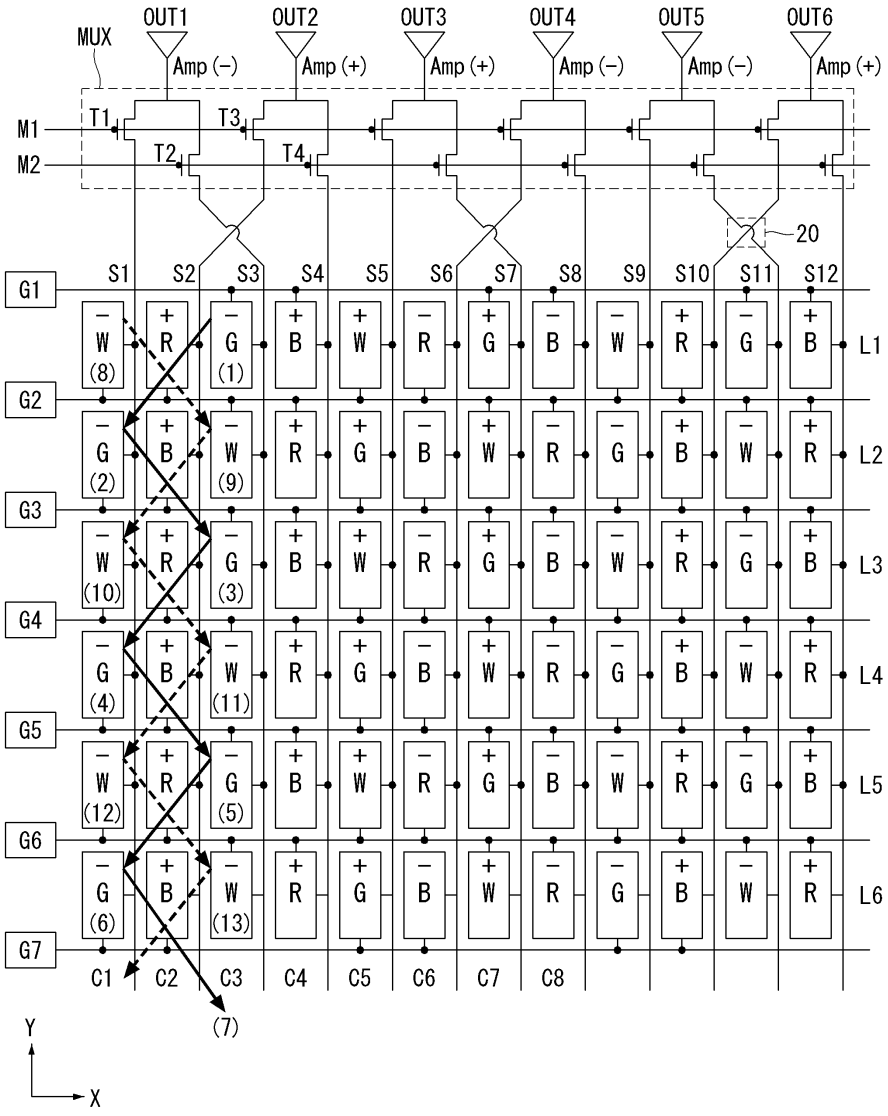


MUX 스위칭 주기 : 1H
Data 스위칭 주기 : 6H

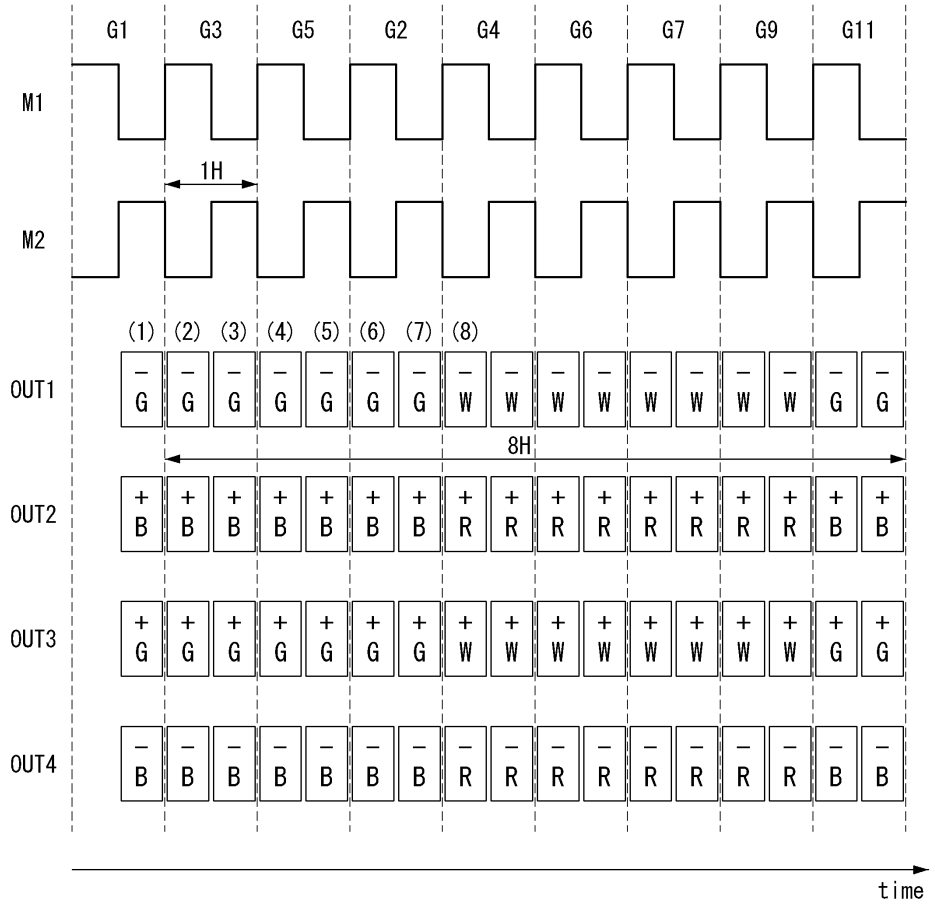
도면8b



도면9

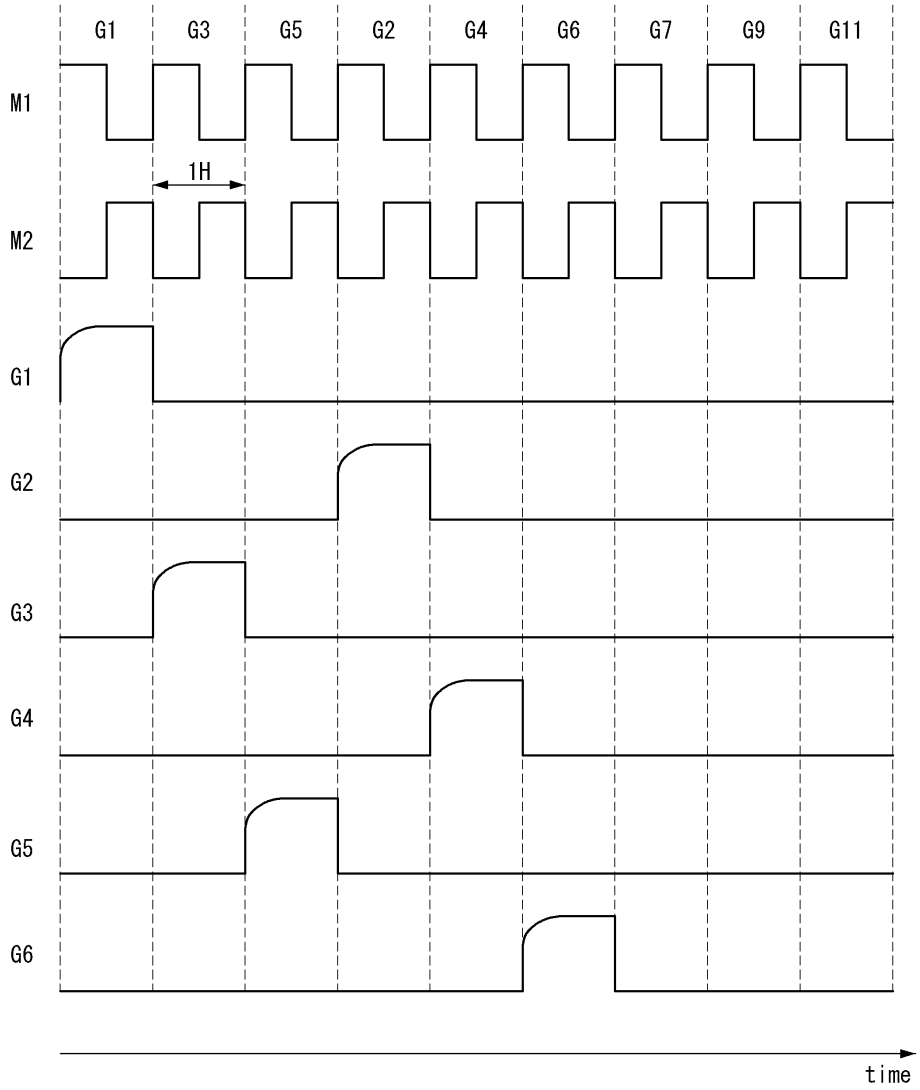

MUX
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (+)
Amp (−)
Amp (−)
Amp (+)
M1
M2
T1
T2
T3
T4
20
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
G1
G2
G3
G4
G5
G6
G7
L1
L2
L3
L4
L5
L6
C1
C2
C3
C4
C5
C6
C7
C8
(7)
Y
X

도면10a

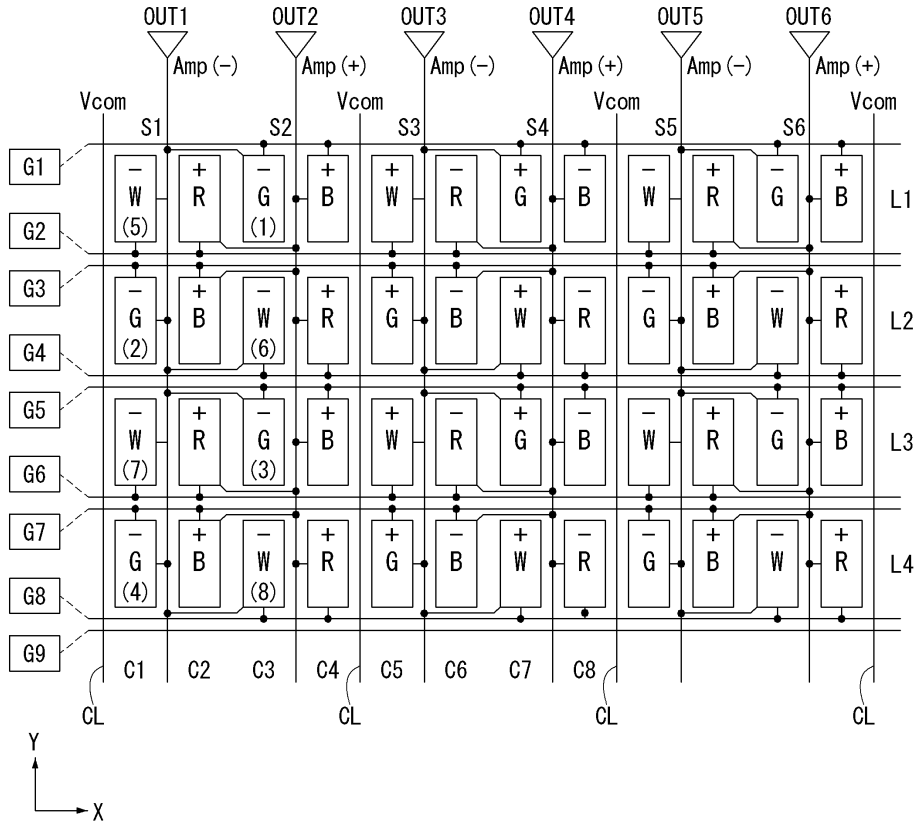


MUX 스위칭 주기 : 1H
Data 스위칭 주기 : 8H

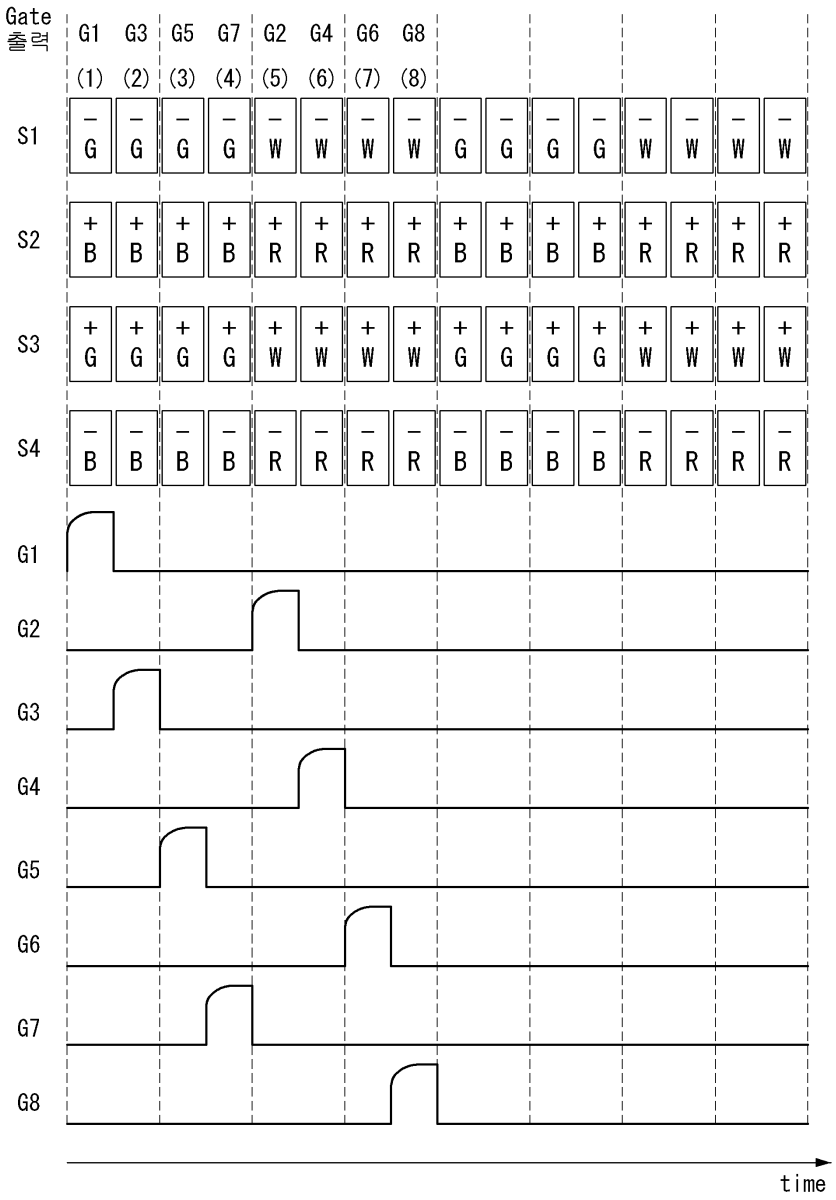
도면10b



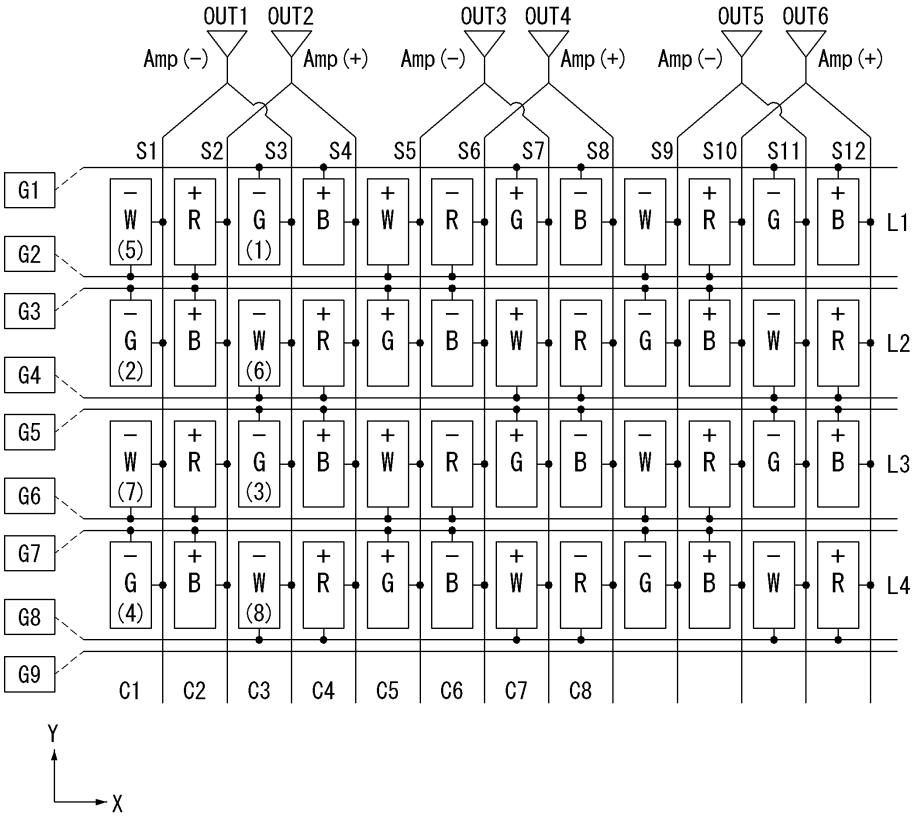
도면11


OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (−)
Amp (+)
Amp (−)
Amp (+)
Vcom
Vcom
Vcom
Vcom
S1
S2
S3
S4
S5
S6
G1
G2
G3
G4
G5
G6
G7
G8
G9
L1
L2
L3
L4
C1
C2
C3
C4
C5
C6
C7
C8
CL
CL
CL
CL
Y
X

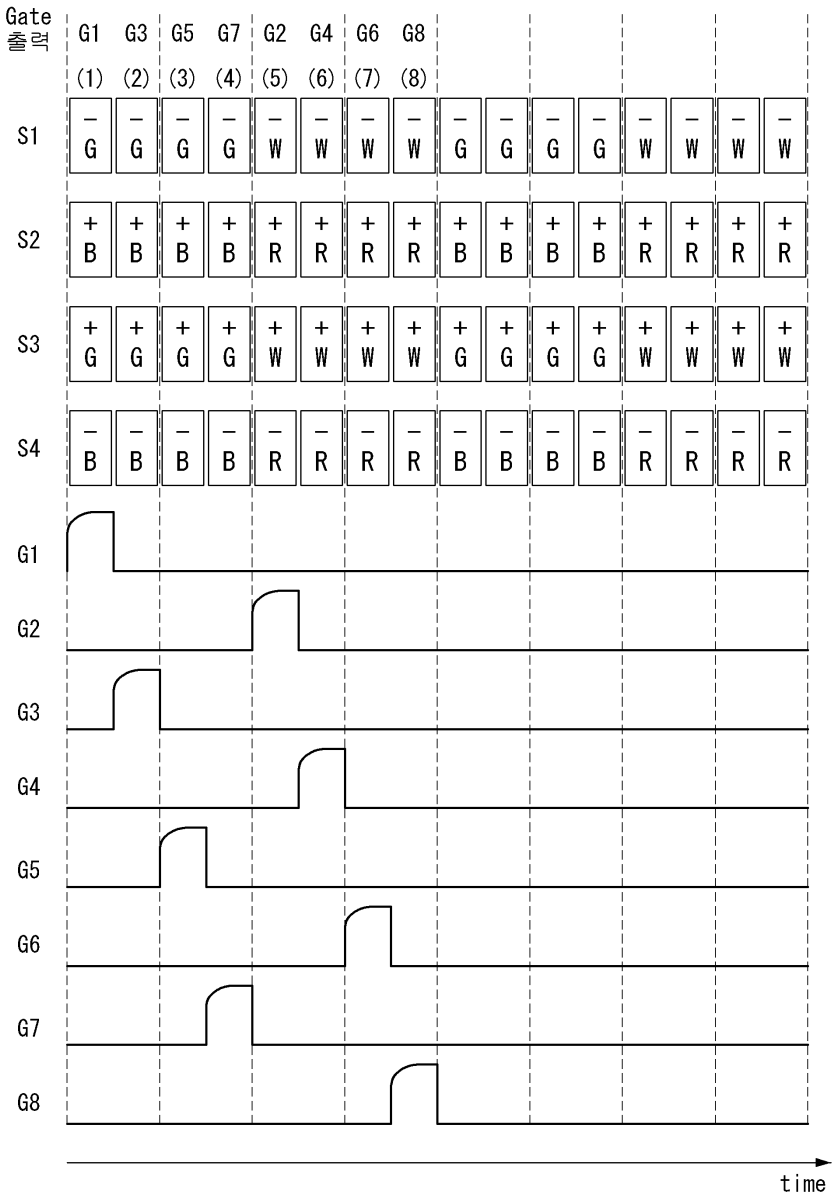
도면12


Gate 출력
G1 G3 G5 G7 G2 G4 G6 G8
(1) (2) (3) (4) (5) (6) (7) (8)
S1
S2
S3
S4
G1
G2
G3
G4
G5
G6
G7
G8
time

도면13


OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
Amp (−)
Amp (+)
Amp (−)
Amp (+)
Amp (−)
Amp (+)
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
G1
G2
G3
G4
G5
G6
G7
G8
G9
L1
L2
L3
L4
C1
C2
C3
C4
C5
C6
C7
C8
Y
X

도면14


Gate 출력
G1 G3 G5 G7 G2 G4 G6 G8
(1) (2) (3) (4) (5) (6) (7) (8)
S1
S2
S3
S4
G1
G2
G3
G4
G5
G6
G7
G8
time