

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-129948

(P2005-129948A)

(43) 公開日 平成17年5月19日(2005.5.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14	2GO65
GO 1 J 1/02	GO 1 J 1/02	2HO89
GO 1 J 1/44	GO 1 J 1/44	2HO91
GO 2 F 1/1333	GO 2 F 1/1333	2HO92
GO 2 F 1/1335	GO 2 F 1/1335 520	4M118

審査請求 未請求 請求項の数 27 O L (全 31 頁) 最終頁に続く

(21) 出願番号	特願2004-306764 (P2004-306764)	(71) 出願人	390019839 三星電子株式会社
(22) 出願日	平成16年10月21日 (2004.10.21)		
(31) 優先権主張番号	2003-074317	(74) 代理人	100094145 大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(32) 優先日	平成15年10月23日 (2003.10.23)		
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100106367 弁理士 小野 由己男
		(74) 代理人	100106367 弁理士 稲積 朋子
		(72) 発明者	金 炯 傑 大韓民国京畿道龍仁市駒城邑普亭里 1 1 6 1 珍山マウル三星5次アパート505棟2 06号
		(72) 発明者	魚 基 漢 大韓民国京畿道龍仁市水枝邑上▲ヒョン▼ 里錦湖ベストヴィル155棟801号

最終頁に続く

(54) 【発明の名称】 光感知素子と、これを有するアレイ基板及び液晶表示装置

(57) 【要約】

【課題】 光感知素子と、これを有するアレイ基板及び液晶表示装置が開示される。

【解決手段】 ゲートラインはゲート信号を伝達し、スイッチング素子はゲートラインとデータラインによって定義される領域に形成され、ゲート電極がゲートラインに連結され、ソース電極がデータラインに連結される。光感知素子は、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、制御電極に電氣的に連結され、外部光とバイアス電圧に応答して生成される光漏洩電流を出力する第2電極を含む。これによって、一つのTFEで構成された光感知素子を単位画素に形成することで、開口率を向上させることができる。

【特許請求の範囲】

【請求項 1】

一定レベルを反復するバイアス電圧が印加される第 1 電極と、
オフ電圧が印加される制御電極と、
外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第 2 電極と、を
含むことを特徴とする光感知素子。

【請求項 2】

前記光感知素子は、薄膜トランジスタを含むことを特徴とする請求項 1 記載の光感知素子。

【請求項 3】

前記光感知素子は、前記第 1 電極と前記第 2 電極との間に配置され、前記制御電極に対応されるチャンネル層を更に含むことを特徴とする請求項 1 記載の光感知素子。

10

【請求項 4】

前記チャンネル層は、アモルファスシリコン層を含むことを特徴とする請求項 3 記載の光感知素子。

【請求項 5】

前記バイアス電圧は、互いに異なる第 1 レベルと第 2 レベルとの間を反復することを特徴とする請求項 1 記載の光感知素子。

【請求項 6】

前記第 1 レベルと前記第 2 レベルは、互いに同じ極性を有することを特徴とする請求項 5 記載の光感知素子。

20

【請求項 7】

前記第 1 レベルと前記第 2 レベルは、互いに反対の極性を有することを特徴とする請求項 5 記載の光感知素子。

【請求項 8】

前記バイアス電圧は - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする請求項 7 記載の光感知素子。

【請求項 9】

一定レベルを反復するバイアス電圧が印加される第 1 電極と、
制御電極と、

前記制御電極と電氣的に連結され、外部光と前記バイアス電圧に
応答して生成する光漏洩電流を出力する第 2 電極と、を含むことを特徴とする光感知素子。

30

【請求項 10】

前記バイアス電圧が - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする請求項 9 記載の光感知素子。

【請求項 11】

前記第 1 電極と第 2 電極との間に配置されたアモルファスシリコン層を更に含むことを特徴とする請求項 9 記載の光感知素子。

【請求項 12】

一定レベルを反復するバイアス電圧が印加される第 1 電極と、
前記第 1 電極に電氣的に連結された制御電極と、

外部光と前記バイアス電圧に
応答して生成される光漏洩電流を出力する第 2 電極と、を含むことを特徴とする光感知素子。

40

【請求項 13】

前記バイアス電圧が - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする請求項 12 記載の光感知素子。

【請求項 14】

前記第 1 電極と第 2 電極との間に配置されたアモルファスシリコン層を更に含むことを特徴とする請求項 12 記載の光感知素子。

【請求項 15】

50

- 透明基板と、
 前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、
 前記透明基板上に配置され、データ信号を伝達するデータラインと、
 前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに連結され、ソース電極が前記データラインに連結されたスイッチング素子と、
 前記透明基板上に配置された読み出しラインと、
 前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、オフ電圧が印加される制御電極と、外部光が前記バイアス電圧に応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板。 10
- 【請求項16】
 前記バイアス電圧を伝達する複数の第1電圧ラインを更に含むことを特徴とする請求項15記載のアレイ基板。
- 【請求項17】
 前記オフ電圧を伝達する複数の第2電圧ラインを更に含むことを特徴とする請求項16記載のアレイ基板。
- 【請求項18】
 前記光感知素子は、アモルファスシリコン薄膜トランジスタを含むことを特徴とする請求項15記載のアレイ基板。 20
- 【請求項19】
 自然光を反射する反射領域と、人工光を透過する透過窓を定義する反射板を更に含み、前記読み出しラインと、光感知素子は前記反射領域に配置されることを特徴とする請求項15記載のアレイ基板。
- 【請求項20】
 透明基板と、
 前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、
 前記透明基板上に配置され、データ信号を伝達するデータラインと、
 前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに連結され、ソース電極が前記データラインに連結されたスイッチング素子と、 30
 前記透明基板上に配置された読み出しラインと、
 前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、前記制御電極と電氣的に連結され、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板。
- 【請求項21】
 前記バイアス電圧を印加する複数の第1電圧ラインを更に含むことを特徴とする請求項20記載のアレイ基板。
- 【請求項22】 40
 前記第1電極は、前記ゲートラインに電氣的に連結されることを特徴とする請求項20記載のアレイ基板。
- 【請求項23】
 透明基板と、
 前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、
 前記透明基板上に配置され、データ信号を伝達するデータラインと、
 前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに電氣的に連結され、ソース電極が前記データラインに電氣的に連結されたスイッチング素子と、
 前記透明基板上に配置された読み出しラインと、 50

前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、前記第1電極に電氣的に連結された制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板。

【請求項24】

前記バイアス電圧が印加される複数の第1電圧ラインを更に含むことを特徴とする請求項23記載のアレイ基板。

【請求項25】

上部基板と、

前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、オフ電圧が印加される制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む下部基板と、

10

前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置。

【請求項26】

上部基板と、

前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、前記制御電極に電氣的に連結され、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む光感知素子を含む下部基板と、

20

前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置。

【請求項27】

上部基板と、

前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、前記第1電極に電氣的に連結された制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出し出力する第2電極を含む光感知素子を含む下部基板と、

30

前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光感知素子と、これを有するアレイ基板及び液晶表示装置に関し、より詳細には減少された配線数によって単純化された光感知素子と、これを有するアレイ基板及び液晶表示装置に関するものである。

【背景技術】

【0002】

一般的に光感知素子は、外部から入力される光に応答して該当位置を感知する機能を遂行する。特に、前記の光感知素子を採用する液晶表示パネルは、非特許文献1で発表したように、複数の光感知素子がマトリクスタイプで配列され、外部光の位置に対応する位置情報の生成を通じて指紋認識機能やタッチパネル機能などの動作に用いられる。

40

【0003】

このように、光感知素子は、ディスプレイ機能を遂行する液晶表示パネル、特に、アレイ基板に採用されて光感知機能を遂行する。

【非特許文献1】ウィレムデンボア (Willem den Boer) などによって2003年SID学会論文に発表した論文に "Active Matrix LCD with Integrated Optical Tough Screen"

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、前記光感知素子は、アレイ基板の単位画素を定義する領域に位置する空間の確保が十分でないので、設計位置に制約を受ける。特に、透過型液晶表示装置や反射 - 透過型液晶表示装置に前記の光感知素子を採用するようになると、開口率を減少させる問題点がある。また、部品数が増加して不良品の増加によって収率が減少する問題点がある。さらに、画素領域内に設計される複数の素子による信号の干渉などを誘発する問題点がある。

【0005】

本発明の技術的な課題は、このような従来の問題点を解決するためであって、本発明の目的は、構造が単純化され液晶表示装置の開口率を向上させる光感知素子を提供することにある。

【0006】

また、本発明の他の目的は、前記の光感知素子を有するアレイ基板を提供することにある。

【0007】

また、本発明のまた他の目的は、前記の光感知素子を有する液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

本願第1発明は、一定レベルを反復するバイアス電圧が印加される第1電極と、オフ電圧が印加される制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極と、を含むことを特徴とする光感知素子を提供する。

【0009】

このように、一定レベルを反復すバイアス電圧が印加された光感知素子が、光感知素子に照射された光に基づいて光漏洩電流を発生することで、光を検知することができる。よって、光検知機能を1つの光感知素子のみで実行できるため、光検知素子としての素子数が減少するとともに、光検知素子を有する液晶表示装置の構造を単純化することができる。また、素子数が少ないため、開口率の減少を低減することができる。さらに、素子数が減少するため、単位画素を小さく形成でき、収率を増加することができる。また、信号干渉を防止することができる。

【0010】

本願第2発明は、第1発明において、前記光感知素子は、薄膜トランジスタを含むことを特徴とする光感知素子を提供する。

【0011】

本願第3発明は、第1発明において、前記光感知素子は、前記第1電極と前記第2電極との間に配置され、前記制御電極に対応されるチャンネル層を更に含むことを特徴とする光感知素子を提供する。

【0012】

本願第4発明は、第3発明において、前記チャンネル層は、アモルファスシリコン層を含むことを特徴とする光感知素子を提供する。

【0013】

本願第5発明は、第1発明において、前記バイアス電圧は、互いに異なる第1レベルと第2レベルとの間を反復することを特徴とする光感知素子を提供する。

【0014】

本願第6発明は、第5発明において、前記第1レベルと前記第2レベルは、互いに同じ極性を有することを特徴とする光感知素子を提供する。

【0015】

本願第7発明は、第5発明において、前記第1レベルと前記第2レベルは、互いに反対

10

20

30

40

50

の極性を有することを特徴とする光感知素子を提供する。

【0016】

本願第8発明は、第7発明において、前記バイアス電圧は - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする光感知素子を提供する。

【0017】

本願第9発明は、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、前記制御電極と電氣的に連結され、外部光と前記バイアス電圧に応答して生成する光漏洩電流を出力する第2電極と、を含むことを特徴とする光感知素子を提供する。

【0018】

本願第10発明は、第9発明において、前記バイアス電圧が - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする光感知素子を提供する。

【0019】

本願第11発明は、第9発明において、前記第1電極と第2電極との間に配置されたアモルファスシリコン層を更に含むことを特徴とする光感知素子を提供する。

【0020】

本願第12発明は、一定レベルを反復するバイアス電圧が印加される第1電極と、前記第1電極に電氣的に連結された制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極と、を含むことを特徴とする光感知素子を提供する。

【0021】

本願第13発明は、第12発明において、前記バイアス電圧が - 7 . 5 V 乃至 1 5 V を反復し、前記光漏洩電流は 1 . 3 V の電圧に対応することを特徴とする光感知素子を提供する。

【0022】

本願第14発明は、第12発明において、前記第1電極と第2電極との間に配置されたアモルファスシリコン層を更に含むことを特徴とする光感知素子を提供する。

【0023】

本願第15発明は、透明基板と、前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、前記透明基板上に配置され、データ信号を伝達するデータラインと、前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに連結され、ソース電極が前記データラインに連結されたスイッチング素子と、前記透明基板上に配置された読み出しラインと、前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、オフ電圧が印加される制御電極と、外部光が前記バイアス電圧に
30
応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板を提供する。

【0024】

本願第16発明は、第15発明において、前記バイアス電圧を伝達する複数の第1電圧ラインを更に含むことを特徴とするアレイ基板を提供する。

【0025】

本願第17発明は、第16発明において、前記オフ電圧を伝達する複数の第2電圧ラインを更に含むことを特徴とするアレイ基板を提供する。

【0026】

本願第18発明は、第15発明において、前記光感知素子は、アモルファスシリコン薄膜トランジスタを含むことを特徴とする請求項15記載のアレイ基板を提供する。

【0027】

本願第19発明は、第15発明において、自然光を反射する反射領域と、人工光を透過する透過窓を定義する反射板を更に含み、前記読み出しラインと、光感知素子は前記反射領域に配置されることを特徴とするアレイ基板を提供する。

10

20

30

40

50

【0028】

本願第20発明は、透明基板と、前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、前記透明基板上に配置され、データ信号を伝達するデータラインと、前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに連結され、ソース電極が前記データラインに連結されたスイッチング素子と、前記透明基板上に配置された読み出しラインと、前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、前記制御電極と電氣的に連結され、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板を提供する。

10

【0029】

本願第21発明は、第20発明において、前記バイアス電圧を印加する複数の第1電圧ラインを更に含むことを特徴とするアレイ基板を提供する。

【0030】

本願第22発明は、第20発明において、前記第1電極は、前記ゲートラインに電氣的に連結されることを特徴とするアレイ基板を提供する。

【0031】

本願第23発明は、透明基板と、前記透明基板上に配置され、ゲート信号を伝達するゲートラインと、前記透明基板上に配置され、データ信号を伝達するデータラインと、前記ゲートラインとデータラインによって定義される領域に形成され、ゲート電極が前記ゲートラインに電氣的に連結され、ソース電極が前記データラインに電氣的に連結されたスイッチング素子と、前記透明基板上に配置された読み出しラインと、前記ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、前記第1電極に電氣的に連結された制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を出力する第2電極を含む光感知素子と、を含むことを特徴とするアレイ基板を提供する。

20

【0032】

本願第24発明は、第23発明において、前記バイアス電圧が印加される複数の第1電圧ラインを更に含むことを特徴とするアレイ基板を提供する。

【0033】

本願第25発明は、前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、オフ電圧が印加される制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む下部基板と、前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置を提供する。

30

【0034】

本願第26発明は、上部基板と、前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、制御電極と、前記制御電極に電氣的に連結され、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出しラインに出力する第2電極を含む光感知素子を含む下部基板と、前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置を提供する。

40

【0035】

本願第27発明は、上部基板と、前記上部基板に対向し、ゲートライン、データライン及び読み出しラインによって定義される領域に形成され、一定レベルを反復するバイアス電圧が印加される第1電極と、前記第1電極に電氣的に連結された制御電極と、外部光と前記バイアス電圧に応答して生成される光漏洩電流を前記読み出し出力する第2電極を含む光感知素子を含む下部基板と、前記上部基板と下部基板との間に形成された液晶層と、を含むことを特徴とする液晶表示装置を提供する。

50

このような光感知素子と、これを有するアレイ基板及び液晶表示装置によると、一つの薄膜トランジスタで構成された光感知素子が液晶表示装置の単位画素に形成され、開口率が向上される。

【発明を実施するための最良の形態】

【0036】

以下、添付した図面を参照して本発明の望ましい実施例を詳細に説明する。

【0037】

図1は、一般的なアレイ基板に採用される光感知素子の等価回路図である。特に、液晶表示パネルの単位画素領域に形成された光感知素子を図示する。

【0038】

図1を参照すると、一般的な光感知素子を有する液晶表示パネルは、複数のゲートライン(G_L)、複数のデータライン(D_L)、ゲートライン(G_L)とデータライン(D_L)に電気的に連結された第1スイッチング素子(Q₁)、第1スイッチング素子(Q₁)に連結された液晶キャパシタ(C_{LC})及び第1ストレージキャパシタ(C_{ST1})を含む。また、第1電圧ライン(V_{L1})、第2電圧ライン(V_{L2})、外部光の強さを検出して電流に変換させる第2スイッチング素子(T_{S1})、第2スイッチング素子(T_{S1})から提供された電流によって形成された電荷を保存する第2ストレージキャパシタ(C_{ST2})、第2ストレージキャパシタ(C_{ST2})に保存された電荷を出力する第3スイッチング素子(T_{S2})及び読み出しライン(R_{OL})を含む。前記第2スイッチング素子(T_{S1})、第2ストレージキャパシタ(C_{ST2})及び第3スイッチング素子(T_{S2})は一種の光感知部を形成する。

10

20

【0039】

では、前記光感知部の動作は次のようである。

【0040】

まず、第2スイッチング素子(T_{S1})に外部光が入射されると、前記第2スイッチング素子(T_{S1})のゲート電極に連結された第2電圧ライン(V_{L2})に負の電圧が印加され、第2スイッチング素子(T_{S1})の第1ドレイン電極に連結された第1電圧ライン(V_{L1})に正の電圧が印加され、前記第2スイッチング素子(T_{S1})をオフ状態にする。そうすると、外部光が入射された第2スイッチング素子(T_{S1})では外部光が入射されない第3スイッチング素子(T_{S2})に比べ相当大きさの光漏洩電流が生成されるようになる。

30

【0041】

このように生成された光漏洩電流は、第3スイッチング素子(T_{S2})がオフされた状態で第2ストレージキャパシタ(C_{ST2})を充電させるようになり、前記第2ストレージキャパシタ(C_{ST2})に充電された電荷は、第3スイッチング素子(T_{S2})がターンオンされるまで維持される。

【0042】

前記第3スイッチング素子(T_{S2})のゲート電極に連結された上にゲートライン(G_{Q+1})にハイレベルのゲート信号を印加することによって、第2ストレージキャパシタ(C_{ST2})に充電された電荷は、前記第3スイッチング素子(T_{S2})を通して読み出しライン(R_{OL})に沿って読み出し回路部(図示せず)に出力される。

40

【0043】

一つの画素に二つの光感知用薄膜トランジスタと一つのキャパシタを形成するようになるので、不良率の増加によって収率が減少する問題点があり、画素領域内に設計される複数の素子による信号干渉などを誘発する問題点がある。

【0044】

図2は、本発明の第1実施例による光感知素子を説明するための等価回路図である。

【0045】

図2を参照すると、前記光感知素子を有する液晶表示パネルは、ゲートライン(G_L)と、データライン(D_L)、第1スイッチング素子(Q₁)、液晶キャパシタ(C_{LC})

50

、ストレージキャパシタ（CST）、第1電圧ライン（VL1）、第2電圧ライン（VL2）、第2スイッチング素子（Q2）及び読み出しライン（ROL）を含む。

【0046】

ゲートライン（GL）は、横方向に延在し、ゲート信号（GQ）を第1スイッチング素子（Q1）に伝達する。データライン（DL）は、縦方向に延在し、データ信号（DP）を第1スイッチング素子（Q1）に伝達する。ここで、前記液晶表示装置は、複数の前記データライン（DL）及びゲートライン（GL）を含むことができる。

【0047】

第1スイッチング素子（Q1）は、互いに隣接するゲートライン（GL）とデータライン（DL）によって定義される領域に形成される。前記第1スイッチング素子（Q1）の第1ソース電極はデータライン（DL）に連結され、前記第1スイッチング素子（Q1）の第1ゲート電極はゲートライン（GL）に連結される。第1スイッチング素子（Q1）のゲートライン（GL）にハイレベルのゲート信号（GQ）が印加される場合、前記第1スイッチング素子（Q1）は前記データ信号（DP）を、ドレインを通じて出力する。

10

【0048】

液晶キャパシタ（CLC）の第1端部は、第1スイッチング素子（Q1）の第1ドレイン電極に連結され、前記液晶キャパシタ（CLC）の第2端部は、共通電極電圧（VCOM）に印加される。前記ドレインを通じて提供されるデータ信号（DP）は、前記液晶キャパシタ（CLC）に保存される。

【0049】

ストレージキャパシタ（CST）の第1端部は、第1スイッチング素子（Q1）の第1ドレイン電極に連結され、前記ストレージキャパシタ（CST）の第2端部にはストレージ電圧（VST）が印加される。ストレージキャパシタ（CST）は、前記第1スイッチング素子（Q1）の前記ドレイン電極を通じて提供されるデータ信号（DP）を保存し、前記第1スイッチング素子（Q1）がターンオフされると、前記液晶キャパシタ（CLC）に充電された電荷が放電され、保存された電荷が液晶キャパシタ（CLC）に提供される。

20

【0050】

第1電圧ライン（VL1）は、前記横方向に延在し、外部から提供される第1電圧（VDD）を第2スイッチング素子（Q2）に提供する。第2電圧ライン（VL2）は、横方向に延在し、外部から提供される第2電圧（VOFF）を第2スイッチング素子（Q2）に提供する。ここで、前記第1電圧（VDD）は、バイアス電圧（Bias Voltage）であることができ、前記第2電圧（VOFF）は、オフ電圧レベル（Off Level Voltage）であることもできる。望ましくは、前記オフ電圧レベル電圧は、前記バイアス電圧の最低値と同じ値である。ここで、前記液晶表示装置は、複数の第1電圧ライン（VL1）及び第2電圧ライン（VL2）を含むことができる。

30

【0051】

第2スイッチング素子（Q2）は、バイアス電圧（VDD）を伝達する第1電圧ライン（VL1）、オフ電圧レベル（VOFF）を伝達する第2電圧ライン（VL2）及び前記データ電圧（DL）によって定義される領域に形成される。前記第2スイッチング素子（Q2）の第2ソース電極は第1電圧ライン（VL1）に連結され、前記第2スイッチング素子（Q2）のゲート電極は第2電圧ライン（VL2）に連結される。第2スイッチング素子（Q2）の第2ソース電極と第2ドレイン電極との間に外部光が入射されると、光漏洩電流（Light-Induced Leakage Current）が前記第2スイッチング素子（Q2）の第2ドレイン電極を通じて読み出しライン（ROL）に流れる。前記光漏洩電流は、所定の位置に対応する光感知信号である。

40

【0052】

読み出しライン（ROL）は、縦方向に延在し、第2スイッチング素子（Q2）の第2ドレイン電極を通じて出力される光漏洩電流である光感知信号を駆動IC（図示せず）に出力する。

50

【0053】

第2スイッチング素子(Q2)のゲート電極にはオフレベルの電圧(VOFF)が印加され、前記第2スイッチング素子(Q2)の第2ソース電極にはバイアス電圧(VDD)が印加され、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加されると、前記第2スイッチング素子の第2ドレイン電極を通じて光感知信号が出力される。

【0054】

例えば、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加されない状態では、前記第2スイッチング素子(Q2)の第2ソース電極に-7.5V乃至15Vで反復するバイアス電圧(VDD)が印加されても第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に光漏洩電流が流れない。

10

【0055】

第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加される状態では、前記第2スイッチング素子の第2ソース電極に-7.5V乃至15Vで反復するバイアス電圧(VDD)が印加されることによって、前記第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に光漏洩電流が発生され、これによって読み出しラインに前記光漏洩電流が流れて、光感知信号が発生する。前記読み出しラインの終端に連結された読み出しIC(図示せず)は、前記光感知信号によって位置情報を抽出する。このように、バイアス電圧(VDD)は、互いに異なる第1レベルと第2レベルとの間を反復している。また、この第1レベルと第2レベルは、互いに同じ極性を有していても良いし、第1レベルと第2レベルが、互いに反対の極性を有していても良い。さらに、上述のように、バイアス電圧(VDD)が-7.5V乃至15Vを反復する場合、光漏洩電流は約1.3Vの電圧に対応する。

20

【0056】

以上のように、バイアス電圧が印加された第2スイッチング素子(Q2)が、第2スイッチング素子(Q2)に照射された光に基づいて光漏洩電流を発生することで、光を検知することができる。よって、光検知機能を1つの第2スイッチング素子(Q2)のみで実行できるため、光検知素子としての素子数が減少するとともに、光検知素子を有する液晶表示装置の構造を単純化することができる。また、素子数が少ないため、開口率の減少を低減することができる。さらに、素子数が減少するため、単位画素を小さく形成でき、収率を増加することができる。また、信号干渉を防止することができる。

30

【0057】

前記の光感知信号の信号レベルが弱い場合、前記読み出しラインの終端には別途の増幅器やノイズフィルターなどを更に具備することが望ましい。

【0058】

電圧ラインであるとき、前記の第1電圧ライン(VL1)、第2電圧ライン(VL2)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を別途の基板に形成してパターン認識パネルを形成することもできる。前記パターン認識パネルは、液晶表示パネルの上に具備され所定のタッチパネルや指紋認識パネルなどに用いられる。

【0059】

図3は、前記図2の一例によるアレイ基板の平面図であり、図4は、前記図3のA-A'に沿って見た端面図である。

40

【0060】

図3及び図4に図示したように、本発明の第1実施例によるアレイ基板は、透明基板105、複数のゲートライン112、複数のデータライン122、ゲートライン112とデータライン122に連結された第1スイッチング素子(Q1)、ストレージキャパシタ(CST)、第1電圧ライン114、第2電圧ライン118、第2スイッチング素子(Q2)、読み出しライン126、画素電極160、そして反射領域と透過窓134を定義する反射板170を具備する。

【0061】

50

複数のゲートライン 112 は、透明基板（図面番号付与せず）上に横方向に延在し縦方向に複数配列され、複数のデータライン 122 は、前記透明基板上に縦方向に延在し、横方向に複数配列される。前記ゲートライン 112 及び前記データライン 122 は、複数の区画された領域を定義する。

【0062】

第1スイッチング素子(Q1)は、ゲートライン 112 とデータライン 122 に区画された領域に形成される。前記ゲートライン 112 から延在した第1ゲート電極 113、前記データライン 122 から延在した第1ソース電極 123 及び前記第1ソース電極 123 から離隔された第1ドレイン電極 124 を含む。前記第1ゲート電極 113 は、前記第1ソース電極 123 と前記第1ドレイン電極 124 との間に配置され、前記第1ソース電極 123 及び前記第1ドレイン電極 124 と電氣的に絶縁される。

10

【0063】

ストレージキャパシタ(CST)は、第1ゲートライン 112 の形成時に形成された第1電圧ライン 114 とデータライン 122 の形成時に形成された第1ドレイン電極 124 によって定義される。

【0064】

第1電圧ライン 114 及び第2電圧ライン 118 は、ゲートライン 112 と平行に透明基板上に横方向に延在し、縦方向に複数配列される。

【0065】

読み出しライン 126 は、データライン 122 と平行に前記透明基板上に縦方向に延在し、横方向に複数配列される。

20

【0066】

第2スイッチング素子(Q2)は、第1電圧ライン 114 と連結された第2ゲート電極 117、読み出しライン 126 と連結された第2ドレイン電極 127、読み出しラインと一定間隔に離隔された第2ソース電極 128 を含む。

【0067】

画素電極 160 は、透明材質のITO層又はIZO層で構成され、互いに隣接するゲートライン 112 と互いに隣接するデータライン 122 によって区画される画素領域のそれぞれに形成される。前記画素電極は、第1ホール 132 を通じて前記第1ドレイン電極 124 と連結されてディスプレイのための画素電圧の印加を受ける。

30

【0068】

反射板 170 は、画素電極 160 上に形成され、自然光を反射する反射領域と人工光を透過させる透過窓 134 を定義する。前記反射板 170 は前記第2ゲート電極 117 に対応する第2ホール 136 を含んで外部光が前記チャンネル領域に印加されるようにする。

【0069】

図5乃至9は、前記図3の製造工程の順序を説明するための図面である。

【0070】

まず、図3乃至図5を参照すると、ガラスやセラミックなどの絶縁物質からなった透明基板 105 上にタンタル(Ta)、チタニウム(Ti)、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、銅(Cu)又はタングステン(W)などのような金属を蒸着した後、蒸着された金属をパターンニングしてゲートライン 112、第1ゲート電極 113、第1電圧ライン 114、第2ゲート電極 117 及び第2電圧ライン 118 を形成する。

40

【0071】

ゲートライン 112 は、横方向に延在し縦方向に複数配列され、第1ゲート電極 113 は、ゲートライン 112 から延在する。第1電圧ライン 114 及び第2電圧ライン 118 は、前記ゲートライン 112 が延在する方向と平行に形成される。第2ゲート電極 117 は、第1電圧ライン 114 から延在する。

【0072】

続いて、前記第1ゲート電極 113 を含む基板 105 の全面に窒化シリコンを蒸着して

50

ゲート絶縁膜 119 を形成する。ここで、前記窒化シリコンをプラズマ化学気相蒸着法で蒸着することもできる。

【0073】

前記ゲート絶縁膜 119 上にアモルファスシリコン膜及びインシチュ (i n s i t u) ドーピングされた n + アモルファスシリコン膜を形成する。前記アモルファスシリコン膜及び前記 n + アモルファスシリコン膜をパターンングして前記ゲート絶縁膜 119 のうち、前記第 1 ゲート電極 113 及び第 2 ゲート電極 117 が位置した部分上に半導体層 117 a 及びオーミックコンタクト層 117 b で構成される第 1 アクティブ層 117 c 及び第 2 アクティブ層 117 d をそれぞれ形成する。また、第 2 電圧ライン 118 の一部に対応するゲート絶縁膜 119 を除去して第 4 ホール 119 a を形成する。

10

【0074】

前記ゲート絶縁膜 119 は、前記基板の全面に形成されることもでき、前記ゲートライン 112 と第 1 ゲート電極 113 をカバーするようにパターンングされることもできる。続いて、図 6 に図示したように、前記図 5 による結果物が形成された基板の上にタンタル (T a)、チタニウム (T i)、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、銅 (C u) 又はタングステン (W) などのような金属を蒸着する。

【0075】

続いて、前記蒸着された金属をパターンングしてデータライン 122、第 1 ソース電極 123、第 1 ドレイン電極 124、読み出しライン 126、第 2 ドレイン電極 127 及び第 2 ソース電極 128 を形成する。前記上部に形成される第 1 ドレイン電極 124 と下部に形成される第 1 電圧ライン 114 は、平面上で観察するとき、一定領域が重なってストレージキャパシタ (C S T) としての動作を遂行する。

20

【0076】

データライン 122 は、縦方向に延在し横方向に複数配列され、第 1 ソース電極 123 は前記データライン 122 から延在する。第 1 ドレイン電極 124 は、前記第 1 ソース電極 123 から一定間隔に離隔されて配置される。

【0077】

読み出しライン 126 は、縦方向に延在し横方向に複数配列され、第 2 ドレイン電極 127 は、前記読み出しライン 126 から延在する。第 2 ソース電極 128 は、前記第 2 ドレイン電極 127 から一定間隔に離隔され、第 4 ホール 119 a を通して下部に形成された第 2 電圧ライン 118 に連結される。

30

【0078】

続いて、図 7 に図示したように、前記図 6 による結果物が形成された基板の上にレジストを蒸着して有機絶縁層 130 を厚く形成する。ここで、前記フォトリソグラフィをスピニング (S p i n C o a t i n g) 方法によって形成することもできる。続いて、前記ゲートライン 112 と前記ゲートライン 112 によって定義される各画素において、有機絶縁層 130 の一部を除去して前記第 1 ドレイン電極 124 の一部領域を露出させる第 1 ホール 132 を形成し、有機絶縁層 130 の他の一部を除去して透明基板 105 を露出させる前記透過窓 134 を形成し、有機絶縁層 130 のまた他の一部を除去して第 2 ゲート電極 117 上に形成された半導体層 117 a の一部を露出させる第 2 ホール 136 を形成する。

40

【0079】

続いて、図 8 に図示したように、前記の第 1 ホール、透過窓及び第 2 ホール 132、134、136 が形成された有機絶縁層 130 の表面に互いに異なる高さの凹部 142 と凸部 144 を有する凹凸部材 146 を形成した上にパッシベーション膜 150 を形成する。前記の凹凸部材 146 は、以後形成される反射板による反射効率を高める。

【0080】

続いて、図 9 に図示したように、パッシベーション膜 150 上に画素電極 160 を形成し、前記画素電極 160 は前記第 1 ドレイン電極 124 とは前記第 1 ホール 132 を通じて連結される。ここで、前記画素電極 160 は全面塗布した後、前記毎画素領域に対応す

50

るITO層のみ残られるようにパターンングすることもでき、前記毎画素領域のみに形成されるように部分塗布することもできる。ここで、前記画素電極160が前記データライン122及び前記データライン122から一定間隔に離隔されたことを図示したが、最小幅にオーバーラップされることもできる。

【0081】

前記画素電極160の一部上に反射板170を形成してアレイ基板を完成する。前記反射板170は、前記透過窓134を定義し、第2ホール136に対応する部分には形成されず、外部光が第2スイッチング素子のアクティブ層に印加されるようにする。勿論、前記反射板170上に液晶のラビングのための別途の配向膜(図示せず)が更に形成されることもできる。

10

【0082】

図面上には毎画素別に区画された反射板170を形成することを図示したが、前記有機絶縁層130上の全面に反射板170が形成されることもできる。また、前記凹部142と凸部144を有する凹凸部材146が省略されることもできる。

【0083】

図10は、本発明の第2実施例による光感知素子を説明するための等価回路図である。本実施例で、第2電圧ライン及び第2スイッチ素子を除いた余りの構成要素は、実施例1と同じであるため、重複されたことについては詳細な説明は省略する。

【0084】

図10を参照すると、本発明の第2実施例による光感知素子を有する液晶表示パネルは、ゲートライン(GL)と、データライン(DL)、第1スイッチング素子(Q1)、液晶キャパシタ(CLC)、ストレージキャパシタ(CST)、第1電圧ライン(VL1)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を含む。ここで、前記液晶表示装置は、複数の前記データライン(DL)及びゲートライン(GL)を含むことができる。

20

【0085】

複数のゲートライン(GL)は、横方向に延在し、ゲート信号(GQ)を第1スイッチング素子(Q1)に伝達する。複数のデータライン(DL)は縦方向に延在し、データ信号(DP)を第1スイッチング素子(Q1)に伝達する。

【0086】

第1スイッチング素子(Q1)は、互いに隣接するゲートライン(GL)とデータライン(DL)によって定義される領域に形成される。前記第1スイッチング素子(Q1)の第1ソース電極は、データライン(DL)に連結され、第1ゲート電極はゲートライン(GL)に連結される。第1スイッチング素子(Q1)は、ゲートライン(GL)にハイレベルのゲート信号が印加されることによって、アクティブされて前記データ信号を第1ドレイン電極を通じて出力する。

30

【0087】

液晶キャパシタ(CLC)は、第1端部は第1スイッチング素子(Q1)の第1ドレイン電極に連結され、第2端部には共通電極電圧(VCOM)が印加される。前記液晶キャパシタ(CLC)には前記第1スイッチング素子(Q1)の第1ドレイン電極を通じて提供されるデータ信号を保存する。

40

【0088】

ストレージキャパシタ(CST)の第1端部は、第1スイッチング素子(Q1)の第1ドレイン電極に連結され、前記ストレージキャパシタの第2端部にはストレージ電圧が印加される。ストレージキャパシタ(CST)は、前記第1スイッチング素子の第1ドレイン電極を通じて提供されるデータ信号を保存していた後、前記第1スイッチング素子(Q1)がターンオフされ、前記液晶キャパシタ(CLC)に充電された電荷が放電することによって保存された電荷を液晶キャパシタ(CLC)に提供する。

【0089】

第1電圧ライン(V1)は、横方向に延在し、外部から提供される第1電源電圧(VD

50

D)を第2スイッチング素子(Q2)に提供する。

【0090】

第2スイッチング素子(Q2)は、第1電圧ライン(VL1)と読み出しライン(ROL)によって定義される領域に形成され、前記第2スイッチング素子(Q2)の第2ソース電極は第1電圧ライン(VL1)に連結され、前記第2スイッチング素子(Q2)の第2ゲート電極は第2ドレイン電極に共通連結され、読み出しライン(ROL)に連結される。第2スイッチング素子(Q2)は前記第2ソース電極と第2ドレイン電極との間に外部光が入射されることによって、光電流(Photo Current)を前記第2スイッチング素子(Q2)の第2ドレイン電極を通じて読み出しライン(ROL)に提供する。即ち、第2スイッチング素子(Q2)のゲート-ドレインの間の電圧差は0ボルトであり、外部光による光漏洩電流を検出して位置情報を検出する。

10

読み出しライン(ROL)は、縦方向に延在し、第2スイッチング素子(Q2)の第2ドレイン電極を通じて出力される光電流を光感知信号として外部の駆動IC(図示せず)側に出力する。

【0091】

駆動時、第2スイッチング素子(Q2)の第2ソース電極には一定レベルを反復するバイアス電圧(VDD)が印加され、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加されることによって、第2ゲート電極と共通連結された第2ドレイン電極を通じて光感知信号が出力される。

【0092】

例えば、第2スイッチング素子(Q2)のチャンネル領域に外部光が印加されない状態では、前記第2ソース電極に-7.5V乃至15Vで反復するバイアス電圧(VDD)が印加されても第2スイッチング素子(Q2)のチャンネル領域を通じた光漏洩電流は発生しない。

20

【0093】

しかし、第2スイッチング素子(Q2)のチャンネル領域に外部光が印加される状態では前記第2ソース電極に-7.5V乃至15Vで反復するバイアス電圧(VDD)が印加されることによって、前記第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に光漏洩電流が発生され、発生された光漏洩電流が光感知信号として読み出しラインを通じて出力される。前記読み出しラインの終端に連結された読み出しラインIC(図示せず)では、前記光感知信号の変化量に基づいて該当画素に対応する位置情報を抽出することができる。

30

【0094】

このように、バイアス電圧(VDD)は、互いに異なる第1レベルと第2レベルとの間を反復している。また、この第1レベルと第2レベルは、互いに同じ極性を有していても良いし、第1レベルと第2レベルが、互いに反対の極性を有していても良い。さらに、上述のように、バイアス電圧(VDD)が-7.5V乃至15Vを反復する場合、光漏洩電流は約1.3Vの電圧に対応する。

【0095】

以上のように、バイアス電圧が印加された第2スイッチング素子(Q2)が、第2スイッチング素子(Q2)に照射された光に基づいて光漏洩電流を発生することで、光を検知することができる。よって、光検知機能を1つの第2スイッチング素子(Q2)のみで実行できるため、光検知素子としての素子数が減少するとともに、光検知素子を有する液晶表示装置の構造を単純化することができる。また、素子数が少ないため、開口率の減少を低減することができる。さらに、素子数が減少するため、単位画素を小さく形成でき、収率を増加することができる。また、信号干渉を防止することができる。

40

【0096】

前記の光感知信号の信号レベルが弱い場合、前記読み出しラインの終端には別途の増幅器やノイズフィルターなどを更に具備することが望ましい。

【0097】

50

ここで、前記の第1電圧ライン(VL1)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を別途の基板に形成してパターン認識パネルに定義することもできる。前記パネル認識パネルは、液晶表示パネル上に具備され所定のタッチパネルや指紋認識パネルなどで用いられる。

【0098】

図11は、前記の図10の一例によるアレイ基板の平面図である。

【0099】

図11を参照すると、本発明の第1実施例によるアレイ基板は、透明基板、複数のゲートライン212、複数のデータライン222、ゲートライン212とデータライン222に連結された第1スイッチング素子(Q1)、ストレージキャパシタ(CST)、第1電圧ライン218、第2スイッチング素子(Q2)及び読み出しライン226、画素電極260、そして反射領域と透過窓234を定義する反射板270を具備する。

10

【0100】

複数のゲートライン212は、透明基板(図面番号付与せず)上に横方向に延在し縦方向に複数配列され、複数のデータライン222は、前記透明基板上に縦方向に延在し横方向に複数配列され、複数の区画された領域を定義する。

【0101】

第1スイッチング素子(Q1)は、ゲートライン212とデータライン222に区画された領域に形成されるが、前記ゲートライン212から延在した第1ゲート電極213、前記データライン222から延在した第1ソース電極223及び前記第1ソース電極223から離隔された第1ドレイン電極224を含む。

20

【0102】

ストレージキャパシタ(CST)は、ゲートライン212の形成時に形成されたストレージライン214とデータライン222の形成時に形成された第1ドレイン電極224によって定義される。

【0103】

第1電圧ライン218は、ゲートライン212と平行に透明基板(図面番号付与せず)上に横方向に延在し、縦方向に複数配列される。

【0104】

読み出しライン226は、データライン222と平行に前記透明基板上に縦方向に延在し、横方向に複数配列され複数の区画された領域を定義する。

30

【0105】

第2スイッチング素子(Q2)は、ゲートライン212の形成時に形成した第2ゲート電極217、読み出しライン226から延在した第2ドレイン電極227及び読み出しライン226から一定間隔に離隔された第2ソース電極228を含む。前記第2ゲート電極217と前記第2ドレイン電極228はホール238を通じて連結される。

【0106】

画素電極260は、透明材質のITO層又はIZO層からなり、互いに隣接するゲートライン212と互いに隣接するデータライン222によって区画される画素領域のそれぞれに形成されるが、第1ホール232を通じて前記第1ドレイン電極224と連結されてディスプレイのための画素電圧の印加を受ける。

40

【0107】

反射板270は、前記画素電極260上に形成され、自然光を反射する反射領域と人工光を透過させる透過窓234を定義し、第2スイッチング素子のチャンネル領域に対応しては形成されず、外部光が前記チャンネル領域に印加されるようにする。

【0108】

図12及び16は、前記図11の製造工程の順序を説明するための図面である。

【0109】

図11及び図12を参照すると、ガラスやセラミックなどの絶縁物質からなった透明基板205上にタンタル(Ta)、チタニウム(Ti)、モリブデン(Mo)、アルミニウム

50

ム (A l)、クロム (C r)、銅 (C u) 又はタングステン (W) などのような金属を蒸着した後、蒸着された金属をパターニングしてゲートライン 2 1 2、第 1 ゲート電極 2 1 3、ストレージライン 2 1 4、第 2 ゲート電極 2 1 7 及び第 1 電圧ライン 2 1 8 を形成する。

【 0 1 1 0 】

ゲートライン 2 1 2 は、横方向に延在し縦方向に複数配列され、第 1 ゲート電極 2 1 3 はゲートライン 2 1 2 から延在する。ストレージライン 2 1 4 及び第 2 電圧ライン 2 1 8 は、前記ゲートライン 2 1 2 が延在する方向と平行に形成される。第 2 ゲート電極 2 1 7 は単位画素領域内にフローティングされるようパターニングされる。

【 0 1 1 1 】

続いて、前記第 1 ゲート電極 2 1 3 を含む基板の全面に窒化シリコンを積層してゲート絶縁膜 (図示せず) を形成する。ここで、前記窒化シリコンは、プラズマ化学気相蒸着法で蒸着されることもできる。前記ゲート絶縁膜上にアモルファスシリコン膜及びインシチュ (i n s i t u) ドーピングされた n + アモルファスシリコン膜を形成した後、パターニングして前記ゲート絶縁膜のうち、下の前記第 1 ゲート電極 2 1 3 及び第 2 ゲート電極 2 1 7 が位置した部分上には半導体層及びオーミックコンタクト層で構成される第 1 アクティブ層 2 1 7 c 及び第 2 アクティブ層 2 1 7 d をそれぞれ形成する。また、第 2 電圧ライン 2 1 8 の一部に対応するゲート絶縁膜を除去して第 4 ホール 2 1 9 a を形成して第 2 電圧ライン 2 1 8 の一部を露出させる。

【 0 1 1 2 】

前記ゲート絶縁膜は、前記基板の全面に形成されることができ、前記ゲートライン 2 1 2 とゲート電極 2 1 3 をカバーするようパターニングされることもできる。

【 0 1 1 3 】

続いて、図 1 3 に図示したように、前記図 1 2 による結果物が形成された基板の上に tantalum (T a)、チタニウム (T i)、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、銅 (C u) 又はタングステン (W) などのような金属を蒸着する。

【 0 1 1 4 】

続いて、前記蒸着された金属をパターニングしてデータライン 2 2 2、第 1 ソース電極 2 2 3、第 2 ドレイン電極 2 2 4、読み出しライン 2 2 6、第 2 ドレイン電極 2 2 7 及び第 2 ソース電極 2 2 8 を形成する。前記上部に形成される第 1 ドレイン電極 2 2 4 と下部に形成されるキャパシタ配線は一定領域重なってストレージキャパシタ (C S T) を形成する。

【 0 1 1 5 】

データライン 2 2 2 は、縦方向に延在し横方向に複数配列され、第 1 ソース電極 2 2 3 は、前記データライン 2 2 2 から延在し、第 1 ドレイン電極 2 2 4 は前記第 1 ソース電極 2 2 3 から一定間隔に離隔してパターニングされる。第 1 ドレイン電極 2 2 4 と下部に形成されるストレージライン 2 1 4 は一定領域重なってストレージキャパシタ (C S T) を形成する。

【 0 1 1 6 】

読み出しライン 2 2 6 は、縦方向に延在し横方向に複数配列され、第 2 ドレイン電極 2 2 7 は、前記読み出しライン 2 2 6 から延在し、第 2 ソース電極 2 2 8 は、前記第 2 ドレイン電極 2 2 7 から一定間隔に離隔されるようパターニングされて、第 4 ホール 2 1 9 a を通して下部に形成された第 1 電圧ライン 2 1 8 に連結される。また、前記第 2 ゲート電極 2 1 7 と前記第 2 ドレイン電極 2 2 8 はホール 2 3 8 を通じて連結される。

【 0 1 1 7 】

続いて、図 1 4 に図示したように、前記図 1 3 による結果物が形成された基板の上にフォトリソを積層して有機絶縁層 (図示せず) を厚く形成する。ここで、前記フォトリソをスピンコーティング方法で積層することもできる。続いて、前記ゲートライン 2 1 2 と前記データライン 2 2 2 によって定義される各画素において、前記有機絶縁層の一部を除去して前記第 1 ドレイン電極 2 2 4 の一部領域を露出させる第 1 ホール 2 3 2 を形成

10

20

30

40

50

し、前記有機絶縁層の他の一部を除去して透明基板（図示せず）を露出させる透過窓 2 3 4 を形成し、前記有機絶縁層のまた他の一部を除去して第 2 ゲート電極 2 1 7 上に形成されたアクティブ層の一部を露出させる第 2 ホール 2 3 6 を形成する。前記第 2 ホール 2 3 6 を通じて外部光を入射させて前記アクティブ層に光漏洩電流を誘発するためである。

【0118】

続いて、図 1 5 に図示したように、前記した第 1 ホール 2 3 2、透過窓 2 3 4 及び第 2 ホール 2 3 6 が形成された有機絶縁膜の表面をエンボシング処理して互いに異なる高さの凹部 2 4 2 と凸部 2 4 4 を有する凹凸部材 2 4 6 を形成した後、パッシベーション膜を形成する。前記の凹凸部材 2 4 6 は、以後形成される反射板による反射効率を高める。

【0119】

続いて、図 1 6 に図示したように、パッシベーション膜上に画素電極を定義する画素電極 2 6 0 を形成し、前記画素電極 2 6 0 は、前記第 1 ドレイン電極 2 2 4 とは既に形成された第 1 ホール 2 3 2 を通じて連結される。ここで、前記画素電極 1 6 0 は、全面塗布した後、前記毎画素領域に対応する I T O 層のみ残るようパターニングすることもでき、前記毎画素領域のみに形成されるよう部分的に塗布することもできる。前記画素電極 2 6 0 が前記データライン 2 2 2 及び前記データライン 2 2 2 から一定間隔に離隔される。ここで、前記画素電極 2 6 0 が前記データライン 2 2 2 又は前記データライン 2 2 2 と最小幅でオーバーラップされることもできる。

【0120】

続いて、反射板 2 7 0 を形成して前記図 1 1 で図示したようなアレイ基板を完成する。前記反射板 2 7 0 は、透過窓 2 3 4 を定義し、第 2 ホール 2 3 6 に対応しては形成されておらず、外部光が第 2 スイッチング素子（Q 2）のアクティブ層に印加されるようにする。勿論、前記の反射板 2 7 0 上に液晶の配向のための別途の配向膜（図示せず）を更に形成することもできる。

【0121】

図面上には、毎画素別に区画された反射板 2 7 0 を形成することを図示したが、前記有機絶縁層 2 3 0 によって定義される透過窓 3 3 4 を除いた余りの領域に反射板 2 7 0 を形成することもできる。

【0122】

図 1 7 は、本発明の第 3 実施例による光感知素子を説明するための等価回路図である。本実施例で、第 1 電圧ライン、第 2 電圧ライン及び第 2 スイッチング素子を除いた余りの構成要素は実施例 1 と同じであるので重複された部分に対しては詳細な説明を省略する。

【0123】

図 1 7 を参照すると、本発明の第 3 実施例による光感知素子を有する液晶表示パネルは、ゲートライン（G L）と、データライン（D L）、第 1 スイッチング素子（Q 1）、液晶キャパシタ（C L C）、ストレージキャパシタ（C S T）、第 2 スイッチング素子（Q 2）及び読み出しライン（R O L）を含む。

【0124】

ゲートライン（G L）は、横方向に延在しゲート信号を第 1 スイッチング素子（Q 1）に伝達し、データライン（D L）は、縦方向に延在しデータ信号を第 1 スイッチング素子（Q 1）に伝達する。

【0125】

第 1 スイッチング素子（Q 1）は、互いに隣接するゲートライン（G L）とデータライン（D L）によって定義される領域に形成され、前記第 1 スイッチング素子（Q 1）の第 1 ソース電極がデータライン（D L）に連結され、第 1 ゲート電極がゲートライン（G L）に連結される。第 1 スイッチング素子（Q 1）は、ゲートライン（G L）にハイレベルのゲート信号が印加されると、前記データ信号を前記第 1 スイッチング素子（Q 1）の第 1 ドレイン電極を通じて出力する。

【0126】

液晶キャパシタ（C L C）は、第 1 端部が第 1 スイッチング素子（Q 1）の第 1 ドレイ

10

20

30

40

50

ン電極に連結され、第2端部には、共通電極電圧(VCOM)が印加され、前記第1スイッチング素子(Q1)の第1ドレイン電極を通じて提供されるデータ信号を保存する。

【0127】

ストレージキャパシタ(CST)は、第1端部は第1スイッチング素子(Q1)の第1ドレイン電極に連結され、第2端部にはストレージ電圧が印加される。ストレージキャパシタ(CST)は、前記第1スイッチング素子(Q1)の第1ドレイン電極を通じて提供されるデータ信号を保存していて、前記第1スイッチング素子(Q1)がターンオフされて前記液晶キャパシタ(CLC)に充電された電荷が放電されることによって保存された電荷を液晶キャパシタ(CLC)に提供する。

【0128】

第2スイッチング素子(Q2)は、ゲートライン(GL)と読み出しライン(ROL)によって定義される領域に形成され、前記第2スイッチング素子(Q2)の第2ソース電極が次のゲートライン(GQ+1)に連結され、前記第2スイッチング素子(Q2)の第2ゲート電極が第2ドレイン電極に共通連結され、読み出しライン(ROL)に連結される。第2スイッチング素子(Q2)は、チャンネル領域を通じて外部光が入射されることによって、光電流(Photo Current)を前記第2スイッチング素子(Q2)の第2ドレイン電極を通じて読み出しライン(ROL)に提供する。即ち、第2スイッチング素子(Q2)のゲート-ドレインの間の電圧(Vgd)が0ボルトである状態で外部光による光漏洩電流の差を検出して位置情報を検出する。

10

【0129】

読み出しライン(ROL)は、縦方向に延在し、第2スイッチング素子(Q2)の第2ドレイン電極を通じて出力される光電流を光感知信号として外部の駆動IC(図示せず)側に出力する。

20

【0130】

駆動時、第2スイッチング素子(Q2)の第2ドレイン電極にはゲートラインを通じて伝達されるゲート信号GQ+1が印加され、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加されることによって、ゲートと共通連結されたドレインを通じて光感知信号が出力される。

【0131】

例えば、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加されない状態では前記第2スイッチング素子(Q2)の第2ソース電極にハイレベルの信号が印加されても第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に光漏洩電流が発生しない。

30

【0132】

しかし、第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が印加される状態では、第2スイッチング素子(Q2)の前記第2ソース電極にハイレベルのゲート信号が印加されることによって、前記第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に光漏洩電流が発生され、発生された光漏洩電流を光感知信号として読み出しラインを通じて出力する。前記読み出しラインの終端に連結された読み出しIC(図示せず)では、前記光感知信号の変化量に基づいて該当画素に対応する位置情報を抽出することができる。このとき、前記図17によるアレイ基板は、前記図10によるアレイ基板に比べ別途の電圧ラインが省略されて開口率が増加する。

40

【0133】

ここで、前記第2スイッチング素子(Q2)及び読み出しライン(ROL)を別途の基板に形成し、前記第2スイッチング素子(Q2)のドレインに電源を供給する電圧ラインを形成してパターン認識パネルで定義されることもできる。前記パネル認識パネルは、液晶表示パネル上に具備され、所定のタッチパネルや指紋認識パネルなどで用いられる。

【0134】

このように、第3実施例では、第1及び第2実施例のバイアス電圧(VDD)の代わりにゲート信号GQ+1を第2スイッチング素子(Q2)に印加する。ここで、複数のゲー

50

ト信号は、順次活性化されていく。よって、 $GQ + 1$ は、一定の期間活性化された後、非活性となる。このようなゲート信号 $GQ + 1$ が印加された第2スイッチング素子 ($Q2$) が、第2スイッチング素子 ($Q2$) に照射された光に基づいて光漏洩電流を発生することで、光を検知することができる。よって、光検知機能を1つの第2スイッチング素子 ($Q2$) のみで実行できるため、光検知素子としての素子数が減少するとともに、光検知素子を有する液晶表示装置の構造を単純化することができる。また、素子数が少ないため、開口率の減少を低減することができる。さらに、素子数が減少するため、単位画素を小さく形成でき、収率を増加することができる。また、信号干渉を防止することができる。

【0135】

図18は、前記図17の一例によるアレイ基板の平面図である。

10

【0136】

図18を参照すると、本発明の第3実施例によるアレイ基板は、透明基板、複数のゲートライン312、複数のデータライン322、ゲートライン312とデータライン322に連結された第1スイッチング素子 ($Q1$)、ストレージキャパシタ (CST)、第2スイッチング素子 ($Q2$) 及び読み出しライン326、画素電極360、そして反射領域と透過窓334を定義する反射板370を具備する。

【0137】

複数のゲートライン312は、透明基板(図面番号付与せず)上に横方向に延在し縦方向に複数配列され、複数のデータライン322は、前記透明基板上に立て方向に延在し、横方向に複数配列されて複数の区画された領域を定義する。

20

【0138】

第1スイッチング素子 ($Q1$) は、ゲートライン312とデータライン322に区画された領域に形成されるが、前記第1ゲートライン312から延在した第1ゲート電極313、前記データライン322から延在した第1ソース電極323及び前記第1ソース電極323から離隔された第1ドレイン電極324を含む。

【0139】

ストレージキャパシタ (CST) は、ゲートライン312形成時に形成されたストレージライン314とデータライン322形成時に形成された第1ドレイン電極324によって定義される。

【0140】

30

読み出しライン326は、データライン322と平行に前記透明基板上に縦方向に延在し横方向に複数配列され、複数の区画された領域を定義する。

【0141】

第2スイッチング素子 ($Q2$) は、ゲートライン312の形成時に形成した第2ゲート電極317、読み出しライン326から延在した第2ドレイン電極327、読み出しライン326から一定間隔に離隔された第2ソース電極328を含む。前記第2ゲート電極317と第2ドレイン電極328はホール338を通じて連結される。

【0142】

画素電極360は、透明材質のITO層又はIZO層からなり、互いに隣接するゲートライン312と互いに隣接するデータライン322によって区画される画素領域のそれぞれに形成されるが、第1ホール332を通じて前記第1ドレイン電極324と連結されディスプレイのための画素電圧の印加を受ける。

40

【0143】

反射板370は、前記画素電極360上に形成され自然光を反射する反射領域と人工光を透過させる透過窓334を定義し、第2スイッチング素子のチャンネル領域に対しては形成されず、外部光が前記チャンネル領域に印加されるようにする。

【0144】

図19乃至23は、前記図18の製造工程の順序を説明するための図面である。

【0145】

まず、図18及び図19を参照すると、ガラスやセラミックなどの絶縁物質からなった

50

透明基板上にタンタル (Ta)、チタニウム (Ti)、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、銅 (Cu) 又はタングステン (W) などのような金属を蒸着した後、蒸着された金属をパターンングしてゲートライン 312、第1ゲート電極 313、ストレージライン 314、第2ゲート電極 317を形成する。

【0146】

ゲートライン 312は、横方向に延在し縦方向に複数配列され、第1ゲート電極 313はゲートライン 312から延在する。ストレージライン 314は、前記ゲートライン 312の延在する方向と平行に形成される。第2ゲート電極 317は、ゲートライン 312の形成時に一定間隔に離隔されてフローティング状態にパターンングされる。

【0147】

続いて、前記第1ゲート電極 313を含む基板の全面に窒化シリコンを積層してゲート絶縁膜を形成する。ここで、前記窒化シリコンは、プラズマ化学気相蒸着法で蒸着されることもできる。前記ゲート絶縁膜上にアモルファスシリコン膜及びインシチュ (insitu) ドーピングされたn+アモルファスシリコン膜を形成しパターンングして前記ゲート絶縁膜のうち、下に前記第1ゲート電極 313及び第2ゲート電極 317が位置した部分上に半導体層及びオーミックコンタクト層で構成される第1アクティブ層 317c及び第2アクティブ層 317dをそれぞれ形成する。また、ゲートライン 312の一部に対応するゲート絶縁膜を除去して第4ホール 319aを形成する。望ましくは、前記ゲートライン 312の一部は縦方向に突出され、前記4ホール 319aは前記突出された部分に対応して配置される。

10

20

【0148】

前記ゲート絶縁膜は、前記基板の全面に形成されることもでき、前記ゲートライン 312と第1ゲート電極 313をカバーするようにパターンングされることもできる。

【0149】

続いて、図20に図示したように、前記図19による結果物が形成された基板上にタンタル (Ta)、チタニウム (Ti)、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、銅 (Cu) 又はタングステン (W) などのような金属を蒸着する。

【0150】

続いて、前記蒸着された金属をパターンングしてデータライン 322、第1ソース電極 323、第1ドレイン電極 324、読み出しライン 326、第2ドレイン電極 327及び第2ソース電極 328を形成する。

30

【0151】

データライン 322は、縦方向に延在し横方向に複数配列され、第1ソース電極 323は、前記データライン 322から延在し、第1ドレイン電極 324は、前記第1ソース電極 323から一定間隔に離隔されてパターンングされる。第1ドレイン電極 324と下部に形成されるストレージライン 314は、平面上で観察するとき、一定領域が重なってストレージキャパシタ (CST) を形成する。

【0152】

読み出しライン 326は、縦方向に延在し横方向に複数配列され、第2ドレイン電極 327は、前記読み出しライン 326から延在し、第2ソース電極 328は、前記第2ドレイン電極 327から一定間隔に離隔されるようにパターンングされる。また、前記第2ゲート電極 317と前記第2ドレイン電極 328はホール 338を通じて連結される。

40

【0153】

続いて、図21に図示したように、前記図20による結果物が形成された基板上にフォトリジストを積層して有機絶縁層を厚く形成する。ここで、前記フォトリジストをスピニング方法で形成することもできる。続いて、前記ゲートライン 312と前記データライン 322によって定義される各画素において、前記有機絶縁層の一部を除去して前記ドレイン電極 324の一部領域を露出させる第1ホール 332を形成し、前記有機絶縁層の他の一部を除去して透明基板を露出させる透過窓 334を形成し、前記有機絶縁層のまた他の一部を除去して第2ゲート電極 317上に形成された半導体層の一部を露出させ

50

る第2ホール336を形成する。

【0154】

続いて、図22に図示したように、前記第1ホール332、透過窓334及び第2ホール336が形成された有機絶縁層330の表面に互いに異なる高さの凹部342と凸部334を有する凹凸部材346を形成した後、パッシベーション膜を形成する。前記の凹凸部材346は、以後形成される反射板による反射効率を高める。

【0155】

続いて、図23に図示したように、前記パッシベーション膜上に画素電極を定義する画素電極360を形成し、前記画素電極360は、前記ドレイン電極324とは第1ホール332を通じて連結される。ここで、前記画素電極360は、全面塗布した後、前記毎画素領域に対応するITO層のみ残られるようにパターンニングすることもでき、前記毎画素領域のみに形成されるように部分塗布されることもできる。前記画素電極360が前記データライン322及び前記ゲートライン322から一定間隔に離隔されることを図示したが、最小幅でオーバーラップされることもできる。

10

【0156】

続いて、反射板370を形成してアレイ基板を完成する。前記反射板370は、透過窓334を定義し、第2ホール336に対応しては形成されず、外部光がセンシングTFEのアクティブ層に印加されるようにする。勿論、前記反射板370上に液晶のラビングのための別途の配向膜(図示せず)を更に含むこともできる。

【0157】

図面上では、毎画素別に区画された反射板370を形成することを図示したが、前記有機絶縁層330によって定義される透過窓334を除いた余りの領域に反射板370を形成することもできる。

20

【0158】

図24は、本発明の第4実施例による光感知素子を説明するための等価回路図である。本実施例で、第2電圧ライン及び第2スイッチング素子を除いた余りの構成要素は実施例1と同じであるので重複された部分に対しては詳細な説明を省略する。

【0159】

図24を参照すると、本発明の第4実施例による光感知素子を有する液晶表示パネルは、ゲートライン(GL)と、データライン(DL)、第1スイッチング素子(Q1)、液晶キャパシタ(CLC)、ストレージキャパシタ(CST)、第1電圧ライン(VL1)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を含む。

30

【0160】

複数のゲートライン(GL)は、横方向に延在し、ゲート信号を第1スイッチング素子(Q1)に伝達し、複数のデータライン(DL)は、縦方向に延在してデータ信号を第1スイッチング素子(Q1)に伝達する。

【0161】

第1スイッチング素子(Q1)は、互いに隣接するゲートライン(GL)とデータライン(DL)によって定義される領域に形成される。前記第1スイッチング素子(Q1)の第1ソース電極がデータライン(DL)に連結され、前記第1スイッチング素子(Q1)のゲートがゲートライン(GL)に連結される。第1スイッチング素子(Q1)は、ゲートライン(GL)にハイレベルのゲート信号が印加されると、前記データ信号を前記第1スイッチング素子(Q1)の第1ドレイン電極を通じて出力する。

40

【0162】

液晶キャパシタ(CL C)の第1端部は、第1スイッチング素子(Q1)の第1ドレイン電極に連結され、前記液晶キャパシタ(CL C)の第2端部には共通電極電圧(VCOM)が印加され、前記第1スイッチング素子の第1ドレイン電極を通じて提供されるデータ信号を保存する。

【0163】

ストレージキャパシタ(CST)の第1端部は、第1スイッチング素子(Q1)の第1

50

ドレイン電極に連結され、第2端部にはストレージ電圧が印加される。ストレージキャパシタ(CST)は前記第1スイッチング素子の第1ドレイン電極を通じて提供されるデータ信号を保存して、前記第1スイッチング素子(Q1)がターンオフされて前記液晶キャパシタ(CLC)に充電された電荷が放電されることによって保存された電荷を液晶キャパシタ(CLC)に提供する。

【0164】

第1電圧ライン(VL1)は、横方向に延在し、外部から提供される第1電源電圧(VDD)を第2スイッチング素子(Q2)に提供する。

【0165】

第2スイッチング素子(Q2)は、第1電圧ライン(VL1)と読み出しライン(ROL)によって定義される領域に形成され、前記第2スイッチング素子(Q2)の第2ソース電極と第2ゲート電極が共通連結され第1電圧ライン(VL1)に連結され、前記第2スイッチング素子(Q2)の第2ドレイン電極は読み出しライン(ROL)に連結される。第2スイッチング素子(Q2)の第2ソース電極と第2ドレイン電極との間に外部光が入射されることによって、光漏洩電流(Light-Induced Leakage Current)を前記第2スイッチング素子(Q2)の第2ドレイン電極を通じて読み出しライン(ROL)に提供する。即ち、第2スイッチング素子(Q2)のゲート-ソースの間の電圧(Vgd)が0ボルトである動作点で外部光による光漏洩電流の差を検出して位置情報を検出する。

10

【0166】

読み出しライン(ROL)は、縦方向に延在し、第2スイッチング素子(Q2)の第2ドレイン電極を通じて出力される光漏洩電流を光感知信号として外部の駆動IC(図示せず)側に出力する。

20

【0167】

このように、互いに異なる第1レベルと第2レベルとの間を反復しているバイアス電圧(VDD)が印加された第2スイッチング素子(Q2)が、第2スイッチング素子(Q2)に照射された光に基づいて光漏洩電流を発生することで、光を検知することができる。よって、光検知機能を1つの第2スイッチング素子(Q2)のみで実行できるため、光検知素子としての素子数が減少するとともに、光検知素子を有する液晶表示装置の構造を単純化することができる。また、素子数が少ないため、開口率の減少を低減することができる。さらに、素子数が減少するため、単位画素を小さく形成でき、収率を増加することができる。また、信号干渉を防止することができる。

30

【産業上の利用可能性】

【0168】

以上では、液晶表示パネルの単位画素に第1電圧ライン(VL1)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を形成したもので説明したが、前記第1電圧ライン(VL1)、第2スイッチング素子(Q2)及び読み出しライン(ROL)を別途の基板に形成してパターン認識パネルで定義することもできる。前記パターン認識パネルは、液晶表示パネル上に具備されて所定のタッチパネルや指紋認識などで用いられる。

【0169】

液晶表示パネルの複数の前記光感知素子を含むこともできる。また、前記液晶表示装置は、透過型液晶表示装置、反射型液晶表示装置又は反射-透過型液晶表示装置であることもできる。

40

【0170】

以上で、説明したように、本発明によると、アレイ基板の単位画素に光感知機能を遂行する一つの薄膜トランジスタを形成することで、液晶表示パネルの構造が単純化され、開口率も向上される。

【0171】

また、一般的な液晶表示装置に比べて素子数が減少して収率が増加し、信号干渉が減少する。

50

【0172】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0173】

【図1】一般的なアレイ基板に採用される光感知素子の等価回路図である。

【図2】本発明の第1実施例による光感知素子を説明するための等価回路図である。

【図3】図2の一例によるアレイ基板の平面図である。

【図4】図3のA-A'に沿って見た端面図である。

10

【図5】図3の製造工程を説明するための図面である。

【図6】図3の製造工程を説明するための図面である。

【図7】図3の製造工程を説明するための図面である。

【図8】図3の製造工程を説明するための図面である。

【図9】図3の製造工程を説明するための図面である。

【図10】本発明の第2実施例による光感知素子を説明するための等価回路図である。

【図11】図10の一例によるアレイ基板の平面図である。

【図12】図11の製造工程の順序を説明するための図面である。

【図13】図11の製造工程の順序を説明するための図面である。

【図14】図11の製造工程の順序を説明するための図面である。

20

【図15】図11の製造工程の順序を説明するための図面である。

【図16】図11の製造工程の順序を説明するための図面である。

【図17】本発明の第3実施例による光感知素子を説明するための等価回路図である。

【図18】図17の一例によるアレイ基板の平面図である。

【図19】図18の製造工程の順序を説明するための図面である。

【図20】図18の製造工程の順序を説明するための図面である。

【図21】図18の製造工程の順序を説明するための図面である。

【図22】図18の製造工程の順序を説明するための図面である。

【図23】図18の製造工程の順序を説明するための図面である。

【図24】本発明の第4実施例による光感知素子を説明するための等価回路図である。

30

【符号の説明】

【0174】

105、205 透明基板

112、212、312 ゲートライン

113、213、313 第1ゲート電極

114 第1電圧ライン

117、217、317 第2ゲート電極

118、218 第2電圧ライン

119 ゲート絶縁膜

122、222、322 データライン

40

123、223、323 第1ソース電極

124、224、324 第1ドレイン電極

126、226、326 読み出しライン

127、227、327 第2ドレイン電極

128、228、328 第2ソース電極

130、230、330 有機絶縁層

132、232、332 第1ホール

134、234、334 透過窓

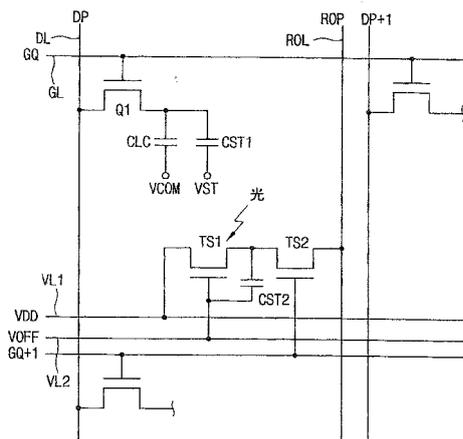
136、236、336 第2ホール

142、242、342 凹部

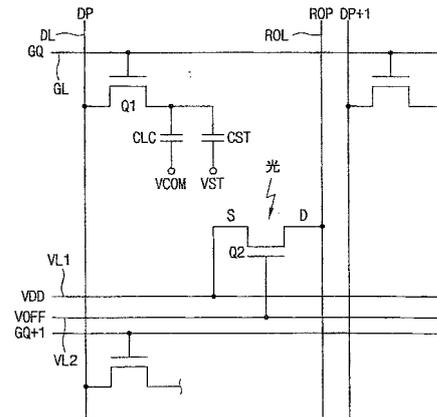
50

- 1 4 4、2 4 4、3 4 4 凸部
- 1 4 6、2 4 6、3 4 6 凹凸部材
- 1 5 0 パッシベーション
- 1 6 0、2 6 0、3 6 0 画素電極
- 1 7 0、2 7 0、3 7 0 反射板
- 2 1 4、3 1 4 ストレージライン

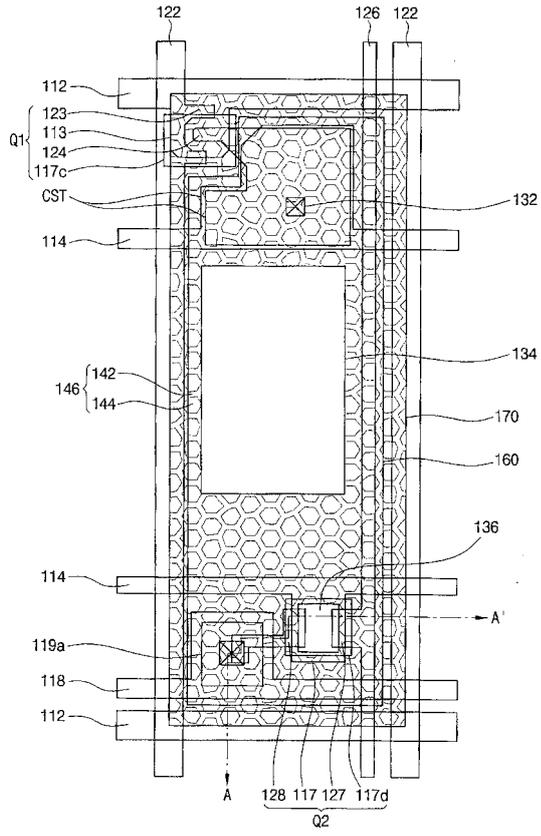
【図 1】



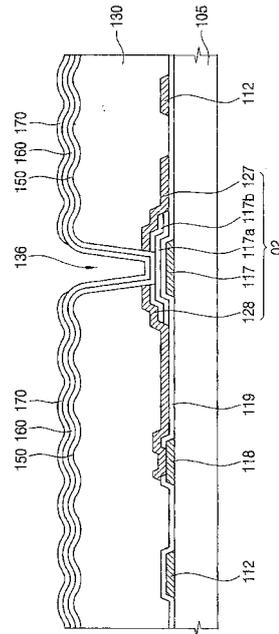
【図 2】



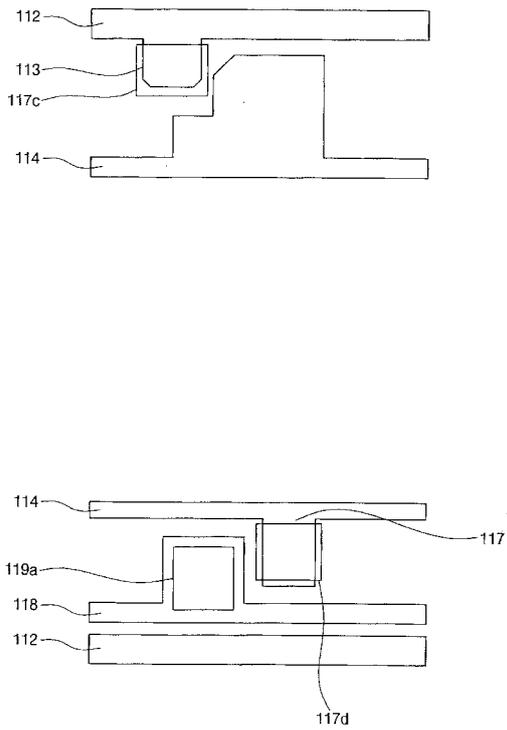
【 図 3 】



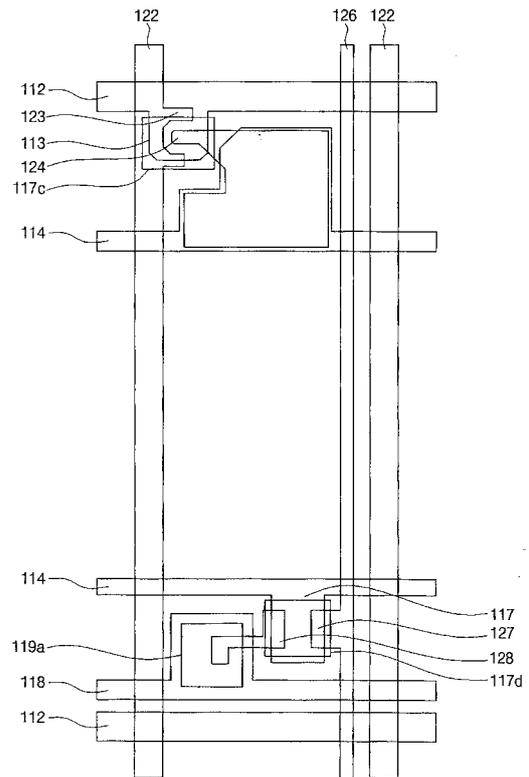
【 図 4 】



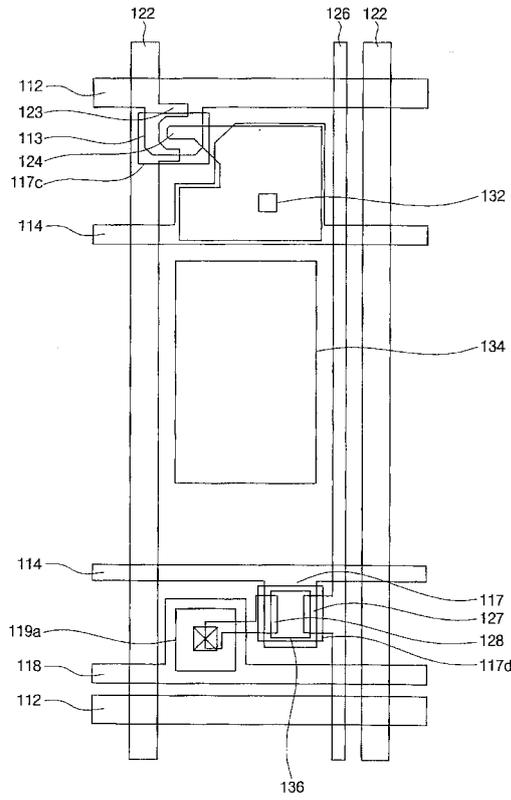
【 図 5 】



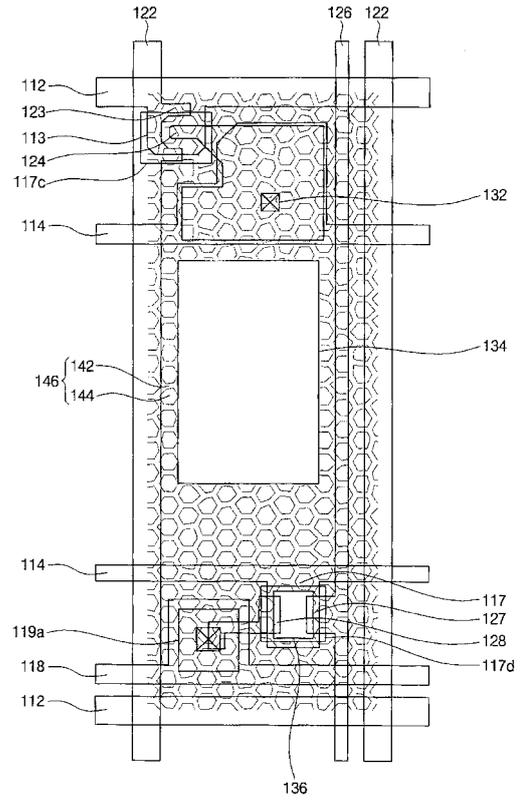
【 図 6 】



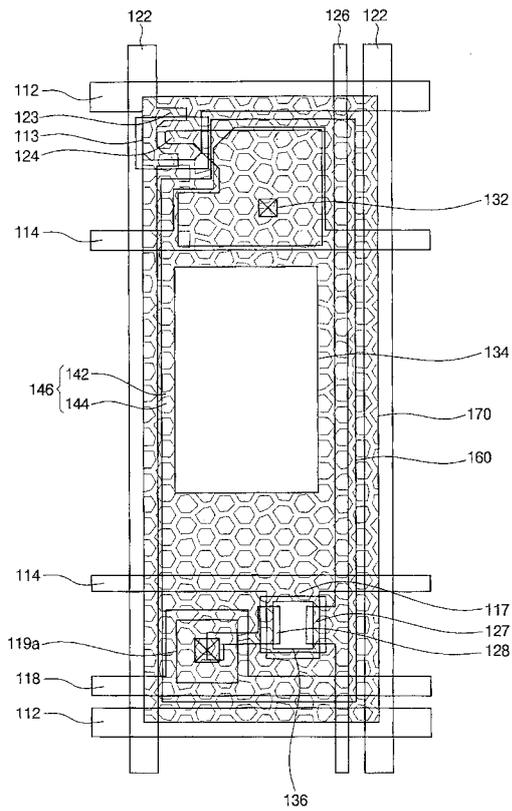
【図 7】



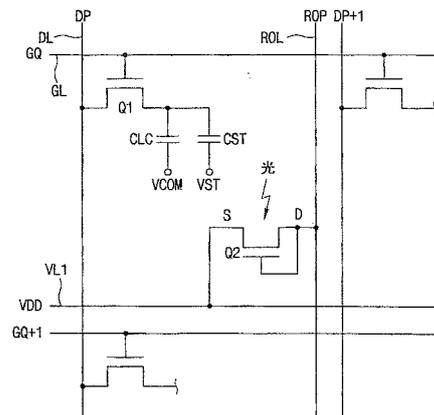
【図 8】



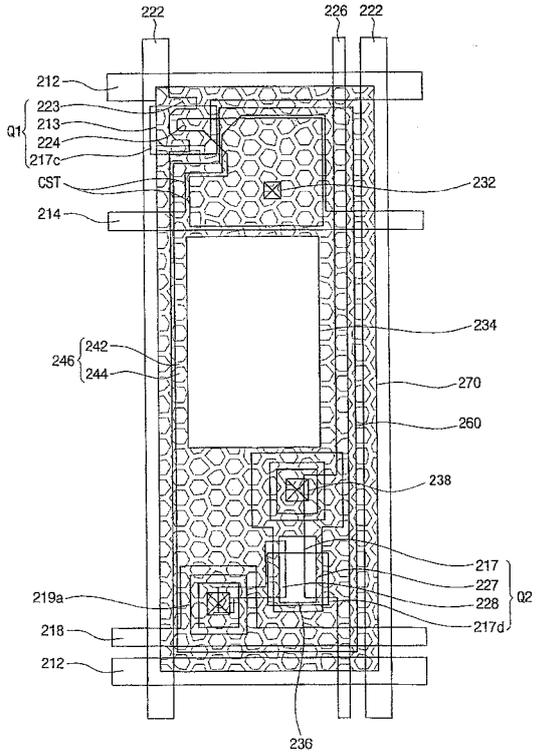
【図 9】



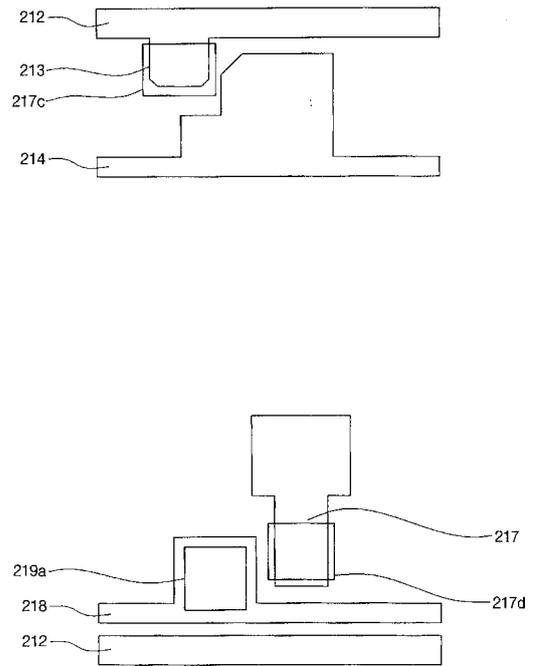
【図 10】



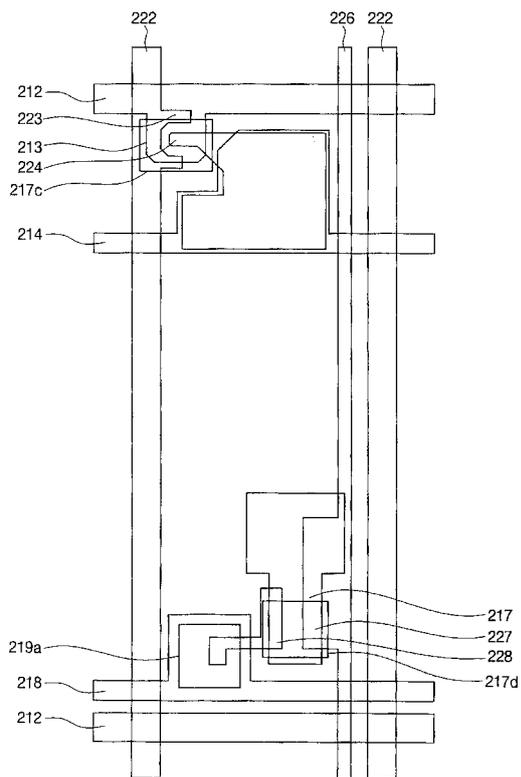
【 図 1 1 】



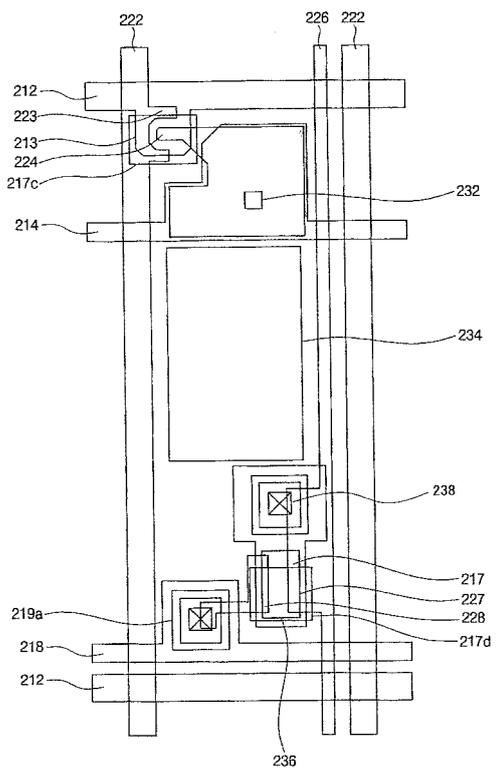
【 図 1 2 】



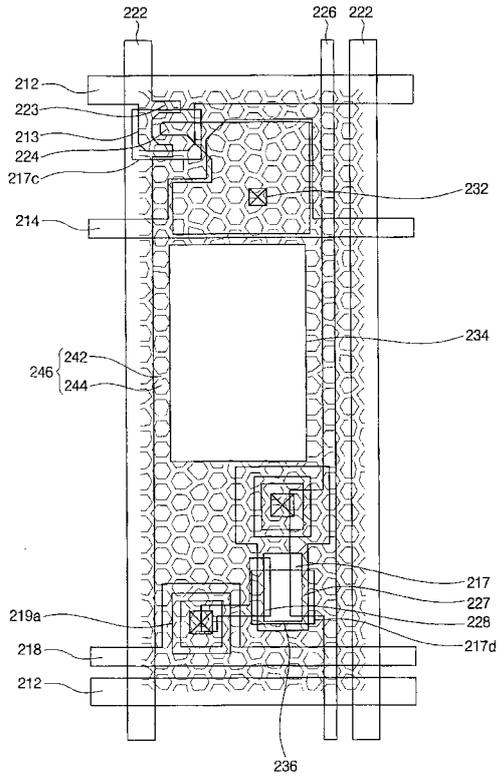
【 図 1 3 】



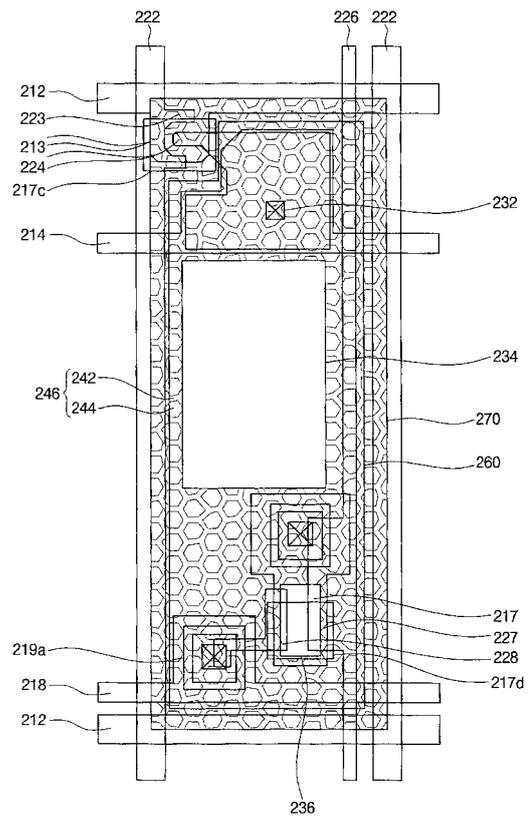
【 図 1 4 】



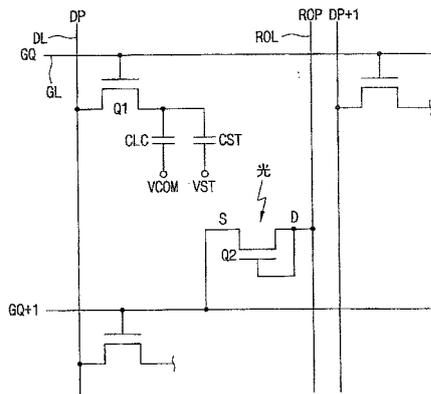
【図 15】



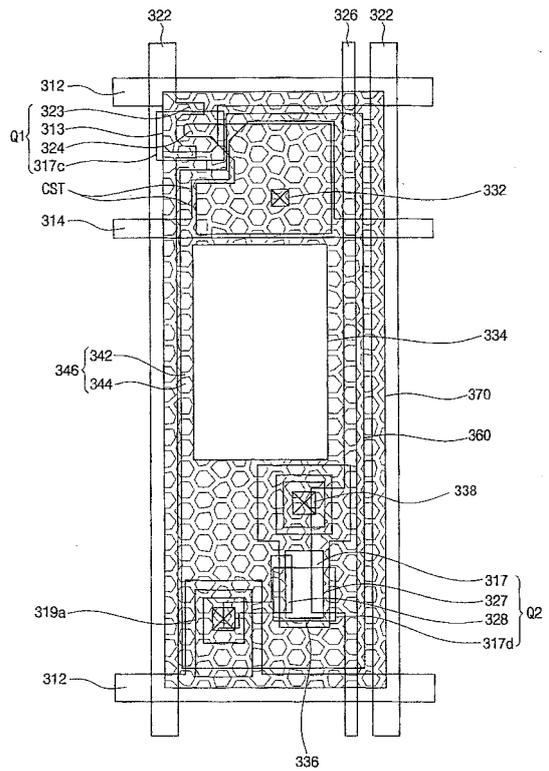
【図 16】



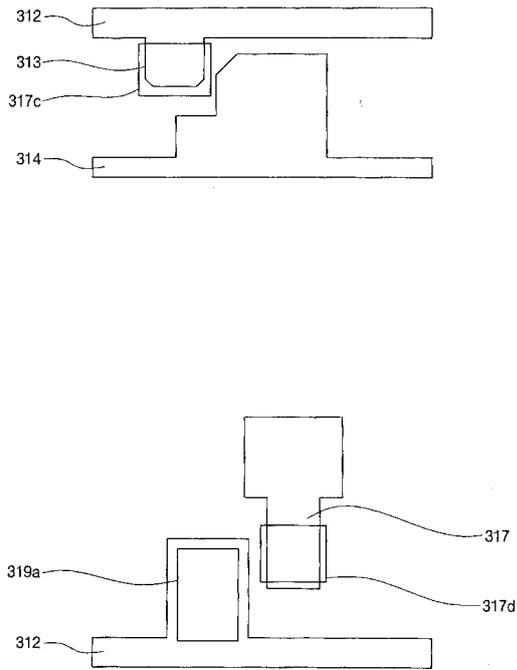
【図 17】



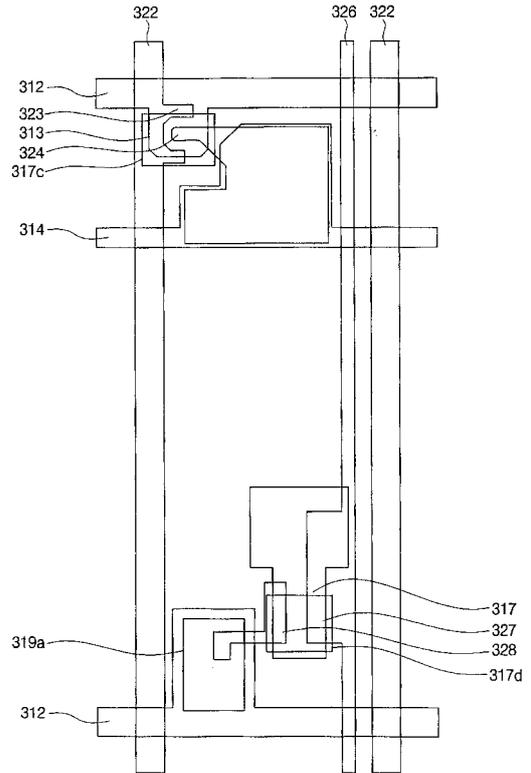
【図 18】



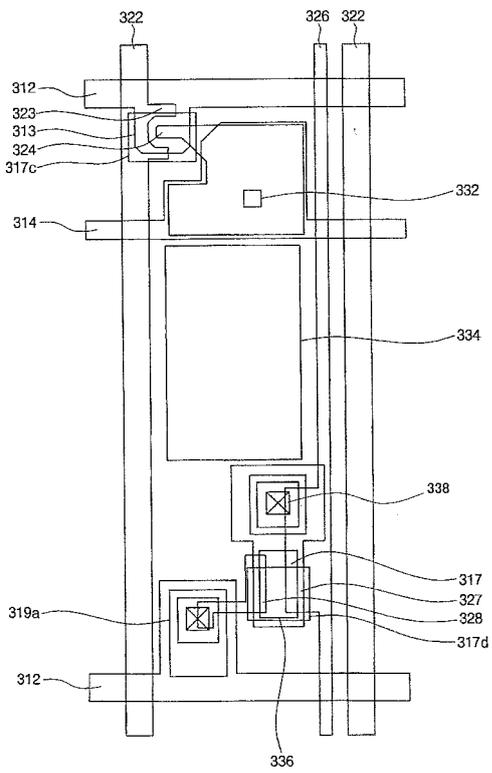
【 図 1 9 】



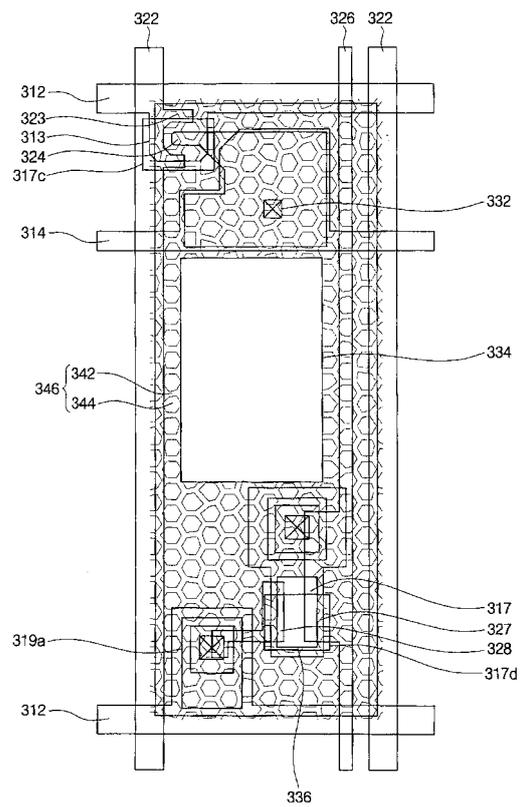
【 図 2 0 】



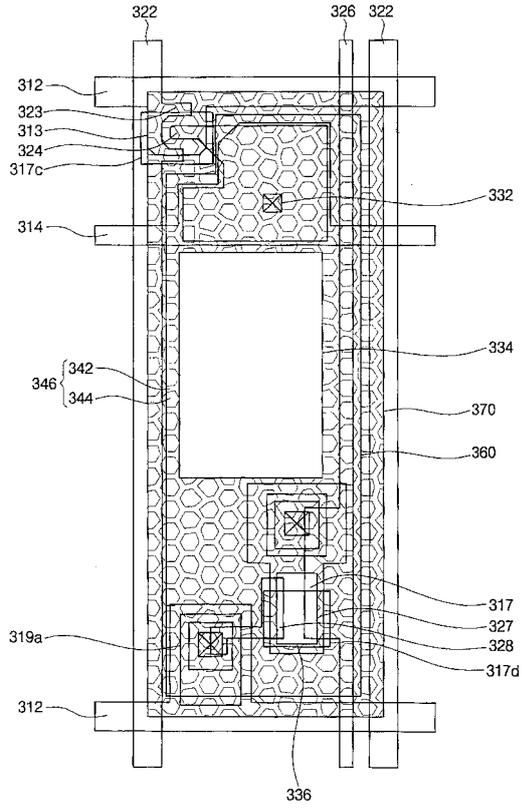
【 図 2 1 】



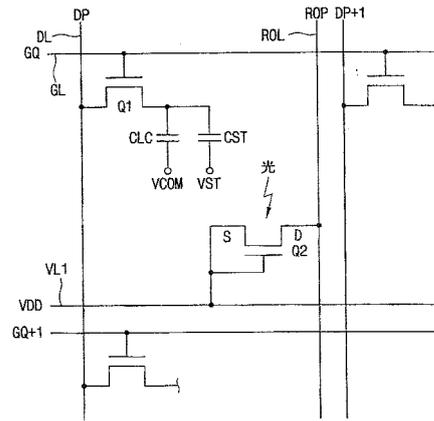
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
G 0 2 F 1/1343	G 0 2 F 1/1343	5 F 0 4 9
G 0 2 F 1/1368	G 0 2 F 1/1368	5 F 1 1 0
H 0 1 L 21/336	H 0 1 L 31/10 A	
H 0 1 L 29/786	H 0 1 L 29/78 6 1 2 Z	
H 0 1 L 31/10		

(72)発明者 チョ 宗 煥

大韓民国京畿道軍浦市山本洞セゾンアパート643棟505号

(72)発明者 全 珍

大韓民国ソウル特別市瑞草区良才2洞203-4デサンハウス201号

(72)発明者 鄭 營 培

大韓民国京畿道水原市勸善区勸善洞1304勸善3地区住公3団地332棟1205号

(72)発明者 朴 商 鎮

大韓民国京畿道龍仁市水枝邑東川里現代ホームタウン1次101棟1004号

Fターム(参考) 2G065 AA04 AA11 AA20 BA05 BA08 BA24 BA34 BE01 DA20
 2H089 HA15 QA16 RA04 TA09 TA17
 2H091 FA14Z FA16Z FA48Y FC01 FC02 FD04 FD23 GA13 HA06 LA30
 2H092 GA13 GA15 GA24 GA29 GA61 GA62 HA04 HA05 JA26 JA28
 JA34 JA37 JA41 JA46 JB22 JB42 JB58 JB62 JB69 KA05
 MA01 MA04 MA08 MA12 MA27 NA25 PA12 QA06
 4M118 AA10 AB01 BA05 CA11 CB06 FB03 FB09 FB13 FB19 FB24
 5F049 MA14 MB05 NB10 RA02 RA08 RA10 SE02 SE04 SS01 UA14
 UA20
 5F110 AA04 BB01 BB10 CC07 DD01 DD02 EE02 EE03 EE04 EE43
 FF03 FF27 FF30 GG02 GG15 HK02 HK03 HK04 HK09 HK16
 HK21 HK32 HK39 NN02 NN27 NN33 NN36 NN72