

# 公告本

申請日期	90.4.12
案號	90108742
類別	H01L 23/8

A4  
C4

488045

(以上各欄由本局填註)

## 發明型專利說明書

一、發明 名稱	中文	具錯位多晶片之半導體封裝件
	英文	
二、發明 創作人	姓名	1. 楊振雄 2. 洪進源 3. 劉鏈整
	國籍	中華民國
三、申請人	住、居所	1. 台中縣清水鎮海口南路168號 2. 台中縣豐原市大湳街29號 3. 台中縣龍井鄉沙田路四段408號
	姓名 (名稱)	矽品精密工業股份有限公司
三、申請人	國籍	中華民國
	住、居所 (事務所)	台中縣潭子鄉大豐路三段123號
三、申請人	代表 姓名	林文伯

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 【發明領域】

本發明係有關一種半導體封裝件，尤指一種具有兩錯位對置半導體晶片之多晶片模組半導體封裝件。

### 【發明背景】

傳統半導體封裝件一般係包含一金屬導線架 (Metal Lead frame)，該金屬導線架為晶片座 (Die Pad) 以及導腳 (Lead Fingers) 所構成，以供一半導體晶片黏設至該晶片座上並以鉅線導電連接該半導體晶片與相對之導腳，該晶片、晶片座與導腳之一部份係以封裝膠體包覆住，俾提供該半導體封裝件免於受潮、蒙塵或受損。

然而，在電子產品對於功能及速度需求日般的趨勢下，唯有提昇主機板上半導體裝置 (Semiconductor Device) 之使用數量或增高半導體晶片上積體電路集積化的程度，方能使電子產品具有較佳之功能與速度。然增加主機板上半導體裝置之數量需擴增主機板之使用面積，不利於電子產品輕薄短小之開發趨勢，如若提昇半導體晶片之集積化程度又恐受制於現有之製程技術以及封裝成本之增加。因而有效的解決之道即在半導體封裝件內裝設有兩個或更多晶片，進而提昇積體電路密度、記憶容量以及處理速度。

美國專利第 5,898,220 號案即揭示一種具有多晶片模組之半導體裝置。參閱第 1 圖，該種習知之半導體裝置包含有一第一半導體晶片 11、一第二半導體晶片 12 以及一導線架 10。該第一晶片 11 與第二晶片 12 各具有一頂面

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(2)

110,120 (即佈設有電子電路與電子元件之表面)與一相對之底面 111,121, 且其頂面 110,120 上形成有相對兩側直線排列之鐳墊 112,222, 而該導線架 10 係由多數之導腳 14 構成, 提供該第一晶片 11 接置之導腳 14 表面係定義作第一表面 140, 與該第一表面 140 相對之另一導腳 14 表面則定義為第二表面 141。

如圖所示, 先在該導腳 14 第一表面 140 上黏貼一不導電第一膠片 150, 藉一習用治具 (Jig) (未圖示) 將該第一晶片 11 頂面 110 與該第一膠片 150 黏接後加壓加熱俾使該第一晶片 11 固接於導腳 14 第一表面 140, 復以金線 16 導電連接該第一晶片 11 頂面 110 上之鐳墊 112 以及導線架 10 上該導腳 14 之第一表面 140; 接著, 採取相同方法藉由一第二膠片 151 黏置該第二晶片 12 至該導腳 14 第二表面 141 上, 並以多數金線 16 將該第二晶片 12 上鐳墊 122 以及導線架 10 導腳 14 之第二表面 141 導電地連結, 最後以封裝膠體 17 包覆該第一晶片 11、第二晶片 12、金線 16 以及靠近晶片之導腳 14 部分, 俾防止外界水氣與污染物侵入半導體晶片表面。

治具 (如第 2 圖 18 所示) 之使用得提供一熱源俾使膠片受熱穩固黏接該半導體晶片與導腳之兩接合面。然而, 如第 2 圖所示, 當該封裝結構體接置第一晶片 11 完成欲進行第二晶片 12 上片作業 (Die Bonding) 時, 受到該第一晶片 11 阻隔以及第一膠片 150 具有高熱阻特性的影響, 使傳熱效率降低導致該第二膠片 151 無法有效地穩

(請先閱讀背面之注意事項再  
為本頁)

裝  
訂  
線

### 五、發明說明(3)

固黏接該第二晶片 12 而使晶片黏接之信賴性疑慮 (Reliability Concern) 增高。另者，為使電性連接該第一晶片 11 之金線 16 得順利地銲接至導腳 14 表面，第二膠片 151 之厚度須經控制以略大於金線 16 之線弧高度 (Wire Loop)，如考慮以傳統不導電膠黏劑取代該第二膠片 151 來改善上述傳熱不良之問題，恐因膠黏劑具有之高流動性使得膠層厚度無法維持，金線 16 受到第二晶片 12 觸壓俾使銲線銲接品質低落。

再者，是種習知半導體裝置進行封裝膠體製程時，形成封裝膠體之熔融封裝樹脂(未圖示)注入封裝模具(未圖示)後，如第 3 圖所示，其模流方向與第一及第二晶片 11,12 間之導腳 14 間隙 142 相互垂直，此現象使得封裝樹脂(未圖示)難以流入相鄰導腳 14 間隙 142，該間隙 142 無法為封裝樹脂完全充填而造成氣洞 (Voids)，導致半導體裝置在高溫環境作業時，往往因氣洞內空氣受熱膨脹而產生氣爆 (Popcorn)。

#### 【發明概述】

本發明之一目的係提供一種藉由晶片錯位對置方式改善上片作業時治具之傳熱效果，俾以維持半導體晶片的黏晶信賴性之具多晶片模組的半導體封裝件。

本發明之另一目的係提供一種藉由晶片錯位對置方式俾使封裝樹脂模流趨於平衡，進而減少擾流避免氣洞 (Void) 產生之具多晶片模組的半導體封裝件。

本發明之又一目的係提供一種於相同封裝件內同時

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明(4)

容納導腳黏接型(Lead-on-Chip, LOC)及非導腳黏接型晶片之具多晶片模組的半導體封裝件。

本發明之再一目的係提供一種晶片選用時無尺寸大小特定限制之具多晶片模組的半導體封裝件。

本發明之復一目的係提供一種無須使用特殊治具俾以降低封裝治具成本之具多晶片模組的半導體封裝件。

依據上述及其他目的，本發明具多晶片模組的半導體封裝件係包含：

一具有一正面及一相對背面之導線架，該導線架係由一晶片座及其外圍環設之多數導腳所構成，其中，該晶片座係以複數條一體連設之繫條穩定固持該晶片座於該導線架偏離中心之位置，且於該導線架背面之該等繫條上形成有一提供半導體晶片接置之晶片黏著部，同時該等導腳上與該導線架正面同側者係定義為導腳第一表面，反側者則定義作導腳第二表面；一第一晶片，其具有一作用表面及一相對之非作用表面，使該第一晶片藉由其非作用表面與該導線架正面之晶片座黏接；多數之第一鐸線，用以導電連結該第一晶片與該導腳第一表面；一第二晶片，其具有一作用表面及一相對之非作用表面，俾使該第二晶片藉由其作用表面黏接至該繫條晶片黏著部及其周圍導腳之第二表面上；多數之第二鐸線，俾供該第二晶片電性連結於該導腳第一表面；以及一封裝膠體，用以包覆住該第一晶片、第二晶片、第一鐸線與第二鐸線。

本發明之特點在於同一封裝件內同時容納有至少兩

(請先閱讀背面之注意事項再  
為本頁)

裝  
訂  
線

### 五、發明說明(5)

個半導體晶片，並且該第一晶片與第二晶片係分別接置於導線架正反兩面俾使兩晶片互呈一空間上之錯位關係對置。相較於習知半導體結構實施上片作業時，受制於第一晶片阻礙導致治具傳熱不良而增高其他晶片之黏晶信賴性疑慮，本發明封裝件中雙晶片互呈空間錯位關係將使治具的作業區域得以分隔開，居於錯位之第一晶片不致干擾第二晶片上片作業之進行，俾使多晶片模組之黏晶信賴性得以維繫，又無須慮及該第一晶片受損而選用特殊治具，大幅節省封裝之治具成本。另一方面，本發明之多晶片模組封裝結構體進入模壓製程後，互呈空間錯位之兩半導體晶片一上一下適足以平衡流動之樹脂模流，亦能免除習知封裝件中晶片垂直上下對置引發之諸多問題，藉以降低擾流避免氣洞之產生。

#### 【圖示簡單說明】

以下茲以較佳具體例配合所附圖示進一步詳細說明

●本發明之特點及功效：

第 1 圖係為美國專利第 5,898,220 號案之半導體封裝件之剖面示意圖；

第 2 圖係為第 1 圖之半導體封裝件進行第二晶片上片作業時之動作示意圖；

第 3 圖係為第 1 圖之半導體封裝件進行模壓製程之模流曲線示意圖；

第 4 圖係為本發明第一實施例之半導體封裝件之正視圖；

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明(6)

第 5 圖係為沿第 4 圖剖面線 5-5 之剖面示意圖；

第 6 圖係為本發明半導體封裝件之第二晶片完成上片銲接作業之局部放大圖；

第 7 圖係為本發明半導體封裝件進行模壓製程之模流流向示意圖；

第 8 圖係為本發明第二實施例之半導體封裝件之剖面示意圖；

第 9 圖係為本發明第三實施例之半導體封裝件之剖面示意圖；以及，

第 10 圖係為本發明第四實施例之半導體封裝件之剖面示意圖。

### 【發明詳細說明】

參照第 4 圖及第 5 圖，本發明第一實施例之半導體封裝件 2 係包括一由多數導腳 24 與藉由複數條繫條 230 連接之晶片座 23 構成之導線架 20，黏接於該導線架 20 正反兩面上之第一晶片 21 及第二晶片 22，用以導電連接該第一晶片 21 與該等導腳 24 之第一銲線 260，用以導電連接該第二晶片 22 與該等導腳(未圖示)之第二銲線 261，以及用以包覆該第一晶片 21，第二晶片 22，第一銲線 260，第二銲線 261 與該等導腳 24 之部分的封裝膠體 27。

第 4 圖係為本發明半導體封裝件之導線架正視圖。如圖所示，該導線架 20 具有一正面 200 及(如第 5 圖所示)一相對之背面 201，係由一晶片座 23，複數條繫條 230 (Tie Bar) 以及環設於晶片座 23 外圍之多數導腳 24 所

(請先閱讀背面之注意事項再為本頁)

裝訂線

## 五、發明說明(7)

構成，其中，該晶片座 23 具有一頂面 231 與一相對之底面（如第 5 圖 232 所示），藉由一體連設於晶片座 23 上之該等繫條 230 俾供該晶片座 23 穩定固持於導線架 20 偏離中心的位置上。該等繫條 230 係形成有外露出封裝膠體之沖切部 233，以及包覆於封裝膠體 27 內之晶片黏著部 234，其中與該導線架 20 正面 200 同側者係定義為第一表面 233a, 234a，與該導線架 20 背面（未圖示）同側者則為第二表面 233b, 234b；相同地，該等導腳 24 亦形成有外露出封裝膠體 27 之外導腳 243，以及包覆於封裝膠體 27 內之內導腳 242，同樣與該導線架 20 正面 200 同側者係定義為第一表面 240，反側者係定義作第二表面 241。

如第 5 圖所示，該第一晶片 21 係使用如 ASIC 類之半導體晶片，其具有一佈設有電子電路與電子元件之頂面 210 及相對於該頂面 210 之底面 211，於該第一晶片 21 頂面 210 之相對兩側邊上分別佈設有一排由鋁等導電金屬製成之鐸墊 212，其鐸墊佈設形式除採兩側鐸墊分布外，亦可使用單側鐸墊分布及周邊鐸墊分布等方式而無特定限制。該第一晶片 21 係以其底面 211 藉一如銀膠之環氧樹脂類膠黏劑或聚亞醯胺類樹脂之膠片 25 黏貼至該晶片座 23 頂面 231，俾使該第一晶片 21 得穩固接置於該晶片座 23 上。

完成上片程序之導線架 20 藉由多數以金線製成之第一鐸線 260 導電連接該第一晶片 21 之鐸墊 212 以及該等內導腳 242 第一表面 240。之後進行第二晶片 22 之上片

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線



## 五、發明說明( 8 )

黏著。

該第二晶片 22 係為如快閃記憶體 (Flash Memory) 或動態記憶體 (DRAM) 之半導體晶片，同樣具有一佈設有電子電路與電子元件之頂面 220 及相對於該頂面 220 之底面 221，惟不同於該第一晶片者在於此第二晶片 22 僅在該晶片 22 頂面 220 中央或側邊設置有一排錫墊 222。如第 6 圖所示，該第二晶片 22 係以其頂面 220 藉一如銀膠之環氧樹脂類膠黏劑或聚亞醯胺樹脂類之膠片 25 貼黏至該等內導腳 242 以及該等繫條 230 晶片黏著部 234 之第二表面 241, 234b 上，俾使該第一晶片 21 與第二晶片 22 各自黏固於該導線架 20 正反兩面 (回參第 5 圖所示) 而互呈一空間錯位關係。俟該封裝結構體置入治具 (未圖示) 內完成上片程序，復以該第二錫線 261 橫越該等繫條 230 俾供該第二晶片 22 頂面 220 之錫墊 222 導電連接至該等內導腳 242 第一表面 240 上。

該第一晶片 21 與第二晶片 22 在相對之面積大小上並無特殊限制，使得該第一晶片 21 可大於，等於或小於該第二晶片 22，因而在第一晶片 21 與第二晶片 22 之組合選擇上具有較大之彈性，可選用不同種類及尺寸之晶片搭配 (如微處理器晶片或其他形式之晶片皆可選擇使用)，只要得以容納入晶片座 23 及繫條 230 尺寸內之晶片皆得適用。另一方面，相較於習知技術中治具受到第一晶片阻礙致使傳熱不良導致黏晶品質低落，本發明半導體封裝結構體之兩晶片係採空間上錯位關係接置，故而待第一晶片

(請先閱讀背面之注意事項再為本頁)

裝  
訂  
線

### 五、發明說明( 9 )

21 上片銲接完畢進行第二晶片 22 上片作業時，居於錯位之第一晶片 21 不致影響治具傳熱至第二晶片 22，並且，在治具選擇上亦無須顧慮恐傷及第一晶片 21 及第一銲線 260 而使用特殊治具，故能有效地降低上片作業之治具成本。

完成銲接作業之封裝結構體 2 置入封裝模具之模穴 (未圖示) 中以進行模壓作業。如第 7 圖所示，自注膠口 29 注入一流動性熔融封裝樹脂 (未圖示) 俾以形成包覆該等半導體晶片 21,22 之封裝膠體 (未圖示)，由於該封裝結構體 2 中第一晶片 21 與第二晶片 22 形成空間上之錯位關係，該導線架正面 200 及背面 201 均供有晶片接置藉以平衡模流 (如第 7 圖箭頭所示) 使擾流減少俾避免氣洞 (Void) 之發生。

俟封裝膠體經過高溫烘烤後，該封裝結構體 2 之外導腳 243 得視應用型態上的需求，於模壓後剪切成型 (Trim/Form)，外導腳可彎折成海鷗翼 (Gull-Wing)，J 型，L 型或其他形狀等，即完成本發明之半導體封裝件。

第 8 圖所示者係為本發明半導體封裝件之第二實施例。該第二實施例之結構大致同於第一實施例中所述者，其不同處在於該導線架之晶片座 33 上，除了原黏接於該晶片座 33 頂面 331 之第一晶片 31 外，亦得於該晶片座 33 底面 332 另行接置一第三晶片 38，該第三晶片 38 之晶片尺寸及種類並無特殊限制，只要得以容納入晶片座 33 及繫條 330 尺寸內之晶片皆得適用。本實施例之封裝件可進

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明 ( 10 )

一步提昇半導體裝置之集積化，使得更多半導體晶片得以納入同一封裝件內進而擴充封裝件之功能性及處理速度。

第 9 圖所示者係為本發明第三實施例之半導體封裝件。該第三實施例之封裝件結構大致同於第一實施例中所述者，其不同處在於此一封裝結構體係採疊晶形式 (Stack)，即於該導線架 30 上黏固該第二晶片 32 後，另藉一膠黏劑 35 採背對背形式於該第二晶片 32 之底面 321 上貼黏一第三晶片 38，該第三晶片 38 得為單邊鐳墊式、中央鐳墊式或周邊鐳墊式者並無特定限制。

第 10 圖係表示本發明第四實施例之半導體封裝件。該第四實施例之封裝件結構大致同於第一實施例中所述者，其不同處在於該第四實施例半導體封裝件係以疊晶形式 (Stack) 藉一如銀膠等之環氧樹脂或聚亞醯胺樹脂貼片等膠黏層 35 將一第三晶片 38 黏置於該第一晶片 31 之頂面 310，該膠黏層 35 應為具有彈性之膠材製成，以在該第三晶片 38 黏著於第一晶片 31 後，由該具有彈性之膠黏層 35 作為該第一晶片 31 一吸收向下壓力之緩衝介質，俾供該第一晶片 31 之頂面 310 保護作用而避免其受壓而損壞。該第三晶片 38 之尺寸須略小於其承載之該第一晶片 31 且該膠黏層 35 之塗佈位置須避離該第一晶片 31 頂面 310 上之鐳墊 312 以免妨害第一鐳線 360 鐳接作業之進行。第三晶片 38 之使用得選採單邊鐳墊式，中央鐳墊式或周邊鐳墊式之晶片而無限制。

本發明具錯位雙晶片之半導體封裝件結合疊晶形式

(請先閱讀背面之注意事項再  
為本頁)

裝  
訂  
線

## 五、發明說明 ( 11 )

將可顯著提昇半導體裝置之集積化，使得更多半導體晶片得以納入同一封裝件內並且不致增加封裝件之整體厚度，此舉將明顯提昇積體電路之功能以及處理速度，符合封裝件內日益龐雜的電訊傳輸需求。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之實質技術內容範圍。本發明之實質技術內容係廣義地定義於下述之申請專利範圍中，任何他人所完成之技術實體或方法，如係與下述之申請專利範圍所定義者為完全相同、或為一種等效之變更，均將視為涵蓋於下述專利範圍內。

## 【符號標號說明】

1,2	封裝結構體	10,20,30	導線架
200	導線架正面	201	導線架背面
11,21,31	第一晶片	110,210,310	第一晶片頂面
111,211	第一晶片底面	112,212,312	第一晶片鐳墊
12,22,32	第二晶片	120,220	第二晶片頂面
121,221,321	第二晶片底面	122,222	第二晶片鐳墊
13,23,33	晶片座	230,330	繫條
231,331	晶片座頂面	232,332	晶片座底面
233	繫條沖切部	234	繫條晶片黏著部
233a,234a	第一表面	233b,234b	第二表面
14,24,34	導腳	140,240	導腳第一表面
141,241	導腳第二表面	142	導腳間隙
242	內導腳	243	外導腳

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 12 )

15,25,35	膠黏層	150	第一膠片
151	第二膠片	16	金線
260,360	第一鐸線	261,361	第二鐸線
17,27	封裝膠體	38	第三晶片
18	治具	29	注膠口

(請先閱讀背面之注意事項再  
為本頁)

裝  
訂  
線

四、中文發明摘要(發明之名稱： 具錯位多晶片之半導體封裝件 )

一種具多晶片模組之半導體封裝件，係包含：一具有一正面及一相對背面之導線架，該導線架係由一晶片座及其外圍環設之多數導腳所構成，其中該晶片座係藉複數條一體連設之繫條穩定固持於該導線架偏離中心之位置上，且於該等繫條上形成有一俾供半導體晶片接置之晶片黏著部，而該等導腳上與該導線架正面同側者係定義為導腳第一表面，反側者則定義作導腳第二表面；一第一晶片，其具有一作用表面及一相對之非作用表面，使該第一晶片得藉其非作用表面與該導線架正面之晶片座黏接；多數之第一鐸線，用以導電連接該第一晶片與導腳第一表面；一第二晶片，亦具有一作用表面及一相對之非作用表面，俾

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱： )

四、中文發明摘要（發明之名稱：

使該第二晶片得藉其作用表面黏著於導線架背面該等繫條之晶片黏著部與該繫條周圍之導腳第二表面；多數之第二鐳線，俾供該第二晶片電性連結於該導腳第一表面；以及，一用以包覆該第一晶片、第二晶片、第一鐳線、第二鐳線及部分導腳之封裝膠體。該第一晶片與第二晶片互呈空間上之錯位關係得使該第二晶片施以上片作業時，不致遭受該第一晶片阻礙而影響其黏晶品質，同時由於該導線架之正反兩面皆有半導體晶片黏置，致使樹脂模流平衡俾減少擾流產生，故可降低封裝件內氣洞之形成。

（請先閱讀背面之注意事項再填寫各欄）

裝  
訂  
線

英文發明摘要（發明之名稱：

## 六、申請專利範圍

### 1. 一種具多晶片模組之半導體封裝件，係包含：

一具有一正面及一相對背面之導線架，該導線架係由一晶片座及其外圍環設之多數導腳所構成，其中，該晶片座係以複數個支持構件穩定固持該晶片座至該導線架偏離中心之位置上；

一第一晶片，其具有一作用表面及一相對之非作用表面，藉一膠黏劑黏設該第一晶片至該導線架正面之晶片座上；

一第二晶片，其具有一作用表面及一相對之非作用表面，藉由該第二晶片之作用表面黏接至該導線架背面之該等支持構件以及形成於該支持構件周圍之眾導腳上，俾使該第一晶片與第二晶片互呈一空間上之錯位關係；

多數第一導電元件，俾供該第一晶片與該等導腳進行電性連結；

多數第二導電元件，俾供該第二晶片與該等導腳進行電性連結；以及

一封裝膠體，用以包覆該第一晶片、第二晶片、第一導電元件、第二導電元件以及部分導腳。

2. 如申請專利範圍第 1 項之半導體封裝件，其中，該支持構件係為一繫條 (Tie Bar)，於該導線架背面之該等繫條上形成有一提供該第二晶片接置之晶片黏著部。

3. 如申請專利範圍第 1 項之半導體封裝件，其中，該等導腳上與該導線架正面同側之導腳表面係定義為導腳

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

第一表面，反側者則定義為導腳第二表面。

4. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一晶片之作用表面上設置有多數錒墊，該錒墊之分布形式係選自單側錒墊分布、中央錒墊分布或周邊錒墊分布等形式所組組群之一者。
5. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一晶片係選自 ASIC 晶片、快閃記憶體晶片、微處理器晶片等所組組群之一者。
6. 如申請專利範圍第 1 或 2 項之半導體封裝件，其中，該第二晶片係採導腳黏接型 (Lead-on-Chip, LOC) 方式接置於該等繫條之晶片黏著部。
7. 如申請專利範圍第 1 或 3 項之半導體封裝件，其中，該第二晶片係採導腳黏接型 (Lead-on-Chip, LOC) 方式接置於該等導腳之第二表面。
8. 如申請專利範圍第 1 或 3 項之半導體封裝件，其中，該第二晶片作用表面之中央處係黏置有一排錒墊俾供該等第二導電元件錒接並跨越該等支持構件而連接至該等導腳之第一表面上。
9. 如申請專利範圍第 1 或 3 項之半導體封裝件，其中，該第二晶片作用表面之側邊上係黏置有一排錒墊俾供該等第二導電元件錒接並跨越該等支持構件而連接至該等導腳之第一表面上。
10. 如申請專利範圍第 1 項之半導體封裝件，其中，該第二晶片係選自快閃記憶體晶片或動態記憶體所組組群

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

六、申請專利範圍

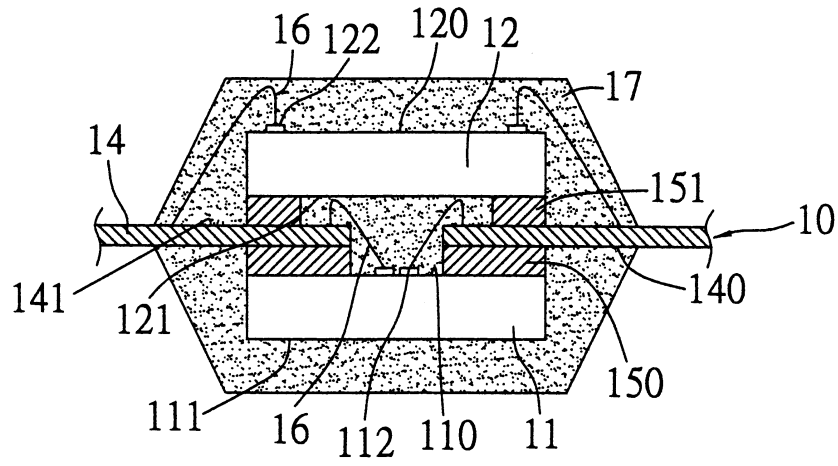
之一者。

- 11. 如申請專利範圍第 1 項之半導體封裝件，其中，該導線架背面之晶片座上得以黏置有至少一個半導體晶片。
- 12. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一晶片之作用表面上係藉一膠黏層以疊晶方式黏置有至少一個半導體晶片。
- 13. 如申請專利範圍第 1 項之半導體封裝件，其中，該第二晶片之非作用表面上係藉一膠黏層以疊晶方式黏置有至少一個半導體晶片。
- 14. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一導電元件係為金線。
- 15. 如申請專利範圍第 1 項之半導體封裝件，其中，該第二導電元件係為金線。

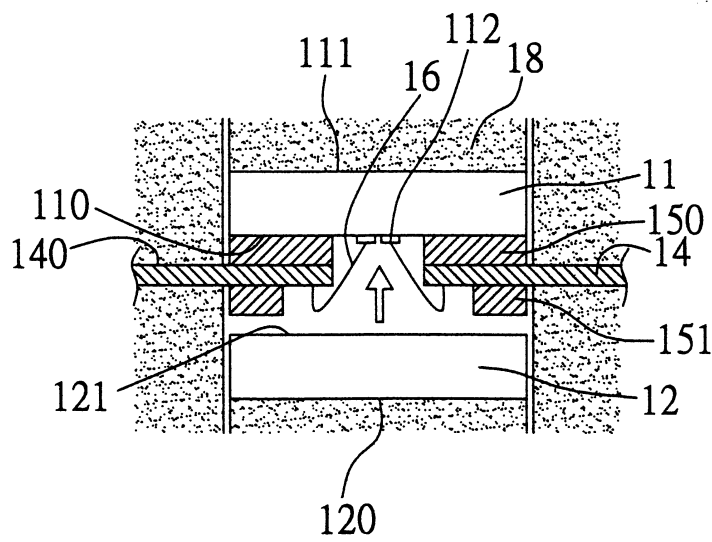
(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

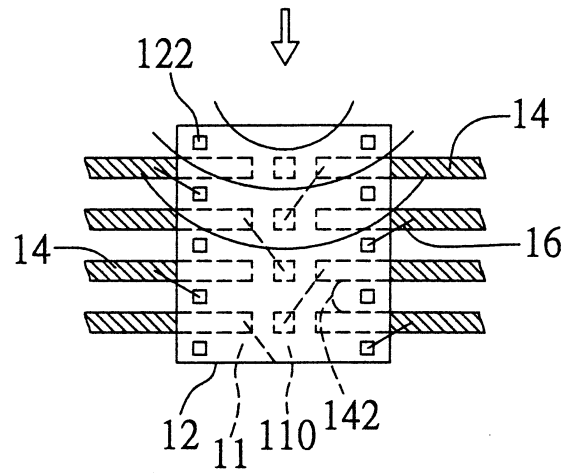
經濟部智慧財產局員工消費合作社印製



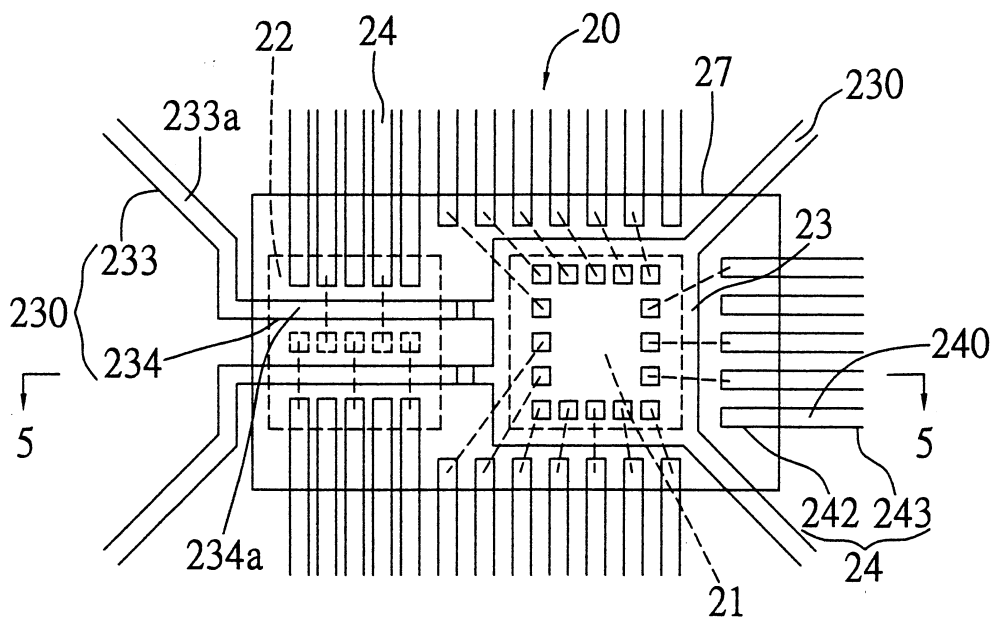
第 1 圖



第 2 圖

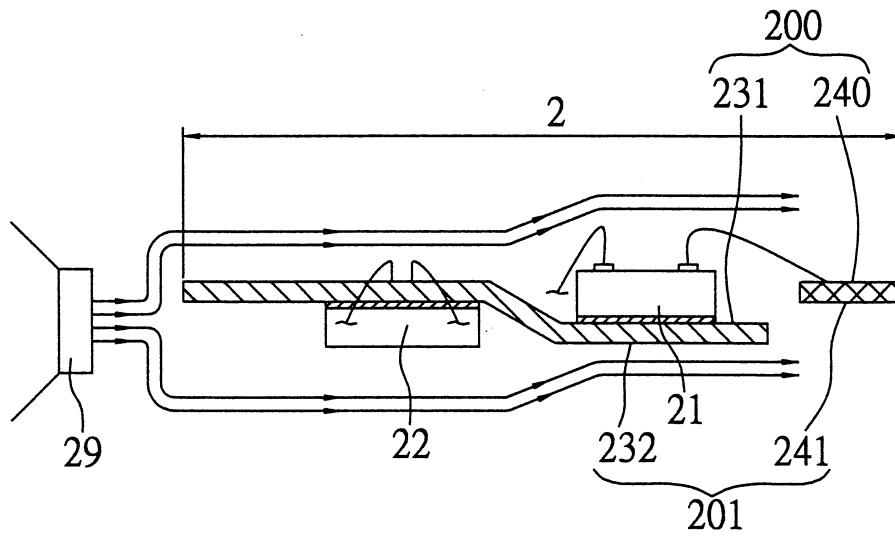


第 3 圖

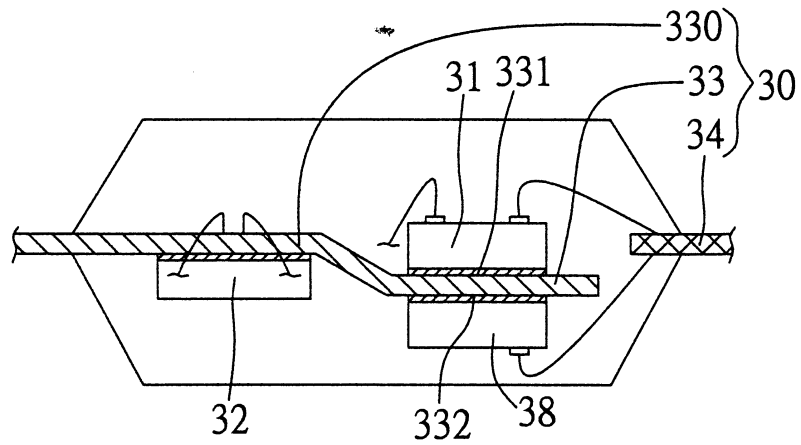


第 4 圖

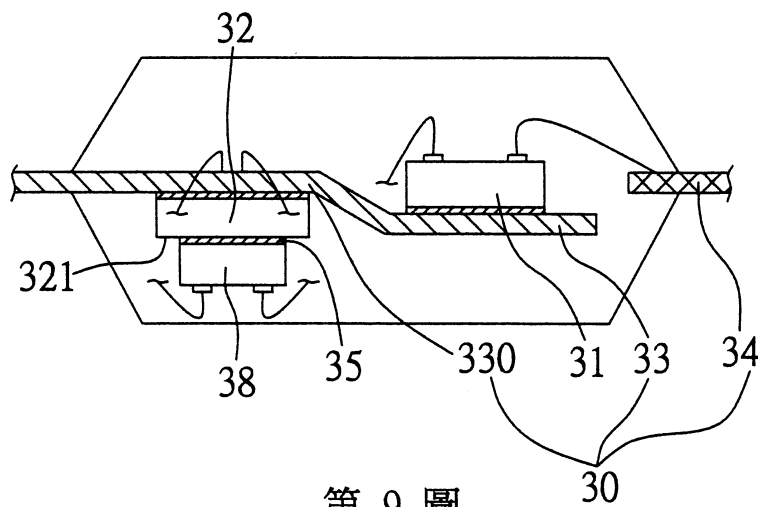




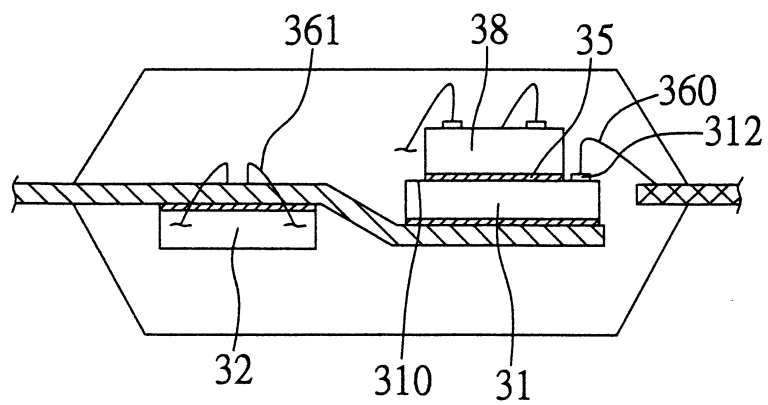
第 7 圖



第 8 圖



第 9 圖



第 10 圖