



(12) 发明专利

(10) 授权公告号 CN 116978810 B

(45) 授权公告日 2024.01.12

(21) 申请号 202311232711.7

(22) 申请日 2023.09.22

(65) 同一申请的已公布的文献号

申请公布号 CN 116978810 A

(43) 申请公布日 2023.10.31

(73) 专利权人 苏州珂晶达电子有限公司

地址 215000 江苏省苏州市工业园区金鸡湖大道1355号国际科技园144-001单元

(72) 发明人 沈成强 纪冬梅 邹陆军 沈忱

(74) 专利代理机构 苏州简理知识产权代理有限公司 32371

专利代理师 庞聪雅

(51) Int. Cl.

H01L 21/66 (2006.01)

(56) 对比文件

JP 2001067898 A, 2001.03.16

US 2003161183 A1, 2003.08.28

WO 2018157635 A1, 2018.09.07

WO 2023103358 A1, 2023.06.15

审查员 盛浩

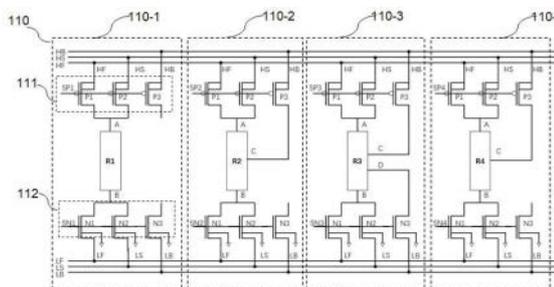
权利要求书3页 说明书11页 附图12页

(54) 发明名称

片上的测试电路

(57) 摘要

本发明提供一种片上的测试电路,其包括一个或多个测试单元,每个测试单元包括:待测器件;总线,其包括线HF、LF、HS、LS;第一组开关,其包括第一激励开关、第一感应开关,第一激励开关连接于线HF和待测器件的第一连接端之间,第一感应开关连接于线HS和待测器件的第一连接端之间;第二组开关,其包括第二激励开关、第二感应开关,第二激励开关连接于线LF和待测器件的第二连接端之间,第二感应开关连接于线LS和待测器件的第二连接端之间,其中第一组开关和第二组开关同步导通和断开。这样,方便对所述测试单元进行寻址,并可以利用开尔文测量方式对待测器件进行精确的测量。



1. 一种片上的测试电路,其特征在于,其包括多个测试单元,每个测试单元包括:
待测器件,包括第一连接端和第二连接端;

总线,其包括高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS;

开关电路模块,其包括第一组开关和第二组开关,第一组开关包括第一激励开关和第一感应开关,第一激励开关连接于高压侧激励线HF和待测器件的第一连接端之间,第一感应开关连接于高压侧感应线HS和待测器件的第一连接端之间,第一激励开关和第一感应开关的开关控制端互连后与第一开关控制信号相连,第二组开关包括第二激励开关和第二感应开关,第二激励开关连接于低压侧激励线LF和待测器件的第二连接端之间,第二感应开关连接于低压侧感应线LS和待测器件的第二连接端之间,第二激励开关和第二感应开关的开关控制端互连后与第二开关控制信号相连,

其中在第一开关控制信号控制第一激励开关和第一感应开关同时导通时,第二开关控制信号也控制第二激励开关和第二感应开关同时导通,在第一开关控制信号控制第一激励开关和第一感应开关同时断开时,第二开关控制信号也控制第二激励开关和第二感应开关同时断开,

当选中一个待测器件时,其与所述总线连通,而其他的待测器件与所述总线断开。

2. 根据权利要求1所述的片上的测试电路,其特征在于,

所述总线还包括高压侧激励辅助线HB和低压侧激励辅助线LB,

第一组开关还包括第一激励辅助开关,第一激励辅助开关的一端连接至所述高压侧激励辅助线HB,第一激励辅助开关的开关控制端与第一激励开关、第一感应开关的开关控制端相连后与第一开关控制信号相连,

第二组开关包括第二激励辅助开关,第二激励辅助开关的一端连接至所述低压侧激励辅助线LB,第二激励辅助开关的开关控制端与第二激励开关、第二感应开关的开关控制端相连后与第二开关控制信号相连,

第一激励辅助开关与第一激励开关和第一感应开关同步导通或断开,

第二激励辅助开关与第二激励开关和第二感应开关同步导通或断开。

3. 根据权利要求2所述的片上的测试电路,其特征在于,

所述待测器件还包括第三连接端,第一激励辅助开关的另一端连接至所述待测器件的第三连接端或第二激励辅助开关的另一端连接至所述待测器件的第三连接端;或/和

所述待测器件还包括第三连接端和第四连接端,第一激励辅助开关的另一端连接至所述待测器件的第三连接端,第二激励辅助开关的另一端连接至所述待测器件的第四连接端,

在所述待测器件没有第三连接端和/或第四连接端时,对应的激励辅助开关的另一端浮空。

4. 根据权利要求2所述的片上的测试电路,其特征在于,第一激励开关、第一感应开关和第一激励辅助开关均为PMOS晶体管,PMOS晶体管的源极连接至所述总线,PMOS晶体管的漏极连接至所述待测器件,PMOS晶体管的栅极作为各个开关的开关控制端,

第二激励开关、第二感应开关和第二激励辅助开关均为NMOS晶体管,NMOS晶体管的源极连接至所述总线,NMOS晶体管的漏极连接至所述待测器件,NMOS晶体管的栅极作为各个开关的开关控制端,

第一开关控制信号和第二开关控制信号互为相反信号,在第一开关控制信号为低电平时,第二开关控制信号为高电平,此时第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均导通,

在第一开关控制信号为高电平时,第二开关控制信号为低电平,此时第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均断开。

5. 根据权利要求1-4任一所述的片上的测试电路,其特征在于,每个测试单元包括:

寻址电路模块,其包括信号输入端和信号输出端,其锁存来自所述信号输入端的输入信号并将锁存的信号输出为互为相反的第一开关控制信号和第二开关控制信号,最后将相反的第一开关控制信号和第二开关控制信号作为输出信号输出。

6. 根据权利要求5所述的片上的测试电路,其特征在于,多个测试单元被排成一行或多行,

相邻的两个测试单元的总线互连,即相邻的两个测试单元的高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB分别对应连接,

相邻的两个测试单元的寻址电路模块互连,即相邻的两个测试单元中在前测试单元的寻址电路模块的信号输出端与在后测试单元的寻址电路模块的信号输入端相连。

7. 根据权利要求6所述的片上的测试电路,其特征在于,在一个测试单元中第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均导通时,该测试单元处于测试状态,在一个测试单元中第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均断开时,该测试单元处于非测试状态,

在同一行中的一个测试单元处于测试状态时,该同一行中的其他测试单元均处于非测试状态,

同一行中的各个测试单元依次进入测试状态。

8. 根据权利要求6所述的片上的测试电路,其特征在于,所述寻址电路模块包括D触发器,所述D触发器的输入端口作为所述寻址电路模块的信号输入端口,所述D触发器的Q端和QN端分别输出相反的第二开关控制信号和第一开关控制信号,所述D触发器的Q端连接至所述寻址电路模块的信号输出端口,

所述寻址电路模块还包括复位端、时钟输入端、时钟输出端,所述复位端与D触发器的复位端R相连,

相邻的两个测试单元中,在前测试单元的寻址电路模块的复位端与在后测试单元的寻址电路模块的复位端相连,在前测试单元的时钟输入端与在后测试单元的时钟输出端相连。

9. 根据权利要求7所述的片上的测试电路,其特征在于,

多个测试单元被排成多行,

相邻行中在前行的最后一个测试单元和在后行的第一个测试单元为相邻的两个测试单元,

相邻的测试单元的总线互连,即相邻的测试单元的高压侧激励线HF、低压侧激励线LF、

高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB分别对应连接，

相邻的测试单元的寻址电路模块互连，即相邻的测试单元中在前测试单元的寻址电路模块的输出端与在后测试单元的寻址电路模块的输入端相连，

在一个测试单元处于测试状态时，其他测试单元均处于非测试状态，排成多行的测试单元依次进入测试状态。

10. 根据权利要求6所述的片上的测试电路，其特征在于，在相邻行中，一个行中的各个测试单元的待测器件分别与另一行中的对应测试单元的待测器件紧邻，

在每个测试单元中，开关电路模块位于寻址电路模块和待测器件之间。

11. 根据权利要求10所述的片上的测试电路，其特征在于，利用相邻的两个或多个测试单元的待测器件区域放置一个待测器件，将该待测器件作为其中一个测试单元的待测器件使用。

12. 根据权利要求6所述的片上的测试电路，其特征在于，其还包括：

第一连接模块，用于将相邻行中位于左侧的在前行的最后一个测试单元和在后行的第一个测试单元的总线以及寻址电路模块互连，

第二连接模块，用于将相邻行中位于右侧的在前行的最后一个测试单元和在后行的第一个测试单元的总线以及寻址电路模块互连。

13. 根据权利要求8所述的片上的测试电路，其特征在于，其还包括：

多个焊盘，包括与高压侧激励线HF相连的焊盘HF、与高压侧感应线HS相连的焊盘HS、与高压侧激励辅助线HB相连的焊盘HB、与低压侧激励线LF相连的焊盘LF、与低压侧感应线LS相连的焊盘LS、与低压侧激励辅助线LB相连的焊盘LB、与测试单元的寻址电路模块的时钟输入端相连的焊盘CK、与测试单元的寻址电路模块的复位端相连的焊盘R、与第一个测试单元的寻址电路模块的信号输入端相连的焊盘D_IN、与最后一个测试单元的寻址电路模块的信号输出端相连的焊盘D_OUT、焊盘VDD和焊盘VSS。

片上的测试电路

技术领域

[0001] 本发明涉及半导体设计和生产领域,尤其涉及一种片上的测试电路。

背景技术

[0002] 在半导体开发过程中,需要在晶圆上制作半导体测试结构,以测试工艺成熟度和半导体器件性能。根据在晶圆中放置位置的不同,半导体测试结构可以分为两类:使用独立工艺测试芯片的测试结构以及放置在划片槽内的测试结构。然而随着芯片制程越来越小,对待测器件的测试和精度要求也相应提高,测试结构所需的面积也逐渐变大,测试耗费的费用也相应的升高,同时划片槽所能提供的面积非常有限,甚至不足以放置测试结构。如何在单位面积内测试放置更多的待测器件,提高测试密度和测量精度,缩短时间周期,同时降低测试成本,一直是亟需解决的问题。

[0003] GRV全称Ground-Rule Verification,为基本规则验证。GRV图形是使用单一或多个工艺层,绘制不同尺寸间隔的图形,通过测量图形的各端口间的电压电流等参数,获取图形的电阻电容等属性,推断出图形工艺是否存在缺陷。GRV图形的尺寸范围从几微米至百微米都存在,一般GRV图形的端口数量以2端口,3~4端口为主,也存在更多端口的情况。

[0004] 目前在TQV和划片槽中,对于GRV图形的常用的测试结构由待测器件(DUT)和焊盘(PAD)组成,通过探针和仪表对待测器件进行测试。以2端口的GRV图形为例,如图1所示,首先从待测器件的端口(例如端口A)引出测试的导线连接在PAD上,用于检测待测器件的电流(如:漏电电流);随后将PAD与探针接触,并在与探针连接的仪表盘上读取检测到的电流。图1为2端口的待测器件,如果有多个端口,则需要每个端口分别连接到PAD。

[0005] 在这种测试结构中,一个待测器件一般需要2-4个PAD进行测试,这就使得测试结构的大部分面积被PAD所占据,导致测试结构的面积利用率非常低。本方明旨在通过复用测试结构的PAD、提高测试结构的密度。

[0006] 针对上述PAD的面积占整个测试结构的比例过大,整个测试结构面积利用率不足的问题,现有技术中提出了可寻址测试芯片及系统。

[0007] 该方案尝试在测试不同待测器件的端口时共用PAD(焊盘)来减少PAD的面积占用,如图2A所示,共用PAD(焊盘)放置于下侧。

[0008] 如图2B所示,该方案通过构建中心DUT阵列、外围地址译码和行列开关电路、外围激励和感应电路,实现了对DUT阵列的中待测器件的寻址选通和测量。

[0009] 如图2C所示,激励电路和感应电路分别连通PAD,外部电压或者电流信号通过PAD传入相应的激励电路和感应电路。

[0010] 如图2D所示,在每个待测器件的端口分别设置传输门,传输门连接激励电路和感应电路。通过行列地址译码电路选通对应的传输门,实现对待测器件的选中,2端待测器件的每端都连通了激励电路和感应电路,实现了开尔文测量的条件,从而可以用开尔文测量的方式对待测器件两端的电压和电流进行精确的测量。

[0011] 现有技术方案能够实现PAD的共用,提高待测器件的面积利用率,提高测量精度的

优点。但仍然有不足之处。

[0012] 第一,对于数量不同的待测器件形成的 $N \times M$ 阵列,不同的 N 或者 M 所对应的行和列译码电路不同,行列数越大,译码电路越复杂,如需增加行列数,需整体调整译码电路,在行列的调整方面缺乏灵活性。

[0013] 第二,当前电路的仅支持2端的待测器件情况,实际待测器件存在3端,4端等多端口情况。当前电路对于待测器件的类型支持有限。

[0014] 因此,亟需提出一种新的技术方案来解决上述问题。

发明内容

[0015] 本发明的目的之一在于提供一种片上的测试电路,其可以方便对测试单元进行寻址,并可以利用开尔文测量方式对待测器件进行精确的测量。

[0016] 为实现上述目的,根据本发明的一个方面,本发明提供一种片上的测试电路,其包括一个或多个测试单元,每个测试单元包括:待测器件,包括第一连接端和第二连接端;总线,其包括高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS;开关电路模块,其包括第一组开关和第二组开关,第一组开关包括第一激励开关和第一感应开关,第一激励开关连接于高压侧激励线HF和待测器件的第一连接端之间,第一感应开关连接于高压侧感应线HS和待测器件的第一连接端之间,第一激励开关和第一感应开关的开关控制端互连后与第一开关控制信号相连,第二组开关包括第二激励开关和第二感应开关,第二激励开关连接于低压侧激励线LF和待测器件的第二连接端之间,第二感应开关连接于低压侧感应线LS和待测器件的第二连接端之间,第二激励开关和第二感应开关的开关控制端互连后与第二开关控制信号相连,其中在第一开关控制信号控制第一激励开关和第一感应开关同时导通时,第二开关控制信号也控制第二激励开关和第二感应开关同时导通,在第一开关控制信号控制第一激励开关和第一感应开关同时断开时,第二开关控制信号也控制第二激励开关和第二感应开关同时断开。

[0017] 进一步的,所述总线还包括高压侧激励辅助线HB和低压侧激励辅助线LB,第一组开关还包括第一激励辅助开关,第一激励辅助开关的一端连接至所述高压侧激励辅助线HB,第一激励辅助开关的开关控制端与第一激励开关、第一感应开关的开关控制端相连后与第一开关控制信号相连,第二组开关包括第二激励辅助开关,第二激励辅助开关的一端连接至所述低压侧激励辅助线LB,第二激励辅助开关的开关控制端与第二激励开关、第二感应开关的开关控制端相连后与第二开关控制信号相连,第一激励辅助开关与第一激励开关和第一感应开关同步导通或断开,第二激励辅助开关与第二激励开关和第二感应开关同步导通或断开。

[0018] 进一步的,所述待测器件还包括第三连接端,第一激励辅助开关的另一端连接至所述待测器件的第三连接端或第二激励辅助开关的另一端连接至所述待测器件的第三连接端;或/和,所述待测器件还包括第三连接端和第四连接端,第一激励辅助开关的另一端连接至所述待测器件的第三连接端,第二激励辅助开关的另一端连接至所述待测器件的第四连接端,在所述待测器件没有第三连接端和/或第四连接端时,对应的激励辅助开关的另一端浮空。

[0019] 进一步的,所述待测器件按照端口数量划分为以下几种电阻相关模型中的一种:

两端口的电阻模型、三端口的电阻模型、四端口的电阻模型和多端口电阻模型(端口数 ≥ 5)。

[0020] 进一步的,每个测试单元包括:寻址电路模块,其包括信号输入端和信号输出端,其锁存来自所述信号输入端的输入信号并将锁存的信号输出为互为相反的第一开关控制信号和第二开关控制信号,最后将第二开关控制信号作为输出信号输出。

[0021] 进一步的,多个测试单元被排成一行或多行,相邻的测试单元的总线互连,即相邻的两个测试单元的高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB分别对应连接,相邻的两个测试单元的寻址电路模块互连,即相邻的两个测试单元中在前测试单元的寻址电路模块的输出端与在后测试单元的寻址电路模块的输入端相连。

[0022] 进一步的,在一个测试单元中第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均导通时,该测试单元处于测试状态,在一个测试单元中第一激励开关、第一感应开关、第一激励辅助开关、第二激励开关、第二感应开关和第二激励辅助开关均断开时,该测试单元处于非测试状态,在同一行中的一个测试单元处于测试状态时,该同一行中的其他测试单元均处于非测试状态,同一行中的各个测试单元依次进入测试状态。

[0023] 进一步的,所述寻址电路模块包括D触发器和数据缓冲器,所述D触发器的输入端口作为所述寻址电路模块的信号输入端口,所述D触发器的Q端和QN端分别输出相反的第二开关控制信号和第一开关控制信号,数据缓冲器的输入端与所述D触发器的Q端相连,所述数据缓冲器的输出端作为所述寻址电路模块的信号输出端口,所述寻址电路模块还包括复位端、时钟输入端、时钟缓冲器、时钟输出端,所述复位端与D触发器的复位端R相连,时钟输入端与时钟缓冲器的输入端相连,时钟输出端与时钟缓冲器的输出端相连,相邻的两个测试单元中,在前测试单元的寻址电路模块的复位端与在后测试单元的寻址电路模块的复位端相连,在前测试单元的时钟输入端与在后测试单元的时钟输出端相连,在前测试单元的寻址电路模块的复位端与在后测试单元的寻址电路模块的复位端相连,数据缓冲器和时钟缓冲器的输出信号电平与输入信号电平保持一致。

[0024] 进一步的,多个测试单元被排成多行,相邻行中在前行的最后一个测试单元和在后行的第一个测试单元为相邻的两个测试单元,相邻的测试单元的总线互连,即相邻的测试单元的高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB分别对应连接,相邻的测试单元的寻址电路模块互连,即相邻的测试单元中在前测试单元的寻址电路模块的输出端与在后测试单元的寻址电路模块的输入端相连,在一个测试单元处于测试状态时,其他测试单元均处于非测试状态,排成多行的测试单元依次进入测试状态。

[0025] 与现有技术相比,本发明中具有如下优点中的一个或多个:1)能够确保仅选中1个测试单元与测试装置(包括测量仪表以及探针)连通,其余未选中的测试单元和测试通路之间处于断开状态,实现了对所述测试单元以及所述待测器件的寻址通断;2)开关电路模块中激励开关和感应开关的使用,实现了对待测器件的开尔文测量,提高了对待测器件的测量精度;3)可选择1个激励辅助开关(比如Bulk开关)用于待测器件的第三连接端(比如Bulk端)供电,也可将2个激励辅助开关(比如Bulk开关)分别用于连接待测器件非开尔文类型端

口的测量,灵活的使用方式,拓展了待测器件的支持类型,可支持2端、3端、4端的待测器件;4)本发明的结构简单,可实现待测器件外围电路的快速拼接和拓展,以支持不同数量的待测器件需求,在此情况下,不增加电路总体的焊盘数量;5)通过特定的电路结构,不需要针对性的进行电路中器件位置的调整,即可支持不同尺寸的待测器件;6)提高了待测器件密度和面积利用率。

附图说明

[0026] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其它的附图。其中:

[0027] 图1为两端口的GRV图形的测试示意图,其中所述GRV图形包括待测器件(DUT)和焊盘(PAD),通过探针和仪表对待测器件进行测试;

[0028] 图2A为共用PAD(焊盘)放置于待测器件的下侧减少PAD的面积占用的示例;

[0029] 图2B为现有的测试芯片的结构示意图,该方案通过构建中心DUT阵列、外围地址译码和行列开关电路、外围激励和感应电路,实现了对DUT阵列的中待测器件的寻址选通和测量;

[0030] 图2C为激励电路和感应电路分别连通PAD,外部电压或者电流信号通过PAD传入相应的激励电路和感应电路的结构示意图;

[0031] 图2D为现有的测试芯片的另一种结构示意图;

[0032] 图3为本发明的一个实施例中的测试单元的电路结构图;

[0033] 图4A为与待测器件等效的2端口的电阻模型的一个示例,图4B为与待测器件等效的3端口的电阻模型的一个示例,图4C为与待测器件等效的4端口的电阻模型的一个示例;

[0034] 图5为本发明的另一个实施例中的测试单元的电路结构图;

[0035] 图6为本发明的一个实施例中的两个测试单元串联的电路结构图;

[0036] 图7为图6中的两个串联的测试单元的各信号的波形图;

[0037] 图8为本发明的一个实施例中的N个测试单元串联的电路结构图,其中N个测试单元被排成一行;

[0038] 图9为本发明的另一个实施例中的N个测试单元串联的电路结构图,其中N个测试单元被排成多行;

[0039] 图10为本发明的一个实施例中的多个测试单元共同一个待测器件的排布示意图;

[0040] 图11为本发明的再一个实施例中的多个测试单元被排布成多行的电路结构图。

具体实施方式

[0041] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0042] 此处所称的“一个实施例”或“实施例”是指可包含于本发明至少一个实现方式中的特定特征、结构或特性。在本说明书中不同地方出现的“在一个实施例中”并非均指同一个实施例,也不是单独的或选择性的与其他实施例互相排斥的实施例。

[0043] 在本发明中,除非另有明确的规定和限定,术语“相连”、“连接”、“耦接”、“互连”等表示电性相连的术语应做广义理解;例如,可以是直接电性连接,也可以通过中间媒介间接电性相连,所述中间媒介可以是电子元器件、功能电路等。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0044] 本发明提出一种适用于GRV图形的可拓展的可寻址的测试电路。所述测试电路可以形成测试芯片,在晶圆上制造,因此也可以被称为片上的测试电路或测试芯片。所述测试电路在测试中共享焊盘(PAD),且PAD数量固定,在一定范围内不因待测器件数量增大而增大,减小了PAD占比,提高了待测器件DUT的面积利用率。同时,可以支持多端口的GRV图形的待测器件,提升了对待测器件的支持范围。另外,待测器件外围电路可拓展性强,可快速拼接拓展待测器件数量。

[0045] 图3为本发明的一个实施例中的测试单元110的电路结构图。在图3中,示出了四个测试单元110,分别为测试单元110-1、110-2、110-3、110-4。每个测试单元包括总线HL-Bus lines、开关电路模块和待测器件DUT。

[0046] 通过对待测器件各端口间的电压和电流的测量,计算出待测器件的电阻是否和设计预期一致。大部分情况下,可以把待测器件等效为如下所述的几种电阻相关模型:1) 2端口的电阻模型,2) 3端口的电阻模型,3) 4端口的电阻模型,4) 其他模型。所述测试单元110-1、110-2、110-3、110-4中的4个待测器件分别为2端口的电阻模型R1、3端口的电阻模型R2、4端口的电阻模型R3、3端口的电阻模型R4。这里的端口也可以被称为连接端。图4A为与待测器件等效的2端口的电阻模型的一个示例,图4B为与待测器件等效的3端口的电阻模型的一个示例,图4C为与待测器件等效的4端口的电阻模型的一个示例。

[0047] 所述开关电路模块包括第一组开关111和第二组开关112。第一组开关111包括第一激励开关P1、第一感应开关P2、第一激励辅助开关P3。第二组开关112包括第二激励开关N1、第二感应开关N2、第一激励辅助开关N3。第一激励辅助开关P3和第一激励辅助开关N3可以为BULK开关。第一激励开关P1、第一感应开关P2、第一激励辅助开关P3、第二激励开关N1、第二感应开关N2、第一激励辅助开关N3可以被简称为开关P1、P2、P3、N1、N2、N3或直接简称为P1、P2、P3、N1、N2、N3。

[0048] 总线HL-Bus lines包括高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB。总线HL的一端连接到对应的焊垫PAD上。高压侧激励线HF、低压侧激励线LF、高压侧感应线HS、低压侧感应线LS、高压侧激励辅助线HB和低压侧激励辅助线LB可以分简称为线HF、LF、HS、LS、HB和LB或直接简称为HF、LF、HS、LS、HB和LB。线HF、LF、HS、LS、HB和LB分别与对应的焊垫(PAD) HF、LF、HS、LS、HB和LB相连。

[0049] 第一激励开关P1连接于高压侧激励线HF和待测器件的第一连接端A之间,第一感应开关P2连接于高压侧感应线HS和待测器件的第一连接端A之间,第一激励辅助开关P3的一端连接至所述高压侧激励辅助线HB,第一激励辅助开关P3的开关控制端与第一激励开关P1、第一感应开关P2的开关控制端相连后与第一开关控制信号SP1、SP2、SP3或SP4相连。第二激励开关N1连接于低压侧激励线LF和待测器件的第二连接端B之间,第二感应开关连接于低压侧感应线LS和待测器件的第二连接端B之间,第二激励辅助开关N3的一端连接至所述低压侧激励辅助线LB,第二激励辅助开关N3的开关控制端与第二激励开关N1、第二感应

开关N2的开关控制端相连后与第二开关控制信号SN1、SN2、SN3或SN4相连。

[0050] 在所述待测器件包括第三连接端时,如测试单元110-2和110-4,第一激励辅助开关P3的另一端连接至所述待测器件的第三连接端C。当然,在有些实施例中,也可以由第二激励辅助开关N3的另一端连接至所述待测器件的第三连接端C。在所述待测器件没有第三连接端和/或第四连接端时,如测试单元110-1,对应的激励辅助开关P3和N3的另一端浮空。在所述待测器件还包括第三连接端和第四连接端,如测试单元110-3,第一激励辅助开关P3的另一端连接至所述待测器件的第三连接端,第二激励辅助开关N3的另一端连接至所述待测器件的第四连接端。

[0051] 在第一开关控制信号控制第一激励开关P1、第一感应开关P2、第一激励辅助开关P3同时导通时,第二开关控制信号也控制第二激励开关N1、第二感应开关N2、第二激励辅助开关N3同时导通。此时所述待测器件被连接至总线,即该测试单元被选中利用测试装置进行测试。在第一开关控制信号控制第一激励开关P1、第一感应开关P2、第一激励辅助开关P3同时断开时,第二开关控制信号也控制第二激励开关N1、第二感应开关N2、第二激励辅助开关N3同时断开。此时所述待测器件与总线断开,即该测试单元未被选中进行测试。同一时刻,只有一个该测试单元被选中。

[0052] 更为具体的,第一激励开关、第一感应开关和第一激励辅助开关均为PMOS (Positive Channel Metal Oxide Semiconductor) 晶体管,PMOS晶体管的源极连接至所述总线,PMOS晶体管的漏极连接至所述待测器件,PMOS晶体管的栅极作为各个开关的开关控制端。第二激励开关、第二感应开关和第二激励辅助开关均为NMOS (Negative channel Metal Oxide Semiconductor, N型金属氧化物半导体) 晶体管,NMOS晶体管的源极连接至HL总线,NMOS晶体管的漏极连接至所述待测器件,NMOS晶体管的栅极作为各个开关的开关控制端。第一开关控制信号SP和第二开关控制信号SN互为相反信号,在第一开关控制信号SP为低电平时,第二开关控制信号SN为高电平,此时第一激励开关P1、第一感应开关P2、第一激励辅助开关P3、第二激励开关N1、第二感应开关N2和第二激励辅助开关N3均导通,此时可以通过测量装置对连通至总线的测试单元进行开尔文测量,对待测器件两端的电压和电流进行精确的测量,此时测试单元被选中而处于测试状态。在第一开关控制信号SP为高电平时,第二开关控制信号SN为低电平,此时第一激励开关P1、第一感应开关P2、第一激励辅助开关P3、第二激励开关N1、第二感应开关N2和第二激励辅助开关N3均断开,此时测试单元未被选中而处于非测试状态。

[0053] 为了进行寻址,在其中一个测试单元处于测试状态时,其余测试单元均处于非测试状态,比如测试单元110-1处于测试状态时,其余的测试单元110-2、110-3、110-4都处于非测试状态,在测试单元110-2处于测试状态时,其余的测试单元110-1、110-3、110-4都处于非测试状态等等。通过设置第一开关控制信号SP和第二开关控制信号SN,可以使得各个测试单元可以依次的进入测试状态。

[0054] 在其他实施例中,针对只有两端口的待测器件,可以不设置第一激励辅助开关P3和第二激励辅助开关N3。在另一个实施例中,针对5端口或更多端口的待测器件,也可以设置更多的第一激励辅助开关和第二激励辅助开关。

[0055] 结合图3所示,下面分别对待测器件R1、R2、R3、R4的测量时开关状态进行陈述。

[0056] 当需要测量R1时,只需将测试单元110-1中的SP1置为低,SN1置为高,测试单元

110-2、110-3、110-4中的SP2、SP3、SP4置为高,SN2、SN3、SN4置为低。此时测试单元110-1中的开关P1~3和N1~3为导通状态,R1的第一连接端与线HF和HS连通,R1的第二连接端与线LF和LS连通,P3和N3开关处于浮空状态。测试单元110-2、110-3、110-4中的P1~3和N1~3开关都处于关闭状态,R2、R3、R4各自的连接端与总线都不连通。

[0057] 当需要测量R2时,只需将测试单元110-2中的SP2置为低,SN2置为高,测试单元110-1、110-3、110-4中的SP1、SP3、SP4置为高,SN1、SN3、SN4置为低。此时测试单元110-2中的开关P1~3和N1~3为导通状态,R2的第一连接端与线HF和HS连通,R2的第二连接端与线LF和LS连通,R2的第三连接端C与线HB连通,开关N3处于浮空状态。测试单元110-1、110-3、110-4中的P1~3和N1~3开关都处于关闭状态,R1、R3和R4各自的连接端与总线都不连通。

[0058] 当需要测量R3时,只需将测试单元110-3中的SP1置为低,SN1置为高,测试单元110-1、110-2、110-4中的SP1、SP2和SP4置为高,SN1、SN2和SN4置为低。此时测试单元110-3中的开关P1~3和N1~3为导通状态,R3的第一连接端与线HF和HS连通,R3的第二连接端与线LF和LS连通,R3的第三连接端C与线HB连通,R3的第四连接端D与线LB连通。测试单元110-1、110-2、110-4中的开关P1~3和N1~3都处于关闭状态,R1、R2和R4各自的端口与HL-Bus lines都不连通。

[0059] 当需要测量R4时,同为3端口的待测器件,参考R2的测量。

[0060] 上述每次测量都只选中1个待测器件与总线连通,线HF、HS、LF和LS组成开尔文测量的4端,HF和LF为激励通路,为高电流通路,HS和LS为感应通路,为低电流通路。以R1的测量为例,使用开尔文测量方法精确测量R1的A-B两端电压(U1)和流经R1的电流(I1),通过电阻值计算公式: $R1=U1/I1$,即可获取高精度的R1电阻值。

[0061] 综上所述,本发明可以对于2端口,3端口,4端口的待测器件可实现高精度的电阻值测量。待测器件适用范围相比于近似方案更大。

[0062] 图5为本发明的另一个实施例中的测试单元M1的电路结构图。图5的左图为测试单元的详细电路图,右图为测试单元的各个模块的框图。在图5所示的实施例中,所述测试单元M1包括待测器件DUT、开关电路模块Switch和寻址电路模块DFF_Chain。

[0063] 在图5中采用了两端口的待测器件DUT,其还可以像图3那样,采用3端口,4端口的待测器件。图5中的开关电路模块与图3中的开关电路模块相同,只是各个开关的位置不同,连接关系未发生变化。关于待测器件DUT和开关电路模块Switch的连接关系,请参考图3以及相关的描述,这里就不再赘述了。

[0064] 如图5所示的,所述寻址电路模块DFF_Chain包括信号输入端D_IN和信号输出端D_OUT,其锁存来自所述信号输入端的输入信号并将锁存的信号输出为互为相反的第一开关控制信号SP和第二开关控制信号SN,最后将第一开关控制信号SP和第二开关控制信号SN作为输出信号输出。

[0065] 如图5所示的,所述寻址电路模块可以为移位寄存器,其包括D触发器DFFR、数据缓冲器Buffer、复位端R、时钟输入端CK_IN、时钟缓冲器Buffer、时钟输出端CK_OUT。所述D触发器DFFR的输入端口D作为所述寻址电路模块的信号输入端D_IN,所述D触发器的Q端和QN端分别输出相反的第一开关控制信号SP和第二开关控制信号SN,数据缓冲器Buffer的输入端与所述D触发器DFFR的Q端相连,所述数据缓冲器的输出端作为所述寻址电路模块的信号输出端D_OUT。时钟输入端CK_IN与时钟缓冲器的输入端相连,时钟输出端CK_OUT与时钟缓

冲器的输出端相连。

[0066] 数据缓冲器和时钟缓冲器的输出信号电平与输入信号电平保持一致,防止信号在传输过程中的衰减。在有的实施例中,根据需要,也可以不设置数据缓冲器和时钟缓冲器。

[0067] 当复位端R置为低电平时,在时钟信号(CK)控制下,对所述D触发器DFFR的输入端口D输入信号(时钟上升沿时)锁存,所述D触发器DFFR的Q端信号(同D)、QN端信号(D的反向信号),实现信号锁存功能。当复位端R置为高电平时,对D触发器DFFR中锁存的信号置零,Q端信号被置为低电平,QN端信号被置为高电平,实现锁存信号的置零功能。Q和QN信号互为反向,Q端信号作为第二开关控制信号SN传递至第二组开关的开关控制端,QN端信号作为第一开关控制信号SP传递至第一组开关的开关控制端。

[0068] 在其他的实施例中,所述寻址电路模块可以为其他电路结构,只要其能够进行移位寄存就可以了,所述寻址电路模块输出的互为相反的第一开关控制信号SP和第二开关控制信号SN即可。此处不再赘述。

[0069] 如图5所示的,在进行测试单元M1的布局时,开关电路模块Switch位于寻址电路模块DFF_Chain和待测器件DUT之间。

[0070] 本发明中的多个测试单元可以串联成一行或多行。图6为本发明的一个实施例中的两个测试单元串联的电路结构图。在他实施例中,可以是三个、四个或更多个测试单元串联。如图6所示的,相邻的两个测试单元(比如M1-1和M1-2)的总线互连,即相邻的两个测试单元的线HF、LF、HS、LS、HB和LB分别对应连接,相邻的两个测试单元的寻址电路模块互连,即相邻的两个测试单元中在前测试单元(比如M1-1)的寻址电路模块的信号输出端D_OUT与在后测试单元(比如M1-2)的寻址电路模块的信号输入端D_IN相连,在前测试单元的寻址电路模块的复位端R与在后测试单元的寻址电路模块的复位端R相连,在前测试单元的时钟输入端CK_IN与在后测试单元的时钟输出端CK_OUT相连。

[0071] 图7为图6中的两个串联的测试单元的各信号的波形图。

[0072] 时钟信号由CK_IN0端输入,传入测试单元M1-1的寻址电路模块DFF_Chain1和测试单元M1-2的寻址电路模块DFF_Chain2,两寻址电路模块DFF_Chain的输入时钟信号同步。

[0073] 高电平代表信号1,用H表示,低电平代表信号0,用L表示。

[0074] 在第1个时钟周期上升沿到来之前,寻址电路模块DFF_Chian1和DFF_Chain2锁存信号的初始状态为:SN1和SP2为H,SP1和SN2为L。

[0075] 当复位信号R0为H时,对D触发器执行置零操作。复位信号R0由L变为H,开始执行D触发器的置零,使SN1由H转变为L,SP1由L转为H,SP2和SN2的状态保持不变;复位信号R0由H变为L,结束对D触发器的置零。之后的时钟周期内,复位信号R0保持L。

[0076] 在第2个时钟周期的上升沿,D_IN0信号状态为L,DFF_Chain1的输出端信号D_OUT(同SN1)为L。D_IN0传入DFF_Chain1;DFF_Chain1的输出端信号D_OUT作为DFF_Chain2的输入端信号传入DFF_Chain2并在下一个时钟周期上升沿前保持L;

[0077] 在第3个时钟周期上升沿,D_IN0信号为H,DFF_Chain1的输出端信号D_OUT为L,DFF_Chian1锁存D_IN0信号H,DFF_Chain2锁存DFF_Chian1上一个状态信号L。

[0078] 在第4个时钟周期上升沿,D_IN0信号为L,DFF_Chain1的输出端信号D_OUT为H,DFF_Chian1锁存D_IN0信号L,DFF_Chain2锁存DFF_Chian1上一个状态信号H。

[0079] 在第5个时钟周期上升沿,D_IN0信号为L,DFF_Chain1的输出端信号D_OUT为L,

DFF_Chian1锁存D_IN0信号L, DFF_Chain2锁存DFE_Chian1上一个状态信号L。

[0080] 在第6个时钟周期上升沿以及之后的时钟周期上升沿,情况同第5个时钟周期。

[0081] 由上分析可知,当复位信号R0为L即不执行置零时,DFE_Chain1和DFE_Chain2实现了锁存信号的传递:在每个时钟周期上升沿,D_IN0的信号传递给DFE_Chain1锁存,DFE_Chain1的锁存信号传递给DFE_Chain2锁存。每过1个时钟周期,DFE_Chain的锁存信号向后传递1位,图示的D_IN0为H状态,共传递了2个时钟周期。

[0082] 当测试单元M1串联N(N为大于等于1的整数)个时,DFE_Chain也串联了N个。R为H的置零操作后,如果D_IN0输入为如图6的单方波信号时,D_IN0为H的状态会从DFE_Chain1开始,每过1个时钟周期向下一级DFE_Chain传递,直至传递N个时钟周期至DFE_ChainN。

[0083] 在上述N个时钟周期内的任意1个时钟周期,DFE_Chain1~DFE_ChainN中,有且仅有1个DFE_Chain锁存的状态为H,其余DFE_Chain锁存的状态都为L。

[0084] DFE_Chain对应的输出信号SN同锁存信号一致、SP为锁存信号的反向信号。以SP为例,在上述N个时钟周期内的任意一个时钟周期,SP有且仅有1个为L。

[0085] SN和SP作为开关控制信号,控制开关电路模块Switch中的6个开关,可推断出,在上述N个时钟周期内的任意一个时钟周期,有且仅有1个开关电路模块处于导通状态,其余开关电路模块都为关闭状态,实现了仅选中1个测试单元的待测器件导通的状态。

[0086] 综上所述,当N个测试单元M1串联,经过R置零操作后,D_IN0输入如图6的单方波信号,且记当前时钟周期为第一个时钟周期,则在N个时钟内,电路会从DFE_Chain1开始,依次选中对应测试单元的待测器件导通,其余测试单元的待测器件与测试装置为断开状态,实现了对N个待测器件的寻址和导通。

[0087] 图8为本发明的一个实施例中的N个测试单元串联的电路结构图。以DFE_Chain的D_IN至D_OUT方向为正方向,N个测试单元的串联图形如图8所示,其实际运用适用性差,且焊盘PAD到待测器件的路径距离差异较大。

[0088] 将图8中的N个测试单元成多行的串联拼接,以实现更好的整体图形比例,提高适用性,如图9所示,其中N为12,12个测试单元被排成了4行。

[0089] 相邻行中在前行的最后一个测试单元和在后行的第一个测试单元为相邻的两个测试单元。如图9所示的,第一行Row1的最后一个测试单元(含DUT3)与第二行Row2的第一个测试单元(含DUT4)为相邻的两个测试单元,其中第一行Row1的DFE_Chain的D_IN至D_OUT方向为从左到右,第二行Row2的DFE_Chain的D_IN至D_OUT方向为从右到左,第二行Row2的最后一个测试单元(含DUT6)与第三行Row3的第一个测试单元(含DUT7)为相邻的两个测试单元,其中第三行Row3的DFE_Chain的D_IN至D_OUT方向为从左到右。这样,实现相邻两行的测试单元的首尾串联。在一个测试单元处于测试状态时,其他测试单元均处于非测试状态,排成多行的测试单元可以依次进入测试状态。如上文所述的,相邻的两个测试单元的两个测试单元的总线互连,即相邻的两个测试单元的线HF、LF、HS、LS、HB和LB分别对应连接,相邻的两个测试单元的寻址电路模块互连,即相邻的两个测试单元中在前测试单元寻址电路模块的信号输出端D_OUT与在后测试单元的寻址电路模块的信号输入端D_IN相连,在前测试单元的寻址电路模块的复位端R与在后测试单元的寻址电路模块的复位端R相连,在前测试单元的时钟输入端CK_IN与在后测试单元的时钟输出端CK_OUT相连。

[0090] 在个别待测器件的图形较大,单个DUT区域无法放置的情况下,可占用相邻的DUT

区域,实现DUT的放置,如图10所示,待测器件R1占用了四个测试单元的待测器件区域。如图9所示,为了排布方便,在相邻行中,一个行中的各个测试单元的待测器件DUT分别与另一行中的对应测试单元的待测器件DUT紧邻,如第二行Row2和第三行Row3的测试单元的待测器件DUT紧邻。

[0091] 如图9所示的,所述测试电路还包括:一个或多个第一连接模块M2和一个或多个第二连接模块M3。

[0092] 第一连接模块M2用于将相邻行中位于左侧的在前行的最后一个测试单元和在后行的第一个测试单元的总线以及寻址电路模块互连。第二连接模块M3用于将相邻行中位于右侧的在前行的最后一个测试单元和在后行的第一个测试单元的总线以及寻址电路模块互连。即将两个测试单元的线HF、LF、HS、LS、HB和LB分别对应连接,两个测试单元中在前测试单元寻址电路模块的信号输出端D_OUT与在后测试单元的寻址电路模块的信号输入端D_IN相连,在前测试单元的寻址电路模块的复位端R与在后测试单元的寻址电路模块的复位端R相连,在前测试单元的时钟输入端CK_IN与在后测试单元的时钟输出端CK_OUT相连。

[0093] 对于行间的总线HL-Bus lines的连通,并不限定连接模块M2和M3都必须具备,也可选择仅在连接模块M2或者仅在连接模块M3中连通上下行,以实现更灵活的电路连线布局。

[0094] 综上所述,通过测试单元M1的N行M列阵列拼接,同时在两侧添加M2和M3的N行单列的Array,可实现针对不同数量的DUT测试图形的外围电路快速搭建,同时对于行列的增减等需求,具有极高的电路灵活性。

[0095] 图11为本发明的再一个实施例中的多个测试单元被排布成多行的电路结构,其示出了32行、32列的测试单元。

[0096] 如图11所示的,所述测试电路还包括多个焊盘。所述焊盘包括与高压侧激励线HF相连的焊盘HF、与高压侧感应线HS相连的焊盘HS、与高压侧激励辅助线HB相连的焊盘HB、与低压侧激励线LF相连的焊盘LF、与低压侧感应线LS相连的焊盘LS、与低压侧激励辅助线LB相连的焊盘LB、与测试单元的寻址电路模块的时钟输入端相连的焊盘CK、与测试单元的寻址电路模块的复位端相连的焊盘R、与第一个测试单元的寻址电路模块的信号输入端相连的焊盘D_IN、与最后一个测试单元的寻址电路模块的信号输出端相连的焊盘D_OUT、焊盘VDD和焊盘VSS。

[0097] 焊盘HF用于高电压侧电压/电流偏置,焊盘HS用于高电压侧电压测量,HB用于高电压侧辅助电压偏置,焊盘LF用于低电压侧电压/电流偏置,焊盘LS用于低电压侧电压测量,焊盘LB用于低电压侧辅助电压偏置,焊盘VDD为数字电源,焊盘VSS为数字地,焊盘D_IN用于扫描输入,焊盘D_OUT用于扫描输出。

[0098] 如图11所示的,整体电路的总线HL-Bus line分别连接到对应的PAD,同时和阵列中每行的总线连通。首先焊盘VDD和VSS给DFF_Chain供电同时焊盘VSS提供开关电路模块Switch中的接地连接。通过焊盘CK输入时钟信号,通过焊盘R输入置零信号,将所有寄存器置零,完成初始化。通过焊盘D_IN输入扫描信号,从DUT<0,0>位置为起始,按图11中DFF_Chain箭头所示次序,至DUT<31,0>结束,待测器件DUT被依次选中。选中待测器件时,通过对总线HL-Bus line的6个焊盘输入所需的电压电流信号,实现对选中的DUT进行电压电流测量。

[0099] 本发明提出一种可拓展的可寻址的测试电路。所述测试电路在测试中共享PAD,且PAD数量固定,在一定范围内不因待测器件数量增大而增大,减小了PAD占比,提高了待测器件的面积利用率。同时支持多端口数量的GRV图形的待测器件,提升了对待测器件的支持范围。待测器件外围电路可拓展性强,可快速拼接拓展待测器件数量。

[0100] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。此外,本领域人员可以将本说明书中描述的不同实施例或示例进行接合和组合。

[0101] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改和变型。

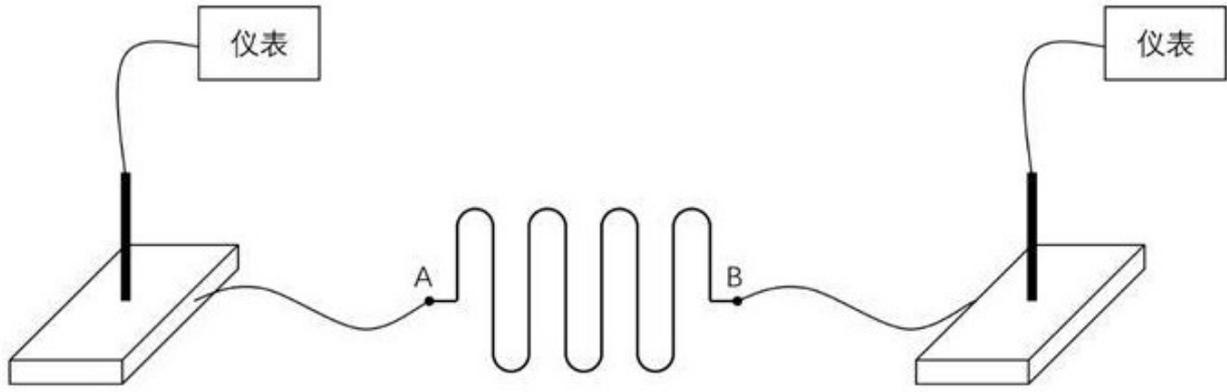


图 1

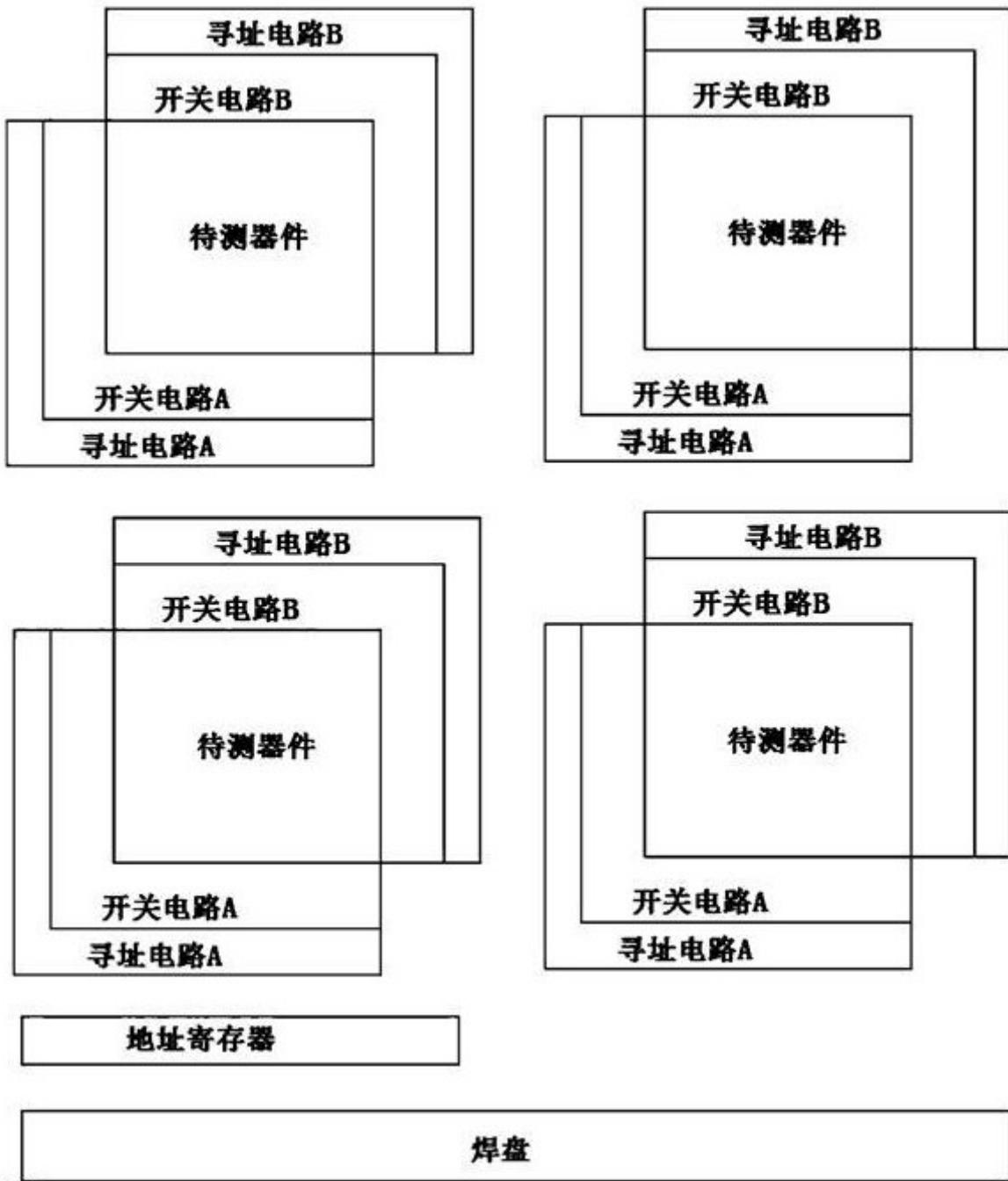


图 2A

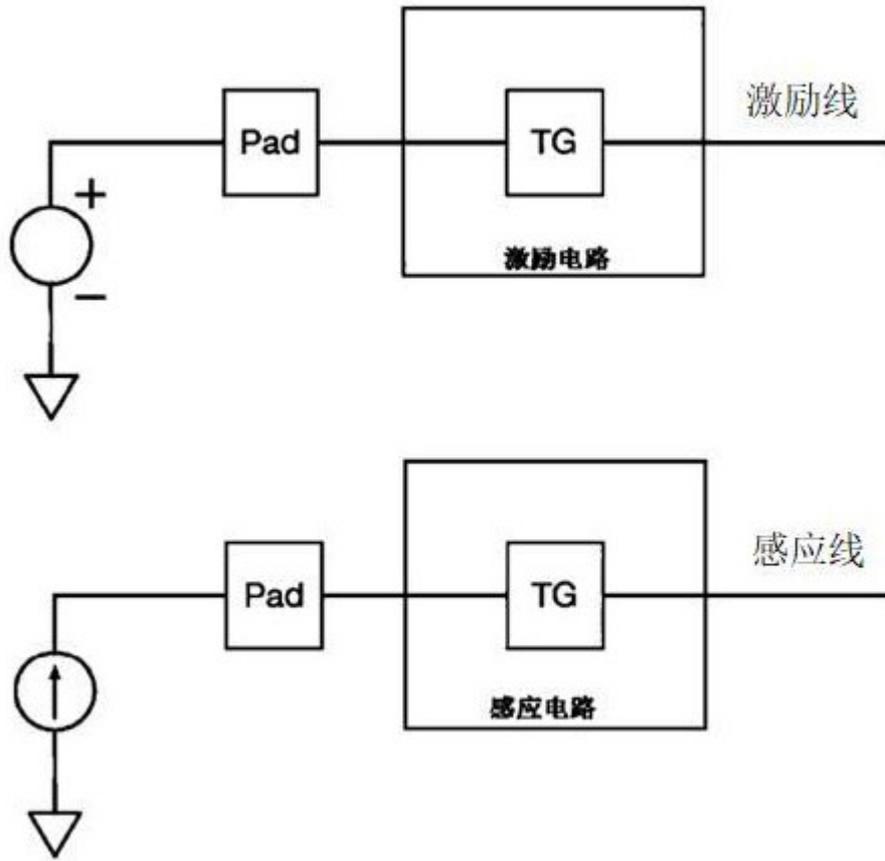


图 2C

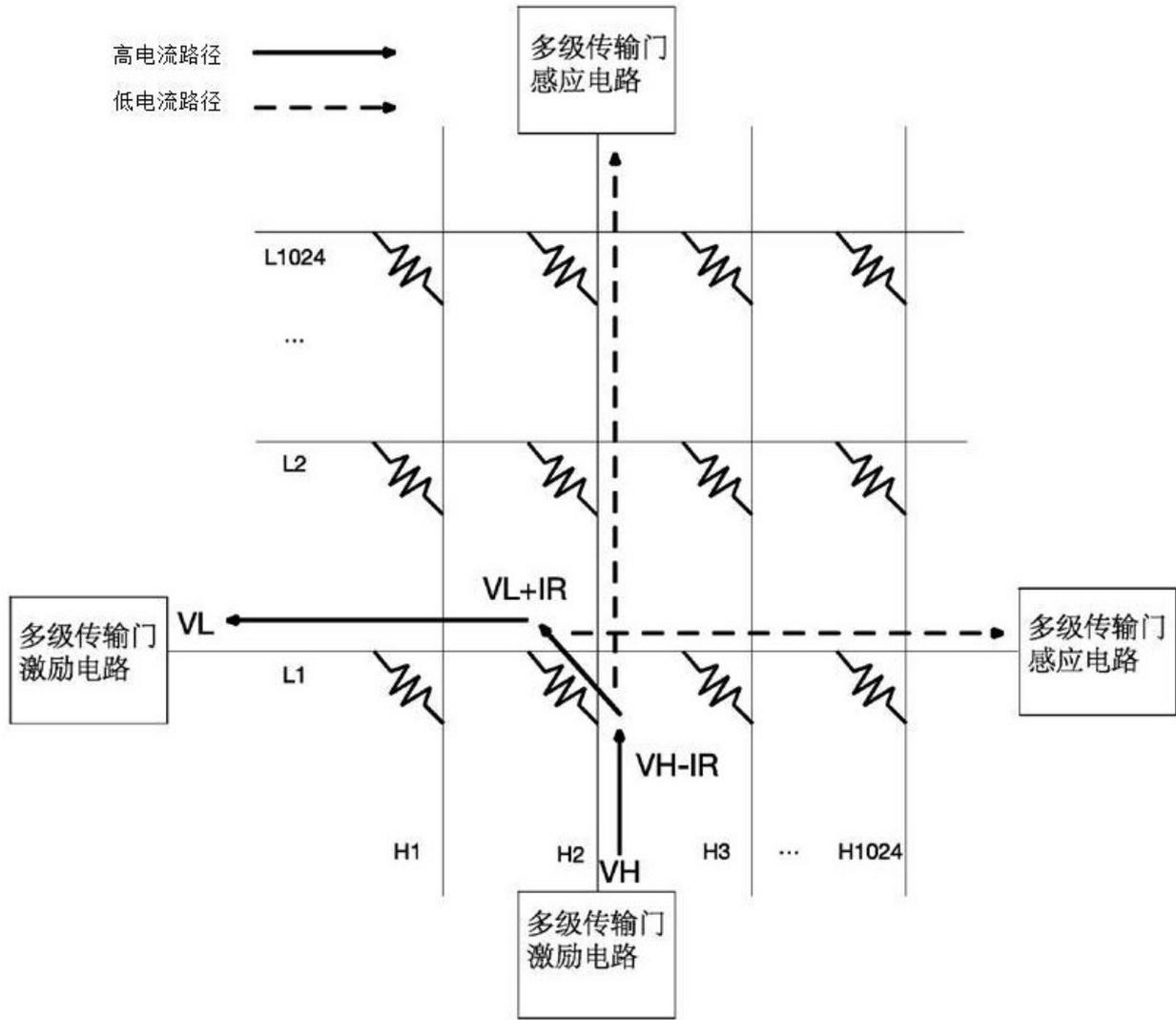


图 2D

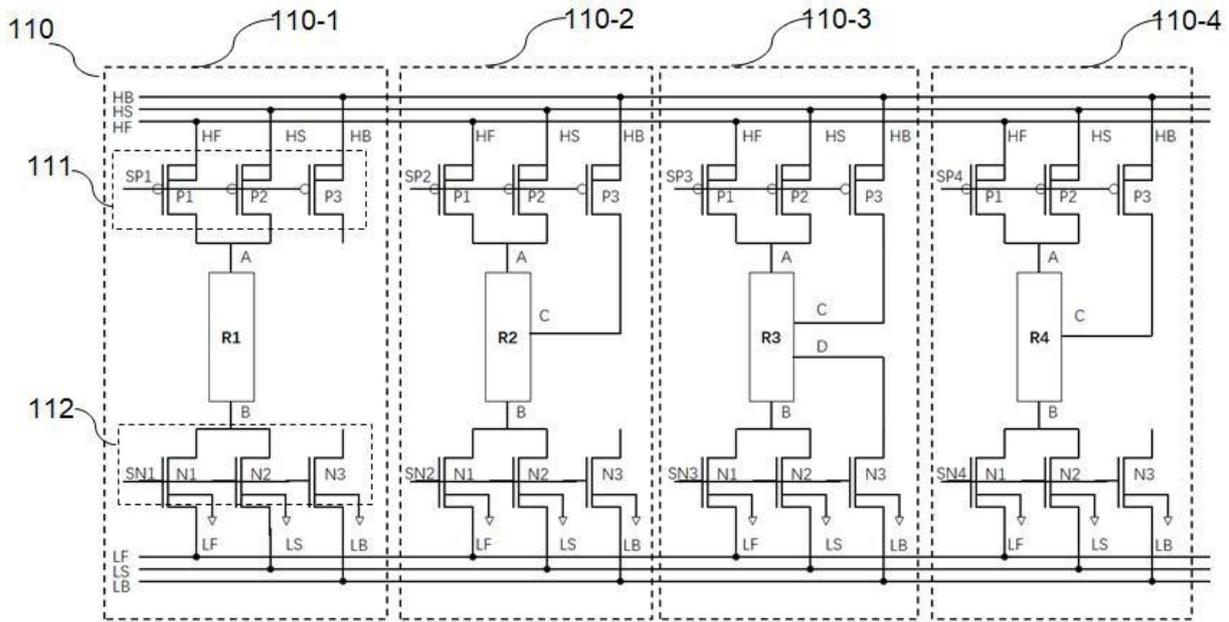


图 3

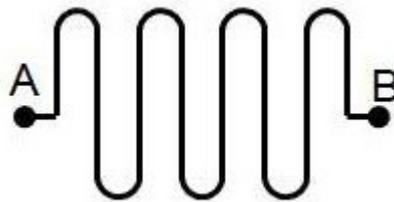


图 4A

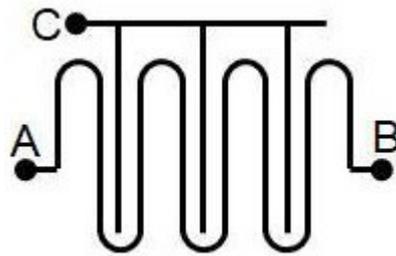


图 4B

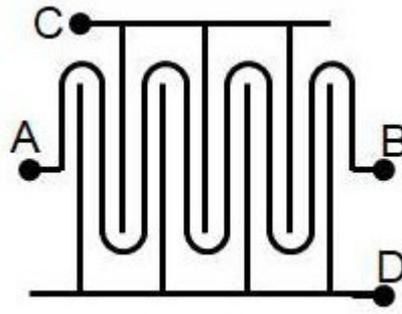


图 4C

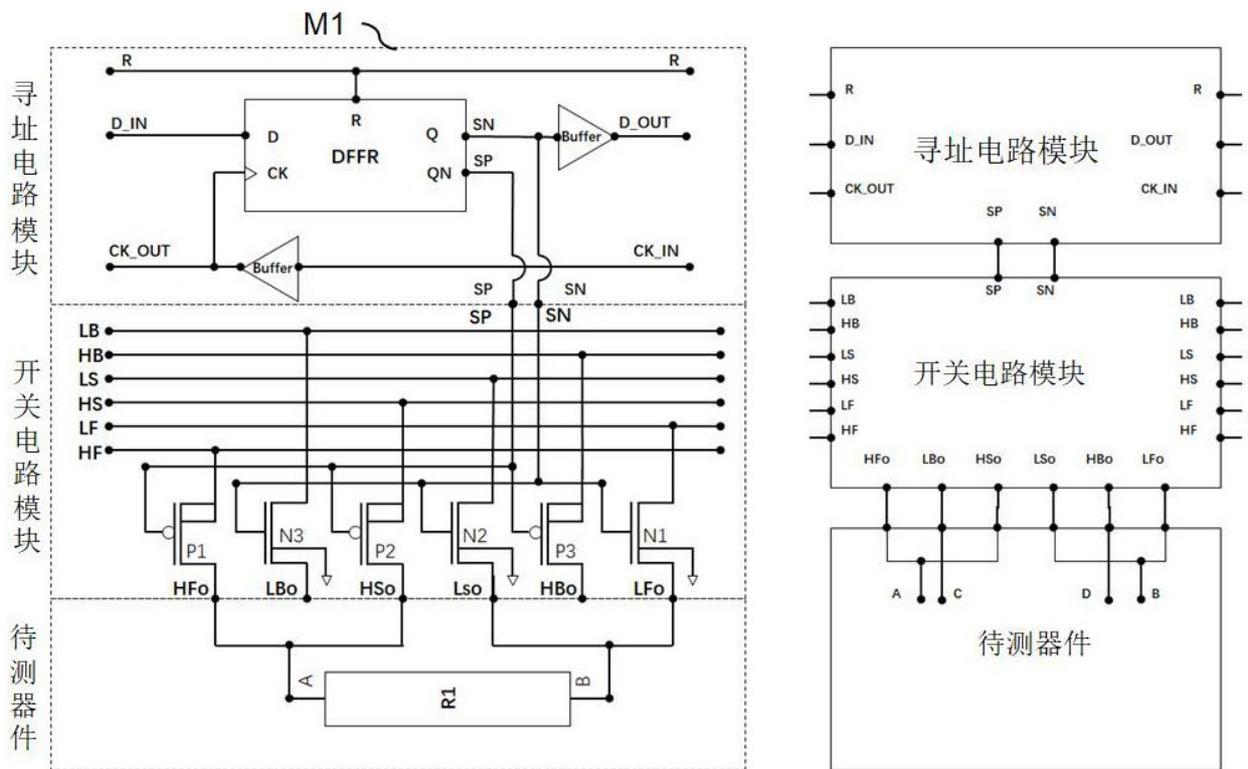


图 5

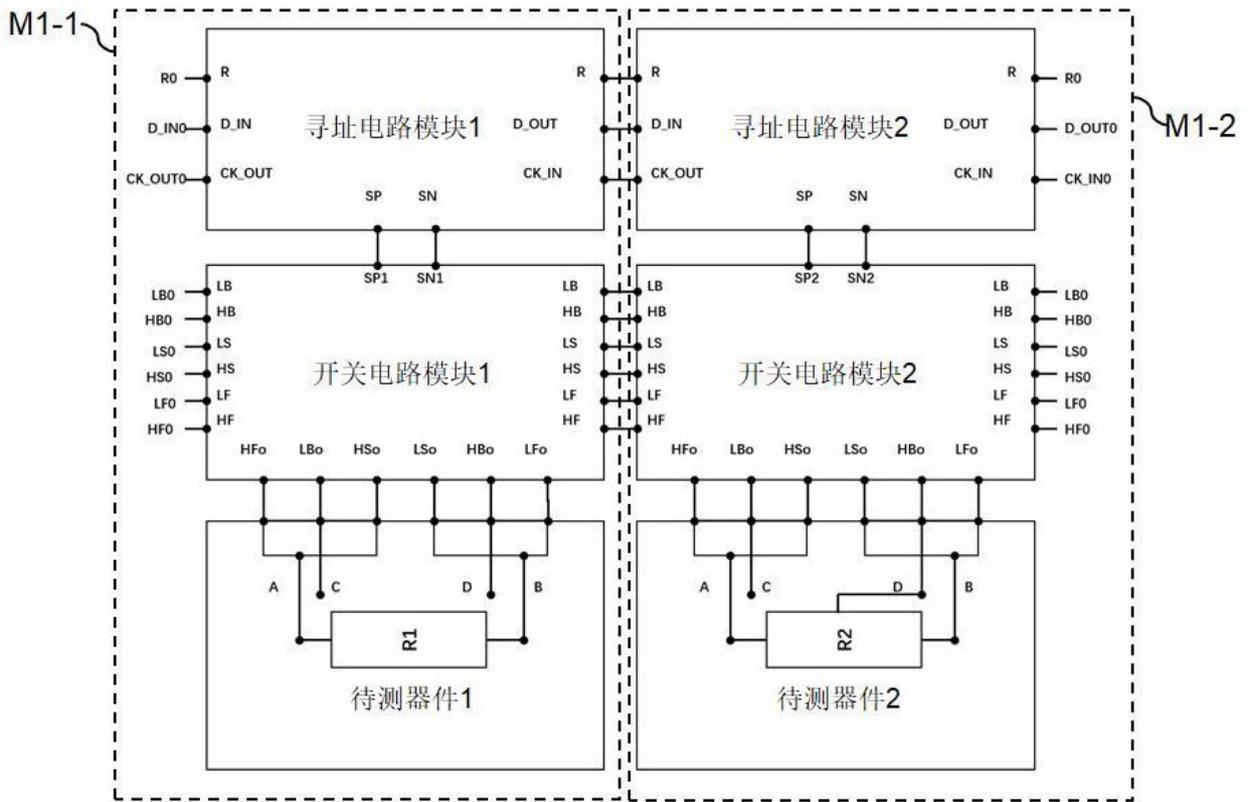


图 6

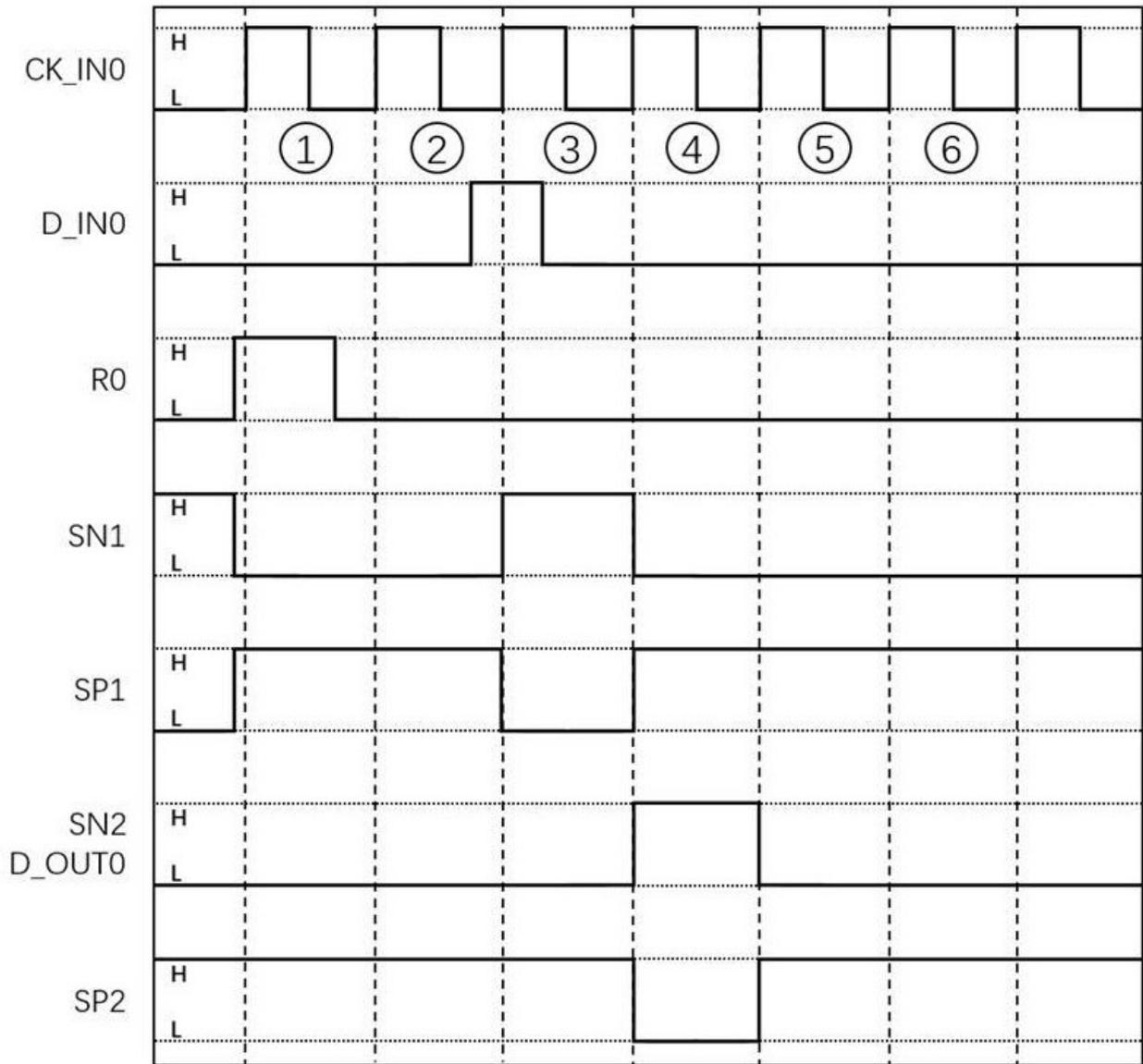


图 7



图 8



图 9

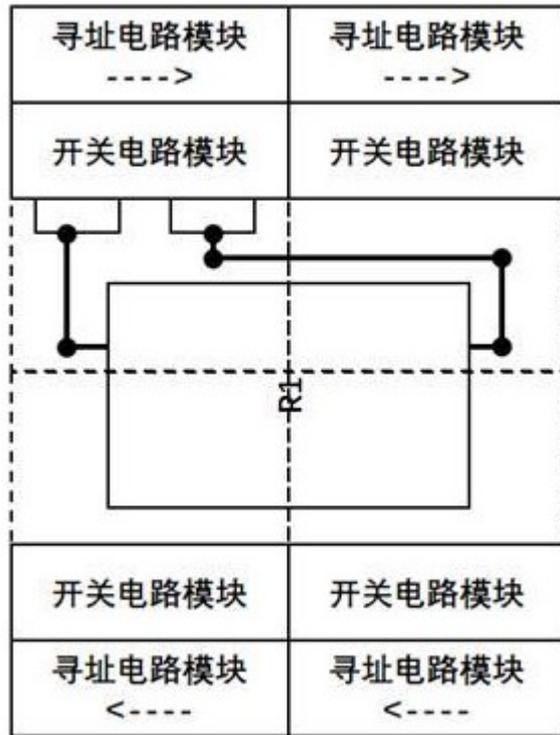


图 10

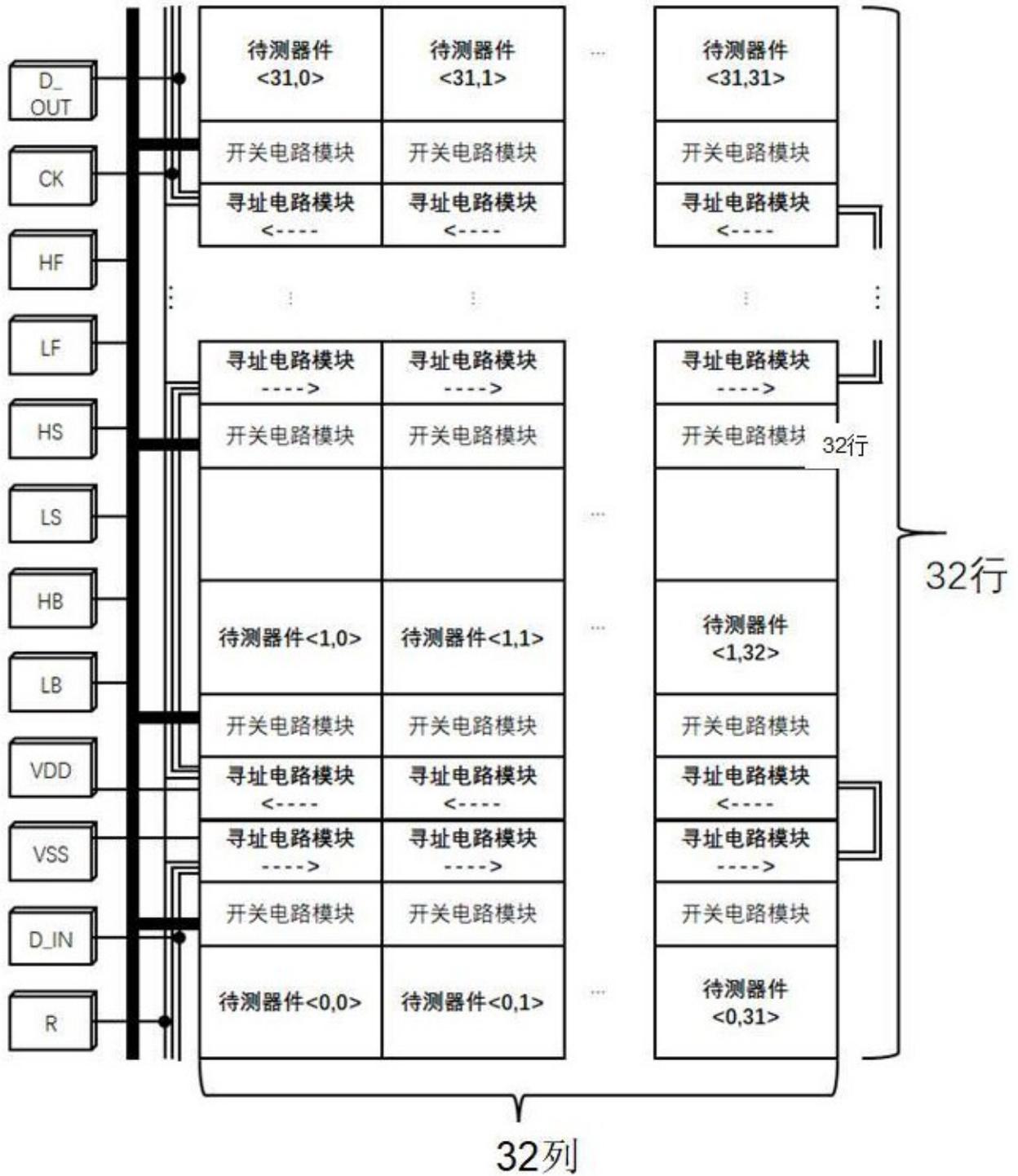


图 11