



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월24일  
(11) 등록번호 10-2269070  
(24) 등록일자 2021년06월18일

(51) 국제특허분류(Int. Cl.)  
G11C 15/04 (2006.01) G11C 11/412 (2006.01)  
G11C 11/413 (2006.01)  
(52) CPC특허분류  
G11C 15/04 (2013.01)  
G11C 11/412 (2013.01)  
(21) 출원번호 10-2019-0057973  
(22) 출원일자 2019년05월17일  
심사청구일자 2019년05월17일  
(65) 공개번호 10-2020-0132442  
(43) 공개일자 2020년11월25일  
(56) 선행기술조사문헌  
KR101052812 B1

(73) 특허권자  
숙명여자대학교산학협력단  
서울특별시 용산구 청파로47길 100 (청파동2가, 숙명여자대학교)  
(72) 발명자  
최웅  
서울특별시 용산구 청파로47길 100, 르네상스 플라자 307호 (청파동2가, 숙명여자대학교)  
(74) 대리인  
특허법인엠에이피에스

전체 청구항 수 : 총 10 항

심사관 : 윤석채

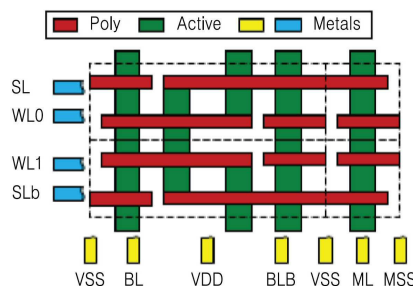
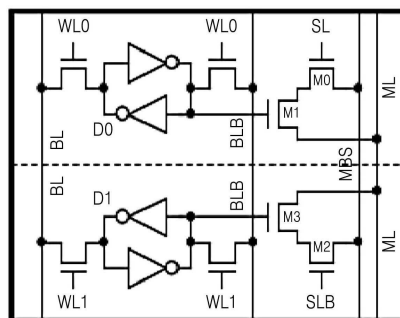
(54) 발명의 명칭 내용 주소화 메모리 장치 및 그 동작 방법

(57) 요약

본 발명에 따른 내용 주소화 메모리 장치는 직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들; 검색 값에 따라, 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 검색 데이터 레지스터; 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 워드라인 단위로 인가하는

(뒷면에 계속)

대표도 - 도3



매치라인 프리차지부; 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속되어 매치라인에 대하여 풀다운 경로의 생성 여부를 조절하는 풀다운 경로 제어부; 및 내용 주소화 메모리 셀의 매치라인의 전압 상태를 워드라인 단위로 감지하여, 검색 값과 워드라인에 포함된 내용 주소화 메모리 셀들에 저장된 정보의 비교 결과를 출력하는 감지 증폭기를 포함한다. 이때, 풀다운 경로 제어부는 매치라인을 프리차지하고, 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 전달하는 프리차지 구간 동안 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하고, 프리차지하는 동작이 종료된 후 풀다운 경로를 형성하되, 감지 증폭기의 감지 결과 검색 값과 워드라인에 저장된 정보가 상이한 미스 매치 상태여서 해당 매치라인의 전압이 임계값 이하로 낮아진 경우 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단한다.

(52) CPC특허분류

**G11C 11/413** (2013.01)

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

내용 주소화 메모리 장치에 있어서,

직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들;

검색하고자 하는 검색 값에 따라, 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 검색 데이터 레지스터;

상기 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 상기 워드라인 단위로 인가하는 매치라인 프리차지부;

상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속되어 상기 매치라인에 대하여 풀다운 경로의 생성 여부를 조절하는 풀다운 경로 제어부; 및

상기 내용 주소화 메모리 셀의 매치라인의 전압 상태를 상기 워드라인 단위로 감지하여, 상기 검색 값과 상기 워드라인에 포함된 내용 주소화 메모리 셀들에 저장된 정보의 비교 결과를 출력하는 감지 증폭기를 포함하되,

상기 매치라인을 프리차지하고, 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 프리차지 구간 동안, 상기 풀다운 경로 제어부는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하고,

상기 매치라인을 프리차지하는 동작이 종료된 후, 상기 풀다운 경로 제어부는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 연결하여 풀다운 경로를 형성하되, 상기 감지 증폭기의 감지 결과 상기 검색 값과 상기 워드라인에 저장된 정보가 상이한 미스 매치 상태여서 해당 매치라인의 전압이 제 1 임계값 이하로 낮아진 경우 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하는 내용 주소화 메모리 장치.

#### 청구항 2

제 1 항에 있어서,

상기 풀다운 경로 제어부는

상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 접속된 PMOS 트랜지스터 및

상기 감지 증폭기의 출력과 상기 매치라인의 프리차지 신호에 기초하여 상기 PMOS 트랜지스터의 게이트를 활성화하는 제어신호를 출력하는 논리소자를 포함하되,

상기 논리소자는 상기 매치라인의 프리차지 신호가 로우레벨이거나, 상기 감지 증폭기의 출력이 로우레벨인 경우 상기 PMOS 트랜지스터를 턴오프 시켜 상기 풀다운 경로를 차단하는 제어신호를 출력하고,

상기 논리소자는 상기 매치라인의 프리차지 신호 및 상기 감지 증폭기의 출력이 하이레벨인 경우 상기 PMOS 트랜지스터를 턴온시켜 상기 풀다운 경로를 형성하는 제어신호를 출력하는 것인 내용 주소화 메모리 장치.

#### 청구항 3

제 1 항에 있어서,

상기 검색 값과 상기 워드라인에 저장된 정보의 비교 결과에 따라, 프리차지된 매치라인의 전압이 변화하는 매치라인 전압의 평가 단계에서, 미스 매치된 셀의 개수가 하나 이상이고 제 2 임계값 이하인 경우에 해당 매치라인의 전압 방전 속도를 상승시키는 부스터부를 더 포함하는 내용 주소화 메모리 장치.

#### 청구항 4

제 3 항에 있어서,

상기 부스터부는

부스터 제어신호 및 상기 감지 증폭기의 출력 신호를 입력으로 하는 논리곱 소자,

상기 매치라인의 단부가 게이트에 접속되고, 일측 단자가 전원 전압 단자에 접속된 제 1 PMOS 트랜지스터,

상기 제 1 PMOS 트랜지스터의 타측 단자와 일측 단자가 직렬 접속되고, 타측 단자가 접지와 접속되며, 반전된 매치라인 프리차지 신호가 게이트로 인가되는 제 1 NMOS 트랜지스터,

상기 매치라인의 단부와 일측 단자가 접속되고, 상기 제 1 PMOS 트랜지스터와 상기 제 1 NMOS 트랜지스터의 접속노드가 게이트와 접속되는 제 2 NMOS 트랜지스터 및

상기 제 2 NMOS 트랜지스터의 타측 단자와 일측 단자가 접속되고, 타측 단자가 접지되며, 상기 논리곱 소자의 출력이 게이트로 인가되는 제 3 NMOS 트랜지스터를 포함하는 것이되,

상기 제 1 PMOS 트랜지스터, 제 2 NMOS 트랜지스터 및 제 3 NMOS 트랜지스터의 문턱전압은 상기 제 1 NMOS 트랜지스터의 문턱전압보다 낮게 설정된 것인 내용 주소화 메모리 장치.

### 청구항 5

제 4 항에 있어서,

상기 부스터부는

상기 매치라인 프리차지 신호가 로우레벨이 되어 상기 매치라인의 프리차지가 수행되는 동안 상기 제 1 NMOS 트랜지스터가 턴온되어, 상기 제 2 NMOS 트랜지스터는 턴오프 상태를 갖게되며,

상기 매치라인의 프리차지 신호가 하이레벨이 되어 상기 매치라인의 프리차지가 종료되고, 상기 매치라인의 전압이 평가되는 제 1 센싱 동작 수행 이후 상기 부스터 제어신호가 하이레벨이 되는 부스트 동작 동안, 상기 매치라인의 전압레벨이 감소함에 따라 상기 제 1 PMOS 트랜지스터가 턴온되고, 상기 제 1 PMOS 트랜지스터가 턴옴에 따라 상기 전원 전압이 상기 제 2 NMOS 트랜지스터에 인가되어 상기 제 2 NMOS 트랜지스터가 턴온되며, 상기 부스터 제어신호 및 상기 감지 증폭기의 출력 신호에 의해 상기 제 3 NMOS 트랜지스터가 턴온되어, 상기 제 2 NMOS 트랜지스터 및 제 3 NMOS 트랜지스터를 경유하는 매치라인의 풀다운 경로가 추가로 생성되도록 하는 것인 내용 주소화 메모리 장치.

### 청구항 6

제 5 항에 있어서,

상기 부스트 동작 이전에 제 1 전압 평가 모드 신호에 따라 설정되는 제 1 센싱 동작 동안에는, 미스 매치된 셀의 개수가 상기 제 2 임계값 보다 큰 경우, 해당 매치라인은 상기 부스트 동작 전에 상기 풀다운 경로 제어부를 통해 매치라인의 전압이 방전되어 미스 매치된 워드라인으로 평가되고,

상기 부스트 동작 이후에 제 2 전압 평가 모드 신호에 따라 설정되는 제 2 센싱 동작 동안에는, 미스 매치된 셀의 개수가 하나 이상이고 상기 제 2 임계값 이하인 경우의 매치라인은, 상기 부스트 동작 동안 상기 부스터부를 통해 전압이 방전됨에 따라, 상기 제 2 센싱 동작 동안 미스 매치된 워드라인으로 평가되는 것인 내용 주소화 메모리 장치.

### 청구항 7

내용 주소화 메모리 장치의 동작 방법에 있어서,

상기 내용 주소화 메모리 장치는 직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들을 포함하되,

상기 각 워드라인 단위로 상기 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 인가하여 매치라인을 프리차지시키는 단계;

검색하고자 하는 검색 값에 따라, 검색 데이터 레지스터를 통해 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 단계; 및

상기 워드라인의 각 내용 주소화 메모리 셀에 저장된 값과 상기 검색 값의 비교 결과에 따라 상기 매치라인의

전압 상태가 결정되는 평가 단계를 포함하되,

상기 매치라인을 프리차지시키는 단계는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속된 풀다운 경로 제어부를 통해, 상기 매치라인을 프리차지하는 동작 동안, 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하는 단계를 포함하고,

상기 평가 단계는 상기 풀다운 경로 제어부를 통해 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 연결하여 풀다운 경로를 형성하되, 상기 검색 값과 상기 워드라인에 저장된 정보가 상이한 미스 매치 상태인 경우 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하는 내용 주소화 메모리 장치의 동작 방법.

**청구항 8**

제 7 항에 있어서,

상기 매치라인의 전압 상태가 결정되는 평가 단계는

부스터부를 이용하여, 미스 매치된 셀의 개수가 하나 이상이고 임계값 이하인 경우에 해당 매치라인의 전압 방전 속도를 상승시키는 부스팅 동작을 수행하는 단계를 포함하되,

상기 부스터부는

부스터 제어신호 및 감지 증폭기의 출력 신호를 입력으로 하는 논리곱 소자,

상기 매치라인의 단부가 게이트에 접속되고, 일측 단자가 전원 전압 단자에 접속된 제 1 PMOS 트랜지스터,

상기 제 1 PMOS 트랜지스터의 타측 단자와 일측 단자가 직렬 접속되고, 타측 단자가 접지와 접속되며, 반전된 매치라인 프리차지 신호가 게이트로 인가되는 제 1 NMOS 트랜지스터,

상기 매치라인의 단부와 일측 단자가 접속되고, 상기 제 1 PMOS 트랜지스터와 상기 제 1 NMOS 트랜지스터의 접속노드가 게이트와 접속되는 제 2 NMOS 트랜지스터 및

상기 제 2 NMOS 트랜지스터의 타측 단자와 일측 단자가 접속되고, 타측 단자가 접지되며, 상기 논리곱 소자의 출력이 게이트로 인가되는 제 3 NMOS 트랜지스터를 포함하는 것이고,

상기 제 1 PMOS 트랜지스터, 제 2 NMOS 트랜지스터 및 제 3 NMOS 트랜지스터의 문턱전압은 상기 제 1 NMOS 트랜지스터의 문턱전압보다 낮게 설정된 것인 내용 주소화 메모리 장치의 동작 방법.

**청구항 9**

제 8 항에 있어서,

상기 부스팅 동작을 수행하는 단계는

상기 부스터 제어신호 및 상기 감지 증폭기의 출력 신호가 하이레벨이 되는 부스트 동작 동안 상기 제 3 NMOS 트랜지스터가 턴온되어, 상기 제 2 NMOS 트랜지스터 및 제 3 NMOS 트랜지스터를 경유하는 매치라인의 풀다운 경로가 추가로 생성되는 단계를 포함하는 것인 내용 주소화 메모리 장치의 동작 방법.

**청구항 10**

제 9 항에 있어서,

상기 부스트 동작을 수행하는 단계 이전에 제 1 전압 평가 모드 신호에 따라 설정되는 제 1 센싱 동작 동안에는, 미스 매치된 셀의 개수가 상기 임계값 보다 큰 경우, 해당 매치라인은 상기 부스트 동작 전에 상기 풀다운 경로 제어부를 통해 매치라인의 전압이 방전된 것으로 평가되고,

상기 부스트 동작을 수행하는 단계 이후에 제 2 전압 평가 모드 신호에 따라 설정되는 제 2 센싱 동작 동안에는, 미스 매치된 셀의 개수가 하나 이상이고 임계값 이하인 경우의 매치라인은, 상기 부스트 동작 동안 상기 부스터부를 통해 전압이 방전됨에 따라, 상기 제 2 센싱 동작 동안 해당 매치라인의 전압이 방전된 것으로 평가되는 것인 내용 주소화 메모리 장치의 동작 방법.

**발명의 설명**

**기술분야**

[0001] 본 발명은 내용 주소화 메모리 장치 및 그 동작 방법에 관한 것이다.

**배경기술**

[0002] 내용 주소화 메모리(Content Addressable Memory, CAM)는 대형 룩업 테이블의 검색을 가속화하는 검색 엔진으로서 널리 사용되어 왔다. 이러한 빠른 검색 성능으로 인해, 내용 주소화 메모리는 네트워크 라우터, 프로세서 캐시, 패턴 인식 및 많은 연관 컴퓨팅의 응용 프로그램에 주로 사용되고 있다. 그러나, 완전 병렬 검색 작업을 위한 매치 라인(ML) 및 검색 라인(SL)의 수많은 스위칭으로 인해 동적 전력 소비가 매우 커지는 문제점이 있다. 또한, 요구되는 메모리 용량과 클럭 속도가 증가함에 따라 내용 주소화 메모리의 설계는 전력 용량의 한계를 맞추기 더 어려워지고 있다.

[0003] 이를 해결하기 위한 기술로서, 매치라인을 하이레벨로 프리차지하는 방식(Precharge-high ML sensing)과 전류 절약 방식(Current-saving scheme)이 알려져 있다. 그러나, 전자의 경우 매치라인(ML)을 하이레벨로 프리차지하는 동작을 수행하기 전에 매번 각 서치라인(SL, SLB)을 다시 로우레벨로 초기화하는 동작을 수행함에 따라 상당한 전력이 소모된다.

[0004] 또한, 후자의 경우 매치라인(ML) 평가 단계에서 전류원을 통해 전류를 공급하는데, 미스 매치가 많이 발생하는 경우에는 전류원에 의하여 상당한 양의 직접 전류가 흐르는 문제점이 있다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 대한민국 공개 특허 10-2011-0077349(발명의 명칭: 저전력 내용 주소화 메모리 구동회로)

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 적응적으로 매치라인에 대하여 풀다운 경로를 생성하는 구성과 미스매치되는 메모리의 개수가 작은 경우 방전 속도를 증가시키는 부스팅 회로 구성을 포함하는 새로운 구조의 내용 주소화 메모리 장치를 제공하는데 그 목적이 있다.

[0007] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

**과제의 해결 수단**

[0008] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 내용 주소화 메모리 장치는 직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들; 검색하고자 하는 검색 값에 따라, 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 검색 데이터 레지스터; 상기 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 상기 워드라인 단위로 인가하는 매치라인 프리차지부; 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속되어 상기 매치라인에 대하여 풀다운 경로의 생성 여부를 조절하는 풀다운 경로 제어부; 및 상기 내용 주소화 메모리 셀의 매치라인의 전압 상태를 상기 워드라인 단위로 감지하여, 상기 검색 값과 상기 워드라인에 포함된 내용 주소화 메모리 셀들에 저장된 정보의 비교 결과를 출력하는 감지 증폭기를 포함한다.

[0009] 이때, 매치라인을 프리차지하고, 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 프리차지 구간 동안, 상기 풀다운 경로 제어부는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하고, 상기 매치라인을 프리차지하는 동작이 종료된 후, 상기 풀다운 경로 제어부는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 연결하여 풀다운 경로를 형성하되, 상기 감지 증폭기의 감지 결과 상기 검색 값과 상기 워드라인에 저장된 정보가 상이한 미스 매치 상태여서 해당 매치라인의 전압이 임계값 이하로 낮아진 경우 상기 내용 주소화 메모리 셀의 접지라인의 단부와

접지 사이를 차단하여 풀다운 경로를 차단한다.

[0010] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 2 측면에 따른 내용 주소화 메모리 장치의 동작 방법은, 각 워드라인 단위로 상기 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 인가하여 매치라인을 프리차지시키는 단계; 검색하고자 하는 검색 값에 따라, 검색 데이터 레지스터를 통해 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 단계; 및 상기 워드라인의 각 내용 주소화 메모리 셀에 저장된 값과 상기 검색 값의 비교 결과에 따라 상기 매치라인의 전압 상태가 결정되는 평가 단계를 포함한다. 이때, 매치라인을 프리차지시키는 단계는 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속된 풀다운 경로 제어부를 통해, 상기 매치라인을 프리차지하는 동작 동안, 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하는 단계를 포함하고, 상기 평가 단계는 상기 풀다운 경로 제어부를 통해 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 연결하여 풀다운 경로를 형성하되, 상기 검색 값과 상기 워드라인에 저장된 정보가 상이한 미스 매치 상태인 경우 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하는 것을 특징으로 한다.

**발명의 효과**

[0011] 본 발명의 구성에 내용 주소화 메모리 장치는 풀다운 경로 제어부를 통해 일괄적으로 풀다운 경로의 형성을 차단할 수 있다. 따라서, 매치라인 프리차지를 수행하기 전에, 각 서치라인(SL, SLB)을 다시 로우레벨로 초기화하는 동작을 수행하지 않고서도, 풀다운 경로의 형성을 차단할 수 있다.

[0012] 또한, 각 워드라인에서 미스매치가 발생한 셀의 개수가 임계값 보다 작은 경우, 풀다운 경로를 통한 방전 속도가 늦어짐에 따라 지연이 발생하게 되는 문제점을 해소할 수 있다. 즉, 미스매치가 발생한 셀의 개수가 임계값 보다 작은 경우 예는 부스터부를 통해 해당 매치라인의 전류가 방전되도록 하여 방전 속도를 빠르게 할 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 통상적인 내용 주소화 메모리의 구성 및 그 동작을 도시한 것이다.
- 도 2는 본 발명의 일 실시예에 따른 내용 주소화 메모리 장치를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 내용 주소화 메모리 셀을 도시한 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 풀다운 경로 제어부에 포함되는 논리소자의 상세 구성을 도시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 부스터부의 상세 구성을 도시한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 내용 주소화 메모리 장치의 동작 방법을 도시한 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0016] 도 1은 통상적인 내용 주소화 메모리의 구성 및 그 동작을 도시한 것이다.

[0017] 도 1의 (a)에 도시된 바와 같이, 단일한 메모리 셀은 16개의 트랜지스터를 포함하여 이루어지는데, 각 메모리 셀은 2 개의 인버터의 입력단과 출력단이 각각 접속되어 데이터를 저장하는 2개의 저장소(D0, D1)를 포함하고, 제 1 저장소(D0)의 출력이 게이트로 인가되는 제 1 NMOS 트랜지스터, 제 1 서치라인(SL) 입력이 게이트로 인가되는 제 2 NMOS 트랜지스터, 제 2 저장소(D1)의 출력이 게이트로 인가되는 제 3 NMOS 트랜지스터, 제 2 서치라인(SLB) 입력이 게이트로 인가되는 제 4 NMOS 트랜지스터를 포함한다. 이때, 매치라인(ML)과 제 1 NMOS 트랜지

스터 및 제 3 NMOS 트랜지스터가 접속되고, 제 1 NMOS 트랜지스터는 타단이 접지(VSS)와 접속된 제 2 NMOS 트랜지스터와 직렬 접속되고, 제 3 NMOS 트랜지스터는 타단이 접지(VSS)와 접속된 제 4 NMOS 트랜지스터와 직렬 접속되므로, 각 저장소(D0, D1)의 저장값과 각 서치라인 입력(SL, SLB)에 따라 매치라인(ML)의 상태가 결정된다.

[0018] 즉, 도 1의 (a)의 포와 같이, 제 1 저장소(D0)의 값과 제 1 서치라인(SL)의 입력이 동일한 경우, 즉 저장되어 있는 값과 검색하고자 하는 값이 동일한 ‘매치(match)’ 상태이면, 어느 한 NMOS 트랜지스터는 턴오프되므로, 매치라인(ML)을 풀다운 시키는 경로는 형성되지 않는다. 그러나, 제 1 저장소(D0)의 값과 제 1 서치라인(SL)의 입력이 서로 다른 경우, 즉 저장되어 있는 값(이하 저장 값이라 함)과 검색하고자 하는 값(이하 검색 값이라 함)이 반대인 ‘미스 매치(mismatch)’ 상태이면, 제 1 및 제 2 NMO 트랜지스터가 모두 턴온되거나, 제 3 및 제 4 NMOS 트랜지스터가 모두 턴온되므로, 매치라인(ML)을 풀다운 시키는 경로가 형성된다. 또한, ‘X’ 로 표시된 무관 조건(don't care)에서는 제 1 저장소(D0)와 제 2 저장소(D1)에 모두 ‘1’ 이 저장되므로, 서치라인(SL)의 입력과는 무관하게 매치라인(ML)을 풀다운 시키는 경로는 형성되지 않는다.

[0019] 이와 같은 통상적인 내용 주소화 메모리의 동작을 살펴보기로 한다.

[0020] 내용 주소화 메모리의 동작 방법으로 매치라인을 하이레벨로 프리차지하는 방식(Precharge-high ML sensing)과 전류 절약 방식(Current-saving scheme)이 알려져 있다.

[0021] 먼저, 매치라인을 하이레벨로 프리차지하는 방식을 살펴보면, 도 1의 (b)와 (c)에 도시된 바와 같이 매치라인(ML)을 하이레벨로 프리차지 하는 동작을 수행하기에 앞서, 각 서치라인(SL, SLB)을 프리차지 하는 동작이 수행된다. 앞서, 도 1의 (a)를 통해 설명한 바와 같이, 미스 매치가 발생하면 풀다운 경로가 형성되고, 이후 풀다운 경로를 제거하기 위해 각 서치라인(SL, SLB)을 다시 로우레벨로 초기화하는 동작을 수행하게 된다. 이와 같은 초기화 동작은 매치라인(ML)을 하이레벨로 프리차지 하는 동작을 수행하기 전에 매번 수행되므로, 상당한 전력이 소모된다. 한편, 매치라인(ML)을 평가하는 단계에서는 저장 값과 검색 값의 비교 결과에 따라 매치라인(ML)의 전압레벨이 변화한다. 이때, 미스 매치되는 셀은 풀 다운되므로, 미스 매치되는 셀이 많아지면 이를 프리차지하는 과정에서 많은 전력이 소모된다.

[0022] 전류 절약 방식에서는 매치라인(ML)에 전류를 공급하는 전류원을 추가로 결합한다. 그리고, 각 서치라인(SL, SLB)을 프리차지하는 동작을 제외한다. 따라서, 검색 값이 동일한 경우에는 서치라인(SL, SLB)값은 스위칭되지 않고 그대로 유지된다. 전류 절약 방식에서는 매치라인(ML)의 프리차지 레벨을 낮게 유지하는 대신, 매치라인(ML) 평가 단계에서 전류원을 통해 전류를 공급한다. 다만, 이러한 방식의 경우 미스 매치가 많이 발생하는 경우에는 전류원에 의하여 상당한 양의 직접 전류가 흐르는 문제점이 있다.

[0023] 도 2는 본 발명의 일 실시예에 따른 내용 주소화 메모리 장치를 도시한 도면이다.

[0024] 내용 주소화 메모리 장치(10)는 직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들(100, 110), 내용 주소화 메모리 셀에 검색 비트를 각각 전달하는 검색 데이터 레지스터(200), 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 인가하는 매치라인 프리차지부(300), 매치라인에 대하여 풀다운 경로의 생성 여부를 조절하는 풀다운 경로 제어부(400), 내용 주소화 메모리 셀의 매치라인의 전압 상태를 워드라인 단위로 감지하는 감지 증폭기(500) 및 기준 전압 발생부(700)를 포함한다. 추가적으로, 매치라인 전압의 평가 단계에서, 미스 매치된 셀의 개수가 하나 이상이고 임계값 이하인 경우에 해당 매치라인의 전압 방전 속도를 상승시키는 부스터부(600)를 더 포함할 수 있다.

[0025] 각 워드라인(100)에는 복수의 내용 주소화 메모리 셀이 직렬 접속될 수 있다. 이때, 내용 주소화 메모리 셀로는 앞서 도 1을 통해 설명된 메모리 셀 외에도 도 3에 도시된 내용 주소화 메모리 셀이 사용될 수 있다.

[0026] 도 3 은 본 발명의 일 실시예에 따른 내용 주소화 메모리 셀을 도시한 회로도이다.

[0027] 도시된 바와 같이, 각 메모리 셀은 2 개의 인버터의 입력단과 출력단이 각각 접속되어 데이터를 저장하는 2개의 저장소(D0, D1)를 포함하고, 제 1 서치라인(SL) 입력이 게이트로 인가되는 제 1 NMOS 트랜지스터(M0), 제 1 저장소(D0)의 제 1 노드의 출력이 게이트로 인가되는 제 2 NMOS 트랜지스터(M1), 제 2 서치라인(SLB) 입력이 게이트로 인가되는 제 3 NMOS 트랜지스터(M2), 제 2 저장소(D1)의 제 1 노드의 출력이 게이트로 인가되는 제 4 NMOS 트랜지스터(M3)를 포함한다.

[0028] 이때, 제 2 NMOS 트랜지스터(M1)의 일측 단자는 매치라인(ML)과 접속되고, 제 2 NMOS 트랜지스터(M1)의 타측 단자는 제 1 NMOS 트랜지스터(M0)의 일측 단자와 접속되고, 제 1 NMOS 트랜지스터(M0)의 타측 단자는 접지라인(MSS)과 접속된다. 또한, 제 4 NMOS 트랜지스터(M3)의 일측 단자는 매치라인(ML)과 접속되고, 제 4 NMOS 트랜지



스터(M3)의 타측 단자는 제 3 NMOS 트랜지스터(M2)의 일측 단자와 접속되고, 제 3 NMOS 트랜지스터(M2)의 타측 단자는 접지라인(MSS)와 접속된다.

- [0029] 또한, 제 1 저장소(D0)와 제 2 저장소(D1)는 저장할 데이터가 인가되는 제 1 비트라인(BL)과 제 2 비트라인(BLB)과 선택적으로 접속된다. 즉, NMOS 트랜지스터(WL0, WL1)가 제 1 저장소(D0)와 제 2 저장소(D1)의 제 1노드 및 제 2 노드 사이에 각각 접속되고, NMOS 트랜지스터(WL0, WL1)가 턴온된 상태에서 제 1 비트라인(BL)과 제 2 비트라인(BLB)에 데이터가 인가되면 해당 데이터가 제 1 저장소(D0)와 제 2 저장소(D1)에 각각 저장된다.
- [0030] 이와 같은 내용 주소화 메모리 셀의 동작은 도 1에 도시된 표와 마찬가지로 동작한다.
- [0031] 즉, 도 1의 (a)의 표와 같이, 제 1 저장소(D0)의 값과 제 1 서치라인(SL)의 입력이 동일한 경우(또는 제 2 저장소(D1)의 값과 제 2 서치라인(SLB)의 입력이 동일한 경우), 즉 저장되어 있는 값과 검색하고자 하는 값이 동일한 매치 상태이면, 제 1 NMOS 트랜지스터(M0) 또는 제 2 NMOS 트랜지스터(M1)가 턴오프되고, 제 3 NMOS 트랜지스터(M2) 또는 제 4 NMOS 트랜지스터(M3)가 턴오프되므로, 매치라인(ML)을 풀다운 시키는 경로는 형성되지 않는다. 그러나, 제 1 저장소(D0)의 값과 제 1 서치라인(SL)의 입력이 서로 다른 경우(또는 제 2 저장소(D1)의 값과 제 2 서치라인(SLB)의 입력이 서로 다른 경우), 즉 미스 매치 상태이면, 제 1 및 제 2 NMOS 트랜지스터(M0, M1)가 모두 턴온되거나, 제 3 및 제 4 NMOS 트랜지스터(M2, M3)가 모두 턴온되므로, 매치라인(ML)을 풀다운 시키는 경로가 형성된다. 또한, 'X' 로 표시된 무관 조건(don't care)에서는 제 1 저장소(D0)와 제 2 저장소(D1)에 모두 '1' 이 저장되므로, 서치라인(SL)의 입력과는 무관하게 매치라인(ML)을 풀다운 시키는 경로는 형성되지 않는다.
- [0032] 다시 도 2를 참조하면, 각 워드라인에 포함된 메모리 셀에 공통으로 접속되는 배선으로서 매치라인(ML)과 접지라인(MSS), 서치라인(SL, SLB)이 도시되어 있고, 비트라인은 설명의 간단을 위해 생략되었다.
- [0033] 검색 데이터 레지스터(200)는 검색하고자 하는 검색 값에 따라, 각 내용 주소화 메모리 셀에 제 1 검색 비트(SL<sub>n</sub>) 및 반전된 제 1 검색 비트(SLB<sub>n</sub>)를 각각 전달한다. 예를 들어, 검색 값이 n개 비트의 데이터라면, n개의 제 1 검색 비트와, n개의 반전된 제 1 검색 비트를 생성하여 내용 주소화 메모리 셀에 전달한다.
- [0034] 매치라인 프리차지부(300)는 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 워드라인 단위로 인가한다. 이를 위해, 매치라인 프리차지부(300)는 하이레벨의 전원전압(VML)을 각 워드라인의 매치라인에 전달하는 복수의 PMOS 트랜지스터를 포함하며, 각 PMOS 트랜지스터는 로우 레벨의 프리차지 신호(PCHML)에 따라 활성화되어, 각 매치라인에 하이레벨의 프리차지 전압을 전달한다.
- [0035] 풀다운 경로 제어부(400)는 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속되어 매치라인에 대하여 풀다운 경로의 생성 여부를 조절한다.
- [0036] 도 4는 본 발명의 일 실시예에 따른 풀다운 경로 제어부에 포함되는 논리소자의 상세 구성을 도시한 도면이다.
- [0037] 풀다운 경로 제어부(400)는 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 접속된 복수의 PMOS 트랜지스터 및 감지 증폭기(500)의 출력(SO)과 매치라인의 프리차지 신호(PCHML)에 기초하여 PMOS 트랜지스터의 게이트를 활성화하는 제어신호를 출력하는 논리소자(410)를 포함한다.
- [0038] 논리소자(410)는 NAND 게이트로서, 매치라인의 프리차지 신호(PCHML)가 로우레벨이거나, 감지 증폭기(500)의 출력(SO)이 로우레벨인 경우 PMOS 트랜지스터를 턴오프 시켜 풀다운 경로를 차단하는 제어신호(PD)를 출력한다. 또한, 논리소자(410)는 매치라인의 프리차지 신호(PCHML) 및 감지 증폭기(500)의 출력이 하이레벨인 경우 PMOS 트랜지스터의 게이트를 턴온시켜 풀다운 경로를 형성하는 제어신호(PD)를 출력한다.
- [0039] 본 발명에서는 매치라인을 프리차지하고, 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 프리차지 구간 동안, 풀다운 경로 제어부(400)가 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를 차단하도록 한다. 이와 같이 풀다운 경로 제어부(400)를 통해 풀다운 경로를 차단하는 동작을 일괄적으로 수행할 수 있으므로, 도 1의 구성에서와 같이, 각 서치라인(SL, SLB)을 다시 로우레벨로 초기화하는 동작을 생략할 수 있으며, 이에 따라 전력 소모를 최소화할 수 있다.
- [0040] 또한, 매치라인을 프리차지하는 동작이 종료된 후, 풀다운 경로 제어부(400)는 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 연결하여 매치라인의 전압 평가 동작 동안 풀다운 경로를 형성한다. 이때, 감지 증폭기(500)의 감지 결과 검색 값과 워드라인에 저장된 정보가 상이한 미스 매치 상태여서, 매치라인의 전압이 임계값 이하로 낮아진 경우에는 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이를 차단하여 풀다운 경로를

차단하도록 한다.

- [0041] 이와 같은 풀다운 경로 제어부(400)의 구체적인 동작에 대해서는 도 6을 참조하여 추가로 설명하기로 한다.
- [0042] 감지 증폭기(500)는 내용 주소화 메모리 셀의 매치라인의 전압 상태를 워드라인 단위로 감지하여, 검색 값과 워드라인에 포함된 내용 주소화 메모리 셀들에 저장된 정보의 비교 결과(SO)를 출력한다. 감지 증폭기(500)는 각 워드라인별로 배치되며, 감지 증폭기 활성화 신호(SAE)에 응답하여, 각 워드라인의 매치라인 전압과 기준 전압 발생부(700)에서 생성된 기준 전압을 비교하고, 그 비교 결과(SO)를 출력한다. 예를 들어, 매치라인의 전압이 기준 전압 이상을 지속적으로 유지하면 하이 레벨의 비교 결과(SO)를 출력한다. 그러나, 미스매치가 임계값 이상으로 발생하면, 매치라인의 전압이 기준 전압보다 낮아져 로우 레벨의 비교 결과(SO)를 출력한다. 이와 같은 감지 증폭기(500)의 비교 결과는 풀다운 경로 제어부(400)와 부스터부(600)에 각각 전달된다.
- [0043] 감지 증폭기(500)의 상세 구성은 다수의 반도체 메모리 소자를 통해 알려진 구성으로서, 이에 대한 상세한 설명은 생략하도록 한다.
- [0044] 부스터부(600)는 검색 값과 워드라인에 저장된 정보의 비교 결과에 따라, 프리차지된 매치라인의 전압이 변화하는 매치라인 전압의 평가 단계에서, 매치라인의 전압 방전 속도를 상승시킨다. 특히, 부스터부(600)는 미스 매치된 셀의 개수가 하나 이상이고 임계값 이하인 경우에 해당 매치라인의 전압 방전 속도를 상승시키도록 한다.
- [0045] 도 5는 본 발명의 일 실시예에 따른 부스터부의 상세 구성을 도시한 도면이다.
- [0046] 부스터부(600)는 부스터 제어신호(BST) 및 감지 증폭기(500)의 출력 신호(SO)를 입력으로 하는 논리곱 소자(610), 매치라인의 단부(ML)가 게이트에 접속되고, 일측 단자가 전원 전압 단자에 접속된 제 1 PMOS 트랜지스터(P0), 제 1 PMOS 트랜지스터(P0)의 타측 단자와 일측 단자가 직렬 접속되고, 타측 단자가 접지와 접속되며, 반전된 매치라인 프리차지 신호(/PCHML)가 게이트로 인가되는 제 1 NMOS 트랜지스터(N0), 매치라인의 단부와 일측 단자가 접속되고, 제 1 PMOS 트랜지스터(P0)와 제 1 NMOS 트랜지스터(N0)의 접속노드가 게이트와 접속되는 제 2 NMOS 트랜지스터(N1) 및 제 2 NMOS 트랜지스터(N1)의 타측 단자와 일측 단자가 접속되고, 타측 단자가 접지되며, 논리곱 소자(610)의 출력이 게이트로 인가되는 제 3 NMOS 트랜지스터(N2), 매치라인 프리차지 신호(PCHML)를 반전시켜 제 1 NMOS 트랜지스터(N0)의 게이트에 인가하는 인버터(620)를 포함한다.
- [0047] 이때, 제 1 PMOS 트랜지스터(P0), 제 2 NMOS 트랜지스터(N1) 및 제 3 NMOS 트랜지스터(N2)의 문턱전압은 제 1 NMOS 트랜지스터(N0)의 문턱전압보다 낮게 설정된다.
- [0048] 이에 따라, 매치라인 프리차지 신호(PCHML)가 로우레벨이 되어 매치라인의 프리차지가 수행되는 동안 제 1 NMOS 트랜지스터(N0)가 턴온되어, 제 2 NMOS 트랜지스터(N1)는 턴오프 상태를 갖게되며, 매치라인은 프리차지 상태를 유지할 수 있다.
- [0049] 그리고, 프리차지 동작이 종료되면, 즉 매치라인의 프리차지 신호(PCHML)가 하이레벨이 되면, 매치라인의 전압이 평가되는 제 1 센싱 동작 동안, 내용 주소화 메모리 셀에 저장된 값에 따라 매치라인의 전압레벨이 결정된다. 특히, 미스매치된 셀의 개수가 임계값 이하인 경우에는 매치라인의 전압 레벨이 서서히 감소함에 따라 제 1 PMOS 트랜지스터(P0)가 턴온된다. 그리고, 제 1 PMOS 트랜지스터(P0)가 턴온됨에 따라 전원 전압이 제 2 NMOS 트랜지스터(N1)에 인가되어 제 2 NMOS 트랜지스터(N1)가 턴온된다. 이는, 앞서 설명한 바와 같이 제 1 PMOS 트랜지스터(P0), 제 2 NMOS 트랜지스터(N1) 및 제 3 NMOS 트랜지스터(N2)의 문턱전압이 낮게 설정되기 때문이다.
- [0050] 이후, 부스터 제어신호(BST) 및 감지 증폭기(500)의 출력 신호(SO)가 하이레벨이 되는 부스트 동작 동안 제 3 NMOS 트랜지스터(N2)가 턴온되어, 제 2 NMOS 트랜지스터(N1) 및 제 3 NMOS 트랜지스터(N2)를 경유하는 매치라인의 풀다운 경로가 추가로 생성되어, 매치라인의 전압 강하 속도를 상승시킨다.
- [0051] 도 6은 본 발명의 일 실시예에 따른 내용 주소화 메모리 장치의 동작 방법을 도시한 것이다.
- [0052] 먼저, 매치라인 프리차지 신호(PCHML)를 로우레벨로 인가하여, 매치라인을 프리차지 시킨다(T1). 이때, 매치라인은 하이레벨 상태로서 기준전압보다 크므로 감지 증폭기(500)의 출력(SO)은 하이레벨 상태가 되고, 이에 따라 풀다운 경로 제어부(400)의 논리소자(410)는 풀다운 경로를 차단하는 제어신호(PD)를 출력한다. 또한, 부스터부(600)의 제 1 NMOS 트랜지스터(N0)는 턴온되어, 제 2 NMOS 트랜지스터(N1)는 턴오프 상태를 갖게되며, 부스터부(600)에 의한 풀다운 경로도 형성되지 않는다.
- [0053] 다음으로, 매치라인 프리차지 신호(PCHML)를 하이레벨로 인가하여, 프리차지 동작을 중단 시킨다(T2). 이때,

매치라인은 하이레벨 상태로서 기준전압보다 크므로 감지 증폭기(500)의 출력(S0)은 하이레벨 상태가 되고, 이에 따라 풀다운 경로 제어부(400)의 논리소자(410)는 풀다운 경로를 형성하는 제어신호(PD)를 출력한다. 즉, 풀다운 경로 제어부(400)의 PMOS 트랜지스터가 각각 턴온되어, 내용 주소화 메모리 셀의 접지라인(MSS)의 단부와 접지가 연결된다. 이에 따라, 미스 매치가 발생한 내용 주소화 메모리 셀이 접지될 수 있도록 한다.

[0054] 다음으로, 제 1 센싱 동작 동안 감지 증폭기 활성화 신호(SAE)가 하이 레벨로 활성화되고(pre), 매치라인의 전압 상태에 따라 감지 증폭기(500)의 출력(S0)이 결정된다(T3). 미스매치가 발생한 메모리 셀의 개수가 임계값보다 커서, 매치라인의 전압이 기준전압보다 작아진 경우, 출력(S0)이 로우 레벨로 낮아진다. 앞선 단계(T2)에서 풀다운 경로가 이미 활성화된 상태이므로, 미스매치가 발생한 메모리 셀의 개수가 임계값보다 큰 경우에는 해당 풀다운 경로를 통해 매치라인의 전류가 충분히 방전될 수 있다. 이때, 감지 증폭기(500)의 출력(S0)이 로우 레벨로 낮아짐에 따라, 풀다운 경로를 차단하는 제어신호(PD)는 하이레벨로 전환되어, 풀다운 경로의 형성이 차단된다. 이에 따라, 충분히 방전이 완료된 워드라인에 대해서는 풀다운 경로의 형성이 차단된다.

[0055] 그러나, 미스매치가 발생한 메모리 셀의 개수가 하나 또는 임계값 이하인 경우에는 풀다운 경로 제어부(400)에 의해 형성된 풀다운 경로만으로는 매치라인의 전류가 충분히 방전되기 어려워, 도 6과 같이 방전 속도가 늦어지는 워드라인이 발생할 수 있다. 본 발명에서는 이와 같이 방전 속도가 늦어지는 워드라인에 대하여 방전 속도를 향상시키는 부스팅 동작을 수행한다.

[0056] 즉, 제 1 센싱 동작 수행 이후 부스터 제어신호(BST)가 하이레벨이 되는 부스트 동작이 수행된다(T4). 이 구간에서는 매치라인의 전압레벨이 감소함에 따라 부스터부(600)의 제 1 PMOS 트랜지스터(P0)가 턴온되고, 제 1 PMOS 트랜지스터(P0)가 턴온됨에 따라 전원 전압이 제 2 NMOS 트랜지스터(N1)에 인가되어 제 2 NMOS 트랜지스터(N1)가 턴온되며, 부스터 제어신호(BST) 및 감지 증폭기(500)의 출력 신호(S0)에 의해 제 3 NMOS 트랜지스터(N2)가 턴온되어, 제 2 NMOS 트랜지스터(N1) 및 제 3 NMOS 트랜지스터(N2)를 경유하는 매치라인의 풀다운 경로가 추가로 생성되도록 한다. 미스매치가 발생한 메모리 셀의 개수가 하나 또는 임계값 이하인 경우에는 방전 속도가 늦어지므로, 다른 워드라인과는 달리 감지 증폭기(500)의 출력 신호(S0)가 하이레벨 상태를 유지하게 되므로, 부스터부(600)가 동작할 수 있게 된다. 이때, 풀다운 경로 제어부(400)의 풀다운 경로를 형성하는 제어신호(PD)는 여전히 로우레벨 상태를 유지하므로, 풀다운 경로 제어부(400)를 통한 매치라인의 전류 방전은 지속적으로 수행된다.

[0057] 참고로, 미스매치가 발생한 메모리 셀의 개수가 임계값을 초과하는 워드라인의 경우 하이레벨의 부스터 제어신호(BST)가 인가되더라도, 감지 증폭기(500)의 출력 신호(S0)가 로우레벨 상태를 갖게되므로, 부스터부(600)는 동작하지 않는다.

[0058] 다음으로, 소정의 시간 동안 부스트 동작을 수행한 후, 부스터 제어신호(BST)를 로우레벨로 전환하여 부스트 동작을 종료한다(T5). 이에 따라, 부스터부(600)의 동작은 종료된다. 한편, 풀다운 경로 제어부(400)의 풀다운 경로를 형성하는 제어신호(PD)는 여전히 로우레벨 상태를 유지하므로, 풀다운 경로 제어부(400)를 통한 매치라인의 전류 방전은 지속적으로 수행된다.

[0059] 다음으로, 제 2 센싱 동작 동안 감지 증폭기 활성화 신호(SAE)가 하이 레벨로 활성화되고(post), 매치라인의 전압 상태에 따라 감지 증폭기(500)의 출력(S0)이 결정된다(T6). 이 단계에서는 미스매치가 발생한 메모리 셀의 개수가 하나 또는 임계값 이하인 경우에도 감지 증폭기(500)의 출력(S0)이 로우 레벨로 전환된다. 이는 제 1 센싱 동작, 부스트 동작의 유지시간과 내용 주소화 메모리 셀의 방전 속도, 기준 전압을 적절히 설정하여, 제 2 센싱 동작에서는 미스매치가 발생한 메모리 셀의 개수가 하나 또는 임계값 이하인 경우에도 감지 증폭기(500)의 출력(S0)이 로우 레벨로 전환되도록 한다. 그리고, 감지 증폭기(500)의 출력(S0)이 로우 레벨로 낮아짐에 따라, 풀다운 경로를 차단하는 제어신호(PD)는 하이레벨로 전환되어, 풀다운 경로의 형성이 차단된다.

[0060] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

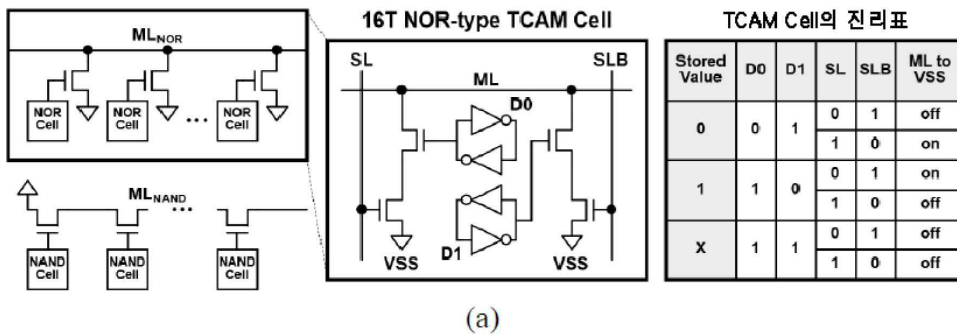
[0061] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

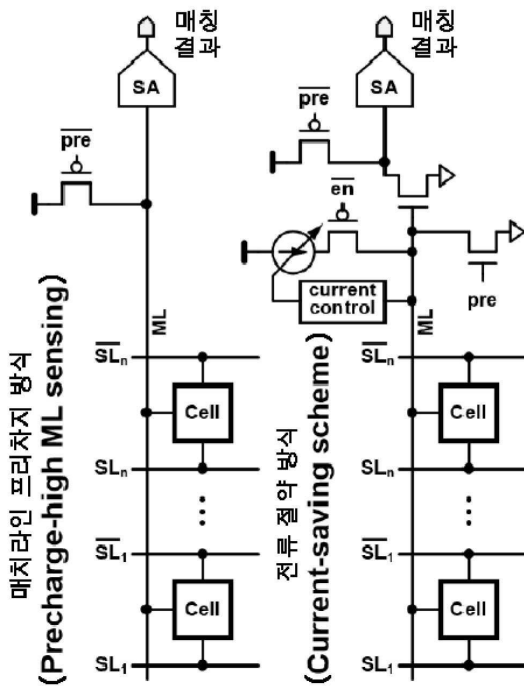
- [0062] 10: 내용 주소화 메모리 장치
- 100: 워드라인
- 200: 검색 데이터 레지스터
- 300: 매치라인 프리차지부
- 400: 풀다운 경로 제어부
- 500: 감지 증폭기
- 600: 부스터부
- 700: 기준 전압 발생부

도면

도면1

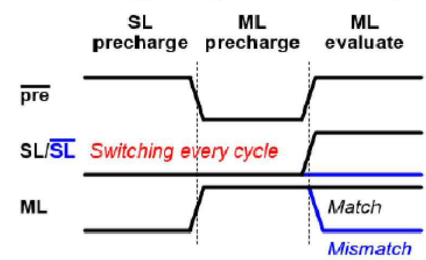


(a)

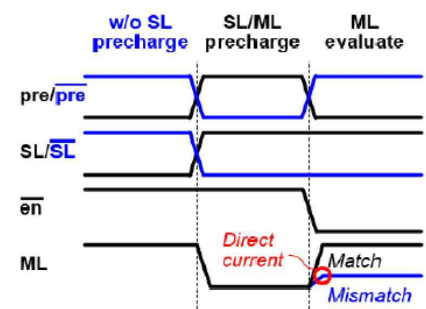


(b)

매치라인 프리차지 방식 (Precharge-high ML sensing)

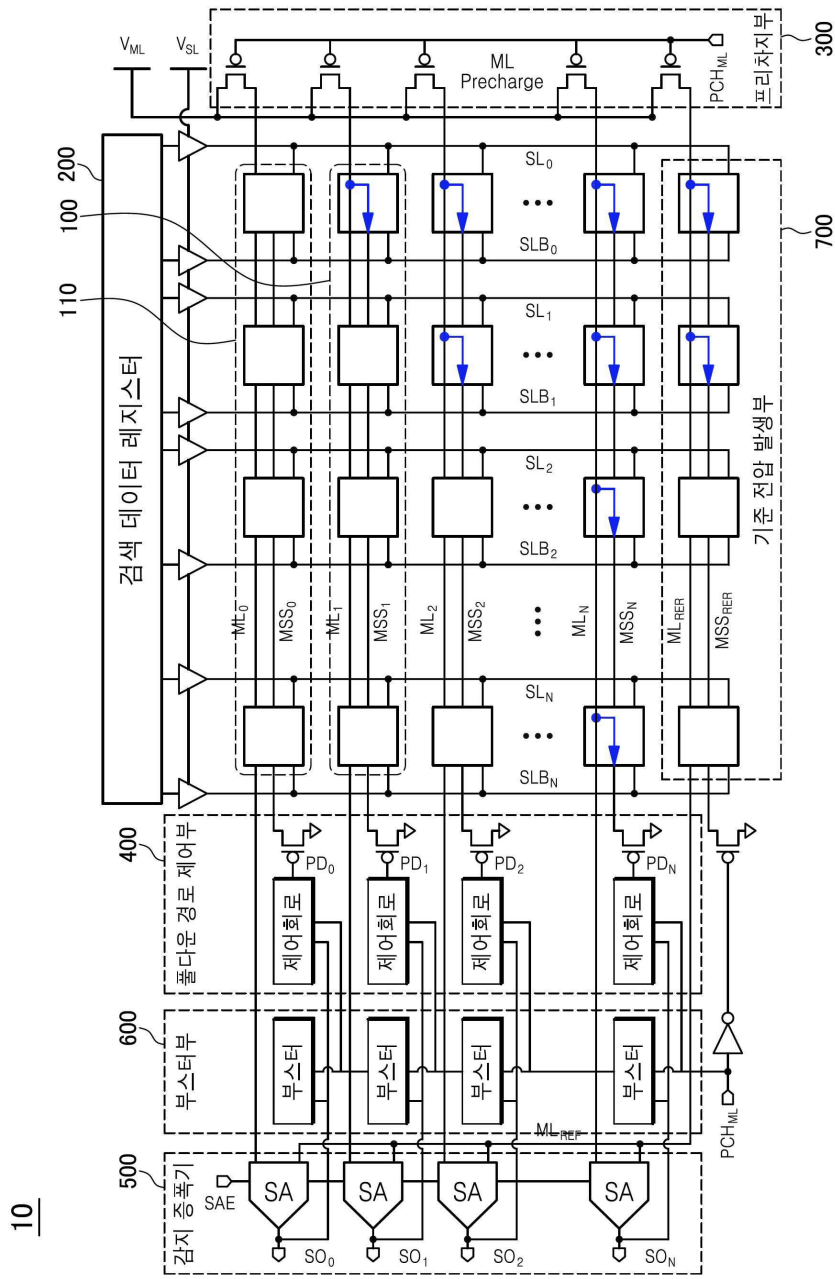


전류 절약 방식 (Current-saving scheme)



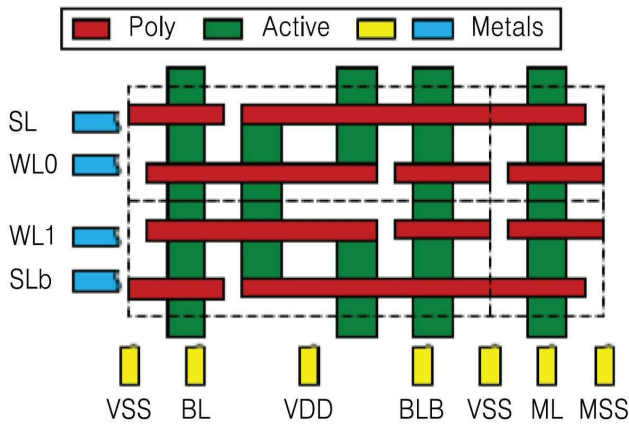
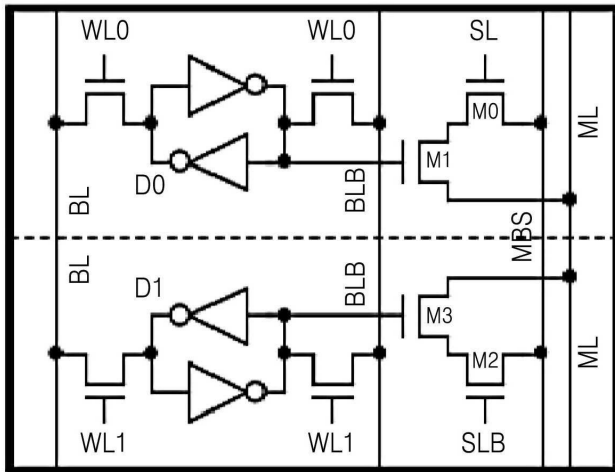
(c)

도면2

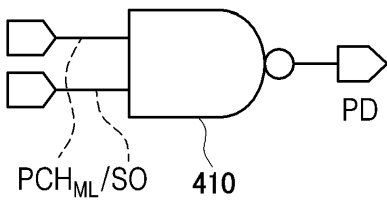


10

도면3



도면4





도면6

