

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年6月30日 (30.06.2016)



(10) 国际公布号
WO 2016/101536 A1

- (51) 国际专利分类号:
H02M 3/158 (2006.01) H02M 3/157 (2006.01)
- (21) 国际申请号: PCT/CN2015/080521
- (22) 国际申请日: 2015年6月1日 (01.06.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410810798.6 2014年12月22日 (22.12.2014) CN
- (71) 申请人: 中兴通讯股份有限公司 (ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (72) 发明人: 周雪刚 (ZHOU, Xuegang); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。 杨安 (YANG, An); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

- (74) 代理人: 北京康信知识产权代理有限责任公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲48号盈都大厦A座16层, Beijing 100098 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: PARALLEL-CONNECTED AND STAGGERED BUCK CONVERTERS, AND CONTROL METHOD

(54) 发明名称: 一种并联交错 BUCK 变换器及控制方法

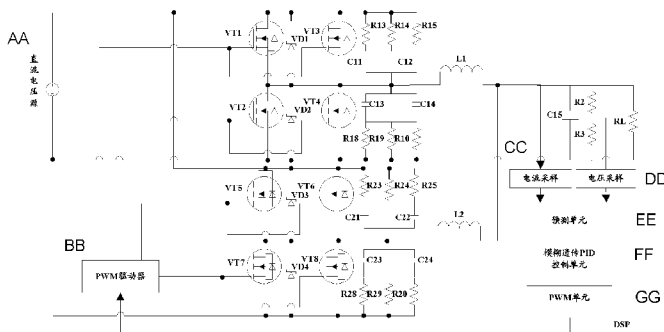


图 1 / Fig. 1

- AA Direct voltage source
- BB PWM driver
- CC Current sampling
- DD Voltage sampling
- EE Predicting unit
- FF Fuzzy genetic PID control unit
- GG PWM unit

connected to the parallel-connected and staggered BUCK circuits and the digital signal processor, and used for, according to the PWM waves, controlling the 180-degree conduction of the two groups of rectification switching tubes and controlling the 180-degree conduction of the two groups of continuous-current switching tubes.

(57) 摘要:

(57) Abstract: The present invention provides parallel-connected and staggered BUCK converters, and a control method. The BUCK converter comprises: a direct voltage source; parallel-connected and staggered BUCK circuits connected to the direct voltage source, wherein the parallel-connected and staggered BUCK circuits comprise two groups of rectification switching tubes and a group of continuous-current switching tubes connected to each group of the rectification switching tubes, and each group of rectification switching tubes and each group of continuous-current switching tubes comprise two parallel-connected MOSFETs; a sampling circuit, for sampling output voltages and output currents of the parallel-connected and staggered BUCK circuits, and outputting sampling results; a digital signal processor, connected to the sampling circuit, and used for processing the sampling results according to a fuzzy genetic algorithm, so as to obtain a duty cycle signal, and outputting pulse-width modulation (PWM) waves corresponding to the duty cycle signal; and a PWM driver, separately

[见续页]



WO 2016/101536 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

本发明提供一种并联交错 BUCK 变换器及控制方法, 包括: 直流电压源; 与直流电压源连接的并联交错 BUCK 电路, 包括两组并联的整流开关管以及与每组整流开关管连接的一组续流开关管, 每组整流开关管及每组续流开关管包括两个并联的 MOSFET 管; 采样电路, 对并联交错 BUCK 电路的输出电压和输出电流进行采样, 并输出采样结果; 与采样电路连接的数字信号处理器, 根据模糊遗传算法, 对所述采样结果进行处理, 得到占空比信号, 输出与占空比信号对应的脉冲宽度调制 PWM 波; 分别与并联交错 BUCK 电路和数字信号处理器连接的 PWM 驱动器, 根据 PWM 波控制两组整流开关管交错 180 度导通, 及控制两组续流开关管交错 180 度导通。

一种并联交错 BUCK 变换器及控制方法

技术领域

本发明涉及变换器技术领域,特别是涉及一种并联交错 BUCK 变换器及控制方法。

背景技术

5 在交流小信号分析时, BUCK 开关变换器按控制模式可分为电压控制和电流控制两类。电压控制型变换器只有一个电压环,将输出电压作为反馈信号实现电压闭环控制。电流控制型变换器包括电流内环和电压外环两个闭环控制回路,将输出电压和主电路电流(电感或功率开关管电流)作为反馈信号实现全状态反馈,电压外环实现输出电压自动调节,电流内环实现主电路电流自动调节,可取得最优控制效果。由于主
10 电路电流对输入电压或负载的变化更敏感,因此电流控制型较电压控制型变换器的性能更优越,有更高的电压调整率和负载调整率、更好的瞬态特性、更高可靠性和稳定性。

当前用电设备对供电系统的输出电压精度的要求很高,尤其是针对通讯设备的通信电源在效率转化和输出电压精度的要求也更为苛刻。与此同时,不断提高的负载变
15 化率,对直流电源的实时控制也提出更高的要求,需要直流电源电压调节模块具有很快的瞬间响应速度。

发明内容

本发明实施例提供了一种并联交错 BUCK 变换器及控制方法,以至少解决相关技术中变换器变换效率低以及动态响应性能差的问题。

20 为了实现上述目的,本发明实施例提供了一种并联交错 BUCK 变换器,包括:
直流电压源;

与所述直流电压源连接的并联交错 BUCK 电路,所述并联交错 BUCK 电路包括两组并联的整流开关管以及与每组所述整流开关管连接的一组续流开关管,且每组整流开关管以及每组续流开关管包括两个并联的 MOSFET 管;

25 与所述并联交错 BUCK 电路连接的采样电路,设置为对所述并联交错 BUCK 电路的输出电压和输出电流进行采样,并输出采样结果;

与所述采样电路连接的数字信号处理器 DSP，设置为根据模糊遗传算法，对所述采样结果进行处理，得到占空比信号，并输出与所述占空比信号对应的脉冲宽度调制 PWM 波；

5 分别与所述并联交错 BUCK 电路和所述 DSP 连接的 PWM 驱动器，设置为根据所述 PWM 波控制所述两组整流开关管交错 180 度导通，以及控制所述两组续流开关管交错 180 度导通。

其中，所述并联交错 BUCK 电路包括：第一组整流开关管、第一组续流开关管、第二组整流开关管以及第二组续流开关管；

所述第一组整流开关管包括：第一 MOSFET 管 VT1 以及第三 MOSFET 管 VT3；

10 其中，所述第一 MOSFET 管 VT1 的漏极与所述第三 MOSFET 管 VT3 的漏极连接，且与所述直流电压源的正极连接，所述第一 MOSFET 管 VT1 的源极与所述第三 MOSFET 管 VT3 的源极连接；

所述第一组续流开关管包括：第二 MOSFET 管 VT2 以及第四 MOSFET 管 VT4；

15 其中，所述第一 MOSFET 管 VT1 的源极与第二 MOSFET 管 VT2 的漏极连接，所述第三 MOSFET 管 VT3 的源极与第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET 管 VT2 的漏极与所述第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET 管 VT2 的源极与所述第四 MOSFET 管 VT4 的源极连接，且与所述直流电压源的负极连接；

所述第二组整流开关管包括：第五 MOSFET 管 VT5 以及第六 MOSFET 管 VT6；

20 其中，所述第五 MOSFET 管 VT5 的漏极与所述第六 MOSFET 管 VT6 的漏极连接，且与所述直流电压源的正极连接，所述第五 MOSFET 管 VT5 的源极与所述第六 MOSFET 管 VT6 的源极连接；

所述第二组续流开关管包括：第七 MOSFET 管 VT7 以及第八 MOSFET 管 VT8；

25 其中，所述第五 MOSFET 管 VT5 的源极与所述第七 MOSFET 管 VT7 的漏极连接，所述第六 MOSFET 管 VT6 的源极与所述第八 MOSFET 管 VT8 的漏极连接，所述第七 MOSFET 管 VT7 的漏极与所述第八 MOSFET 管 VT8 的漏极，所述第七 MOSFET 管 VT7 的源极与所述第八 MOSFET 管 VT8 的源极连接，且与所述直流电压源的负极连接。

其中，所述并联交错 BUCK 变换器还包括：

与所述第一组整流开关管连接的第一吸收电路；

与所述第一组续流开关管连接的第二吸收电路；

与所述第二组整流开关管连接的第三吸收电路；

5 与所述第二组续流开关管连接的第四吸收电路。

其中，所述并联交错 BUCK 变换器还包括：第一电感 L1 和第二电感 L2；

其中，所述第一电感 L1 的第一端与所述第三 MOSFET 管 VT3 的源极连接；

所述第二电感 L2 的第一端与所述第六 MOSFET 管 VT6 的源极连接；

所述第一电感 L1 的第二端与所述第二电感 L2 的第二端连接。

10 其中，所述并联交错 BUCK 变换器还包括：分别与所述第一电感 L1 的第二端和所述直流电压源的负极连接的滤波电路，且所述滤波电路的输出端为所述并联交错 BUCK 变换器的输出端。

其中，所述采样电路包括：电压采样电路和电流采样电路；

15 其中，所述电压采样电路的输入端与所述滤波电路的输出端相连，所述电流采样电路的输入端与所述第一电感 L1 的第二端连接。

其中，所述数字信号处理器 DSP 包括：预测单元、模糊遗传 PID 控制单元、PWM 单元；

其中，所述预测单元分别与所述电压采样电路的输出端以及所述电流采样电路的输出端连接；

20 所述模糊遗传 PID 控制单元与所述预测单元连接；

所述 PWM 单元与所述模糊遗传 PID 控制单元连接。

其中，所述 PWM 驱动器包括：输入端口，第一输出端口 PWM1，第二输出端口 PWM2、第三输出端口 PWM3 以及第四输出端口 PWM4；

其中，所述输入端口与所述 PWM 单元连接；

所述第一输出端口 PWM1 分别与所述第一 MOSFET 管 VT1 的栅极和所述第三 MOSFET 管 VT3 的栅极连接；

所述第二输出端口 PWM2 分别与所述第二 MOSFET 管 VT2 的栅极和所述第四 MOSFET 管 VT4 的栅极连接；

5 所述第三输出端口 PWM3 分别与所述第五 MOSFET 管 VT5 的栅极和所述第六 MOSFET 管 VT6 的栅极连接；

所述第四输出端口 PWM4 分别与所述第七 MOSFET 管 VT7 的栅极和所述第八 MOSFET 管 VT8 的栅极连接。

其中，上述的并联交错 BUCK 变换器，还包括：

10 与所述第一 MOSFET 管 VT1 并联第一 VD 管 VD1；

与所述第二 MOSFET 管 VT1 并联第二 VD 管 VD2；

与所述第三 MOSFET 管 VT3 并联第一 VD 管 VD3；

与所述第四 MOSFET 管 VT4 并联第一 VD 管 VD4；

15 其中，所述第一 VD 管 VD1 的正极与所述第一 MOSFET 管 VT1 的源极连接，所述第一 VD 管 VD1 的负极与所述第一 MOSFET 管 VT1 的漏极连接；

所述第二 VD 管 VD2 的正极与所述第二 MOSFET 管 VT2 的源极连接，所述第一 VD 管 VD1 的负极与所述第二 MOSFET 管 VT2 的漏极连接，且与所述第一 VD 管 VD1 的正极连接；

20 所述第三 VD 管 VD3 的正极与所述第五 MOSFET 管 VT5 的源极连接，所述第三 VD 管 VD3 的负极与所述第五 MOSFET 管 VT5 的漏极连接；

所述第四 VD 管 VD4 的正极与所述第七 MOSFET 管 VT7 的源极连接，所述第一 VD 管 VD1 的负极与所述第七 MOSFET 管 VT7 的漏极连接，且与所述第六 VD 管 VD6 的正极连接。

25 本发明实施例还提供了并联交错 BUCK 变换器的控制方法，应用于如上所述的并联交错 BUCK 变换器，包括：

对所述并联交错 BUCK 变换器的输出电压以及输出电流进行采样，得到采样电压和采样电流；

根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数，并根据第一预设算法对所述第一比较误差和所述第一校正参数进行处理，得到
5 第一电流值；

根据所述第一电流值与所述采样电流的第二比较误差以及所述模糊遗传算法生成第二校正参数，并根据第二预设算法对所述第二比较误差和所述第二校正参数进行处理，得出第一占空比信号；

根据所述采样电流与电流限流值的第三比较误差以及模糊遗传算法生成第三校正
10 参数，并根据第三预设算法对所述第三比较误差和所述第三校正参数进行处理，得出第二占空比信号；

获取所述第一占空比信号与所述第二占空比信号中较小的值为所述整流开关管的第一导通占空比，并根据所述第一导通占空比获取所述续流开关管的第二导通占空比；

根据所述第一导通占空比以及所述第二导通占空比控制所述两组整流开关管交错
15 180 度导通，以及控制所述两组续流开关管交错 180 度导通。

其中，所述根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数的步骤具体为：

由第一子模糊控制器 SFC1、第二子模糊控制器 SFC2 以及第三子模糊控制器 SFC3
根据模糊遗传算法分别对所述第一比较误差进行模糊处理，得出所述第一校正参数；
20 以及

所述根据所述采样电压与预设电压值的第二比较误差以及模糊遗传算法生成第二校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊
糊控制器 SFC3 根据模糊遗传算法分别对所述第二比较误差进行模糊处理，得出所述
25 第二校正参数；以及

所述根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第三比较误差进行模糊处理，得出所述第三校正参数。

本发明实施例具有以下有益效果：

- 5 本发明实施例通过采用恒压环和恒流环的双重环路控制结构，控制交错并联 BUCK 电路中的 VT1(VT3)与 VT5(VT6)交错 180° 导通，且在环路算法中应用模糊遗传算法，减小了输出电流纹波、降低了开关损耗，从而提高了变换器的变换效率以及动态响应速度。

附图说明

- 10 图 1 为本发明实施例的并联交错 BUCK 变换器的拓扑结构图；
图 2 为本发明实施例的并联交错 BUCK 变换器的控制方法的工作流程图；
图 3 为本发明实施例中平均电流模式控制的结构框图；
图 4 为本发明实施例中恒流环控制的结构框图；
图 5 为本发明实施例中模糊遗传 PID 控制单元的结构示意图；
15 图 6 为本发明实施例中基于遗传 GA 的模糊推理规则示意图；
图 7a 为常规模糊 PID 控制系统跟踪阶跃信号的曲线图；
图 7b 为本发明实施例中基于模糊遗传优化的复合模糊 PID 控制器跟踪阶跃信号的曲线图；
图 8a 为常规 PID 的最小最优标准曲线图；
20 图 8b 为本发明实施例中基于模糊遗传优化的复合模糊 PID 控制器的最小最优标准曲线图。

具体实施方式

为使本发明要解决的技术问题、技术方案和优点更加清楚，下面将结合具体实施例及附图进行详细描述。

本发明实施例提供了一种并联交错 BUCK 变换器，如图 1 所示，包括：

直流电压源，所述直流电压源可以具体为光伏组件；

与所述直流电压源连接的并联交错 BUCK 电路，所述并联交错 BUCK 电路包括两组并联的整流开关管以及与每组所述整流开关管连接的一组续流开关管，且每组整流
5 开关管以及每组续流开关管包括两个并联的 MOSFET 管；

与所述并联交错 BUCK 电路连接的采样电路，设置为对所述并联交错 BUCK 电路的输出电压和输出电流进行采样，并输出采样结果；

与所述采样电路连接的数字信号处理器 DSP，设置为根据模糊遗传算法，对所述采样结果进行处理，得到占空比信号，并输出与所述占空比信号对应的脉冲宽度调制
10 PWM 波；

分别与所述并联交错 BUCK 电路和所述 DSP 连接的 PWM 驱动器，设置为根据所述 PWM 波控制所述两组整流开关管交错 180 度导通，以及控制所述两组续流开关管交错 180 度导通。

本发明实施例通过控制整流开关管 VT1(VT3)与 VT5(VT6)交错 180° 导通，减小了输出电流纹波同时降低了开关损耗，从而提高了变换器效率以及系统的动态响应速度，另外，在轻载时，本发明通过关断同步续流开关管 VT2 (VT4) 和 VT7 (VT8)，使电感电流通过 MOSFET 自带二极管进行续流，此时，BUCK 电路就可以工作在断续 (DCM) 模式下，大大减少了开关管的开关损耗和磁芯损耗，从而提高了轻载效率。
15

在本发明的具体实施例中，所述并联交错 BUCK 电路包括：第一组整流开关管、第一组续流开关管、第二组整流开关管以及第二组续流开关管；
20

所述第一组整流开关管包括：第一 MOSFET 管 VT1 以及第三 MOSFET 管 VT3；

其中，所述第一 MOSFET 管 VT1 的漏极与所述第三 MOSFET 管 VT3 的漏极连接，且与所述直流电压源的正极连接，所述第一 MOSFET 管 VT1 的源极与所述第三 MOSFET 管 VT3 的源极连接；

所述续流开关管包括：第二 MOSFET 管 VT2 以及第四 MOSFET 管 VT4；
25

其中，所述第一 MOSFET 管 VT1 的源极与第二 MOSFET 管 VT2 的漏极连接，所述第三 MOSFET 管 VT3 的源极与第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET 管 VT2 的漏极与所述第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET

管 VT2 的源极与所述第四 MOSFET 管 VT4 的源极连接，且与所述直流电压源的负极连接；

所述第二组整流开关管包括：第五 MOSFET 管 VT5 以及第六 MOSFET 管 VT6；

5 其中，所述第二 MOSFET 管 VT2 的源极与所述第五 MOSFET 管 VT5 的漏极连接，所述第四 MOSFET 管 VT4 的源极与所述第六 MOSFET 管 VT6 的漏极连接，所述第五 MOSFET 管 VT5 的漏极与所述第六 MOSFET 管 VT6 的漏极连接，且与所述直流电压源的正极连接，所述第五 MOSFET 管 VT5 的源极与所述第六 MOSFET 管 VT6 的源极连接；

所述第二组续流开关管包括：第七 MOSFET 管 VT7 以及第八 MOSFET 管 VT8；

10 其中，所述第五 MOSFET 管 VT5 的源极与所述第七 MOSFET 管 VT7 的漏极连接，所述第六 MOSFET 管 VT6 的源极与所述第八 MOSFET 管 VT8 的漏极连接，所述第七 MOSFET 管 VT7 的漏极与所述第八 MOSFET 管 VT8 的漏极，所述第七 MOSFET 管 VT7 的源极与所述第八 MOSFET 管 VT8 的源极连接，且与所述直流电压源的负极连接。

15 在本发明的具体实施例中，所述并联交错 BUCK 变换器还包括：

与所述第一组整流开关管连接的第一吸收电路；

与所述第一组续流开关管连接的第二吸收电路；

与所述第二组整流开关管连接的第三吸收电路；

与所述第二组续流开关管连接的第四吸收电路。

20 具体的，所述第一吸收电路包括：第 13 电阻 R13、第 14 电阻 R14、第 15 电阻 R15、第 11 电容 C11 以及第 12 电容 C12；

25 其中，所述第 13 电阻 R13 的第一端、所述第 14 电阻 R14 的第一端以及所述第 15 电阻 R15 的第一端均与所述第三 MOSFET 管 VT3 的漏极连接；所述第 13 电阻 R13 的第二端与所述第 14 电阻 R14 的第二端连接，且与所述第 15 电阻 R15 的第二端；第 11 电容 C11 的第一端与所述第 12 电容 C12 的第一端连接，且与所述第 13 电阻 R13 的第二端连接；所述第 11 电容 C11 的第二端与所述第 12 电容 C12 的第二端连接，且与所述第一电感的 L1 的第一端连接；

所述第二吸收电路包括：第 18 电阻 R18、第 19 电阻 R19、第 10 电阻 R10、第 13 电容 C13 以及第 14 电容 C14；

其中，所述第 13 电容 C13 的第一端与所述第 14 电容 C14 的第一端连接，且与所述第一电感的 L1 的第一端连接；所述第 13 电容 C13 的第二端与所述第 14 电容 C14 的第二端连接；所述第 18 电阻 R18 的第一端、所述第 19 电阻 R19 的第一端以及所述第 10 电阻 R10 的第一端均与所述第 13 电容 C13 的第二端连接；所述第 18 电阻 R18 的第二端、所述第 19 电阻 R19 的第二端以及所述第 10 电阻 R10 的第二端均与所述第四 MOSFET 管 VT4 的源极连接；

所述第三吸收电路包括：第 23 电阻 R23、第 24 电阻 R24、第 25 电阻 R25、第 21 电容 C21 以及第 22 电容 C22；

其中，所述第 23 电阻 R23 的第一端、所述第 24 电阻 R24 的第一端以及所述第 25 电阻 R25 的第一端均与所述第六 MOSFET 管 VT6 的漏极连接；所述第 23 电阻 R23 的第二端与所述第 24 电阻 R24 的第二端连接，且与所述第 25 电阻 R25 的第二端连接；所述第 21 电容 C21 的第一端与所述第 22 电容 C22 的第一端连接，且与所述第 23 电阻 R23 的第二端连接；所述第 21 电容 C21 的第二端与所述第 22 电容 C22 的第二端连接，且与所述第二电感的 L2 的第一端连接；

所述第四吸收电路包括：第 28 电阻 R28、第 29 电阻 R29、第 20 电阻 R20、第 23 电容 C23 以及第 24 电容 C24；

其中，所述第 23 电容 C23 的第一端与所述第 24 电容 C24 的第一端连接，且与所述第二电感的 L2 的第一端连接；所述第 23 电容 C23 的第二端与所述第 24 电容 C24 的第二端连接；所述第 28 电阻 R28 的第一端、所述第 29 电阻 R29 的第一端以及第 20 电阻 R20 的第一端均与所述第 23 电容 C23 的第二端连接；所述第 28 电阻 R28 的第二端、所述第 29 电阻 R29 的第二端以及所述第 20 电阻 R20 的第二端均与所述第八 MOSFET 管 VT8 的源极连接。

在本发明的具体实施例中，所述并联交错 BUCK 变换器还包括：第一电感 L1 和第二电感 L2；

其中，所述第一电感 L1 的第一端与所述第三 MOSFET 管 VT3 的源极连接；

所述第二电感 L2 的第一端与所述第六 MOSFET 管 VT6 的源极连接；

所述第一电感 L1 的第二端与所述第二电感 L2 的第二端连接。在本发明的具体实施例中，所述并联交错 BUCK 变换器还包括：分别与所述第一电感 L1 的第二端和所述直流电压源的负极连接的滤波电路，且所述滤波电路的输出端为所述并联交错 BUCK 变换器的输出端，所述滤波电路具体为电容 C15，其中，所述电容 C15 的第一端与
5 所述第一电感 L1 的第二端连接，所述电容 C15 的第二端与所述直流电压源的负极连接。

在本发明的具体实施例中，所述采样电路包括：电压采样电路和电流采样电路；其中，所述电压采样电路的输入端与所述滤波电路的输出端相连，所述电流采样电路的输入端与
10 所述第一电感 L1 的第二端连接。

10 在本发明的具体实施例中，所述数字信号处理器 DSP 包括：预测单元、模糊遗传 PID 控制单元、PWM 单元；

其中，所述预测单元分别与所述电压采样电路的输出端以及电流采样电路的输出端连接；

所述模糊遗传 PID 控制单元与所述预测单元连接；

15 所述 PWM 单元与所述遗传 PID 控制单元连接。

在本发明的具体实施例中，所述 PWM 驱动器包括：输入端口，第一输出端口 PWM1，第二输出端口 PWM2、第三输出端口 PWM3 以及第四输出端口 PWM4；

其中，所述输入端口与所述 PWM 单元连接；

20 所述第一输出端口 PWM1 分别与所述第一 MOSFET 管 VT1 的栅极和所述第三 MOSFET 管 VT3 的栅极连接；

所述第二输出端口 PWM2 分别与所述第二 MOSFET 管 VT2 的栅极和所述第四 MOSFET 管 VT4 的栅极连接；

所述第三输出端口 PWM3 分别与所述第五 MOSFET 管 VT5 的栅极和所述第六 MOSFET 管 VT6 的栅极连接；

25 所述第四输出端口 PWM4 分别与所述第七 MOSFET 管 VT7 的栅极和所述第八 MOSFET 管 VT8 的栅极连接。

在本发明的具体实施例中，还包括：

与所述第一 MOSFET 管 VT1 并联第一 VD 管 VD1;

与所述第二 MOSFET 管 VT1 并联第二 VD 管 VD2;

与所述第三 MOSFET 管 VT3 并联第一 VD 管 VD3;

与所述第四 MOSFET 管 VT4 并联第一 VD 管 VD4;

- 5 其中, 所述第一 VD 管 VD1 的正极与所述第一 MOSFET 管 VT1 的源极连接, 所述第一 VD 管 VD1 的负极与所述第一 MOSFET 管 VT1 的漏极连接;

所述第二 VD 管 VD2 的正极与所述第二 MOSFET 管 VT2 的源极连接, 所述第一 VD 管 VD1 的负极与所述第二 MOSFET 管 VT2 的漏极连接, 且与所述第一 VD 管 VD1 的正极连接;

- 10 所述第三 VD 管 VD3 的正极与所述第五 MOSFET 管 VT5 的源极连接, 所述第三 VD 管 VD3 的负极与所述第五 MOSFET 管 VT5 的漏极连接;

所述第四 VD 管 VD4 的正极与所述第七 MOSFET 管 VT7 的源极连接, 所述第一 VD 管 VD1 的负极与所述第七 MOSFET 管 VT7 的漏极连接, 且与所述第六 VD 管 VD6 的正极连接。

- 15 在本发明的具体实施例中, 并联交错 BUCK 电路是将两个相同的电路并联组成, 并联的电路共用输入端、输出端和输出滤波电容; 根据所述 BUCK 电路的输入电压 V_{in} 和所述 BUCK 电路中整流开关管的导通占空比 D , 得到理论输出电压 $V_{in} \times D$; 将所述理论输出电压与所述 BUCK 电路的实际输出电压进行比较, 当所述理论输出电压小于所述实际输出电压时, 控制所述 BUCK 电路中的续流开关管关断, 当所述理论输出
- 20 输出电压大于或等于所述实际输出电压时, 控制所述 BUCK 电路中的续流开关管导通。

- 假定 VT1、VT3 的导通占空比为 D , 死区时间为 dt , 则 VT2、VT4 的导通占空比为 $1-D-2dt$, VT5、VT6 的导通占空比和 VT1、VT3 的导通占空比相等, 但 VT5、VT6 比 VT1、VT3 晚导通半个周期, VT7、VT8 的导通占空比和 VT2、VT4 的导通占空比相等, 但 VT7、VT8 比 VT2、VT4 晚导通半个周期。在本发明的具体实施例中 VT1、
- 25 VT3 和 VT5、VT6 相位相差 180° , 使得输出电流纹波大大减小, 其纹波频率也增大为原来的 2 倍, 此频率增加可大大减小输出滤波电感值和输出电容 C15 的值, 从而提高了 DC-DC 变换器的动态响应速度以及变换器的变化效率。

本发明的实施例还提供了一种并联交错 BUCK 变换器的控制方法，应用于如上所述的并联交错 BUCK 变换器，如图 2 所示，包括：

步骤 S21：对所述并联交错 BUCK 变换器的输出电压以及输出电流进行采样，得到采样电压和采样电流；

5 步骤 S22：根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数，并根据所述第一预设算法对所述第一比较误差和所述第一校正参数进行处理，得到第一电流值；

步骤 S23：根据所述第一电流值与所述采样电流的第二比较误差以及所述模糊遗传算法生成第二校正参数，并根据第二预设算法对所述第二比较误差和所述第二校正参数进行处理，得出第一占空比信号；

10 步骤 S24：根据所述采样电流与电流限流值的第三比较误差以及模糊遗传算法生成第三校正参数，并根据第三预设算法对所述第三比较误差和所述第三校正参数进行处理，得出第二占空比信号；

步骤 S25：获取所述第一占空比信号与所述第二占空比信号中较小的值为所述整流开关管的第一导通占空比，并根据所述第一导通占空比获取所述续流开关管的第二导通占空比；

步骤 S26：根据所述第一导通占空比以及所述第二导通占空比控制所述两组整流开关管交错 180 度导通，以及控制所述两组续流开关管交错 180 度导通。

20 本发明实施例的并联交错 BUCK 变换器采用恒压环和恒流环的双重环路结构进行控制，并在环路算法中采用了模糊遗传 (Fuzzy-GA) 算法，通过模糊推理实现对 PID 参数的实时最佳调整，利用模糊评判方法，设计了模糊适应度函数以改进遗传算法，提高了变换器的实时控制能力以及变换器的动态响应性能。

25 在本发明的具体实施例中采用恒压环和恒流环的双重环路进行控制，其中，恒压环和恒流环是并行关系，恒压功能采用平均电流模式控制，恒流功能采用单电流环控制。具体说明如下。

如图 3 所示，平均电流模式控制方式为双环控制，外环为电压环，控制量为输出电压，内环为电流环，控制量为电感电流。其中 $G(S)$ 为并联交错 BUCK 变换器的主拓扑结构的小信号模型，输出电压 V_o 经过分压处理以及 12 位的 AD 采样后，与电压

的参考值 V_{ref} 进行比较，得出第一比较误差 $e(n)$ ，并根据第一预设算法对所述第一比较误差和电压环的 PID 控制器 $G_{vc}(z)$ （第一校正参数，所述第一校正参数包括： K_{p1} 、 K_{i1} 以及 K_{d1} ）进行处理，得到电压环的控制输出，对该控制输出进行限幅后，将其作为内环电流环的参考电流 I_{ref} ；对电感电流 $I_{primary}$ 进行处理后得到采样电流，将采样电流与参考电流 I_{ref} 进行比较，得出第二比较误差，并根据第二预设算法对所述第二比较误差以及内环电流环 PID 控制器 $G_{ic}(z)$ （第二校正参数，所述第二校正参数包括： K_{p2} 、 K_{i2} 以及 K_{d2} ）进行处理，得到内环电流环的控制输出，该控制输出即为 MOSFET 的第一导通占空比信号 d_1 。其中， K_i 以及 K_v 为预设参数值。

其中，所述第一预设算法具体为：

10 电压外环的当前时刻控制输出 = （电压外环的当前时刻电压误差 - 电压外环的前一时刻电压误差）* K_{p1} + 电压外环的当前时刻电压误差 * K_{i1} + 电压外环的前一时刻控制输出 * K_{d1} ，其中，所述电压外环的当前时刻控制输出即 I_{ref} ，“*” 表示定点运算。

第二预设算法具体为：

15 电流内环的当前时刻控制输出 = （电流内环的当前时刻电流误差 - 电流内环的前一时刻电流误差）* K_{p2} + 电流内环的当前时刻电流误差 * K_{i2} + 电流内环的前一时刻控制输出 * K_{d2} ，其中，所述电流内环的当前时刻输出即 d_1 ，“*” 表示定点运算。

如图 4 所示，在每一个 AD 中断子函数中，DSP 对输出电流 I_o 进行采样，采样得到的信号与输出电流的限流值 I_{Oref} 进行比较，得到输出电流误差 $I_o(n)$ （第三比较误差），并根据第三预设算法对所述 $I_o(n)$ 以及恒流环的 PID 控制器（第三校正参数，所述第三校正参数包括 K_{p3} 、 K_{i3} 以及 K_{d3} ）进行处理，得到恒流环的控制输出 $I_o(n)$ （第二占空比信号），其中， K_{I_o} 为预设参数值。为了实现恒流环和恒压环之间的平稳切换，将恒流环的控制输出和平均电流模式的控制输出进行比较，取两者中较小的值作为整流开关管的导通占空比 d ；DSP 对开关管的导通占空比进行限幅处理后输出相对应脉宽的 PWM 波，从而实现了对输出电压的有效调节。另外，续流管开关管的占空比和整流开关管的占空比存在一定的关系，通过该关系可以得到续流管的导通占空比。

其中，第三预设算法具体为：

电流环的当前时刻控制输出=电流环的当前时刻电流误差* K_{p3} -电流环的前一时刻电流误差* K_{i3} -电流环的前一时刻控制输出* K_{d3} ，其中“*”表示定点运算。

在恒压环和恒流环的环路控制策略中，模糊遗传 PID 控制单元进行两位激励的测试控制，两位控制会在测量值与设定值的偏差超出滞环宽度时，输出正负阶跃信号，
5 改变控制输出方向（由开→关或关→开），从而引起变换器系统在当前设定值附近产生可控制幅度的振荡。将收到的临界振荡周期、幅值、两位控制的滞环幅 H、滞环宽度 e 等参数，以及所要求的相角稳定裕度 Q_m 和幅值稳定裕度 A_m 等送到 PID 参数计算模块中，由模糊遗传 PID 控制器单元内的计算模块算出并保存所要求稳定裕度的比例带、积分以及微分；最后将算出的 P、I、D 参数置入 PWM 调压单元中，完成了对现有控制
10 装置的参数整定任务。模糊 PID 参数自适应模块在整定出来最小、适中、最大稳定裕度 P、I、D 参数的基础上，采用一个模糊自调整机构在线调整 PID 参数，最大限度地提高控制器的控制性能，从而达到抑制大范围的扰动，改进系统动态响应性能，增强鲁棒性能的目的。

在本发明的具体实施例中，所述根据所述采样电压与预设电压值的第一比较误差
15 以及模糊遗传算法生成第一校正参数的步骤具体为：

由第一子模糊控制器 SFC1、第二子模糊控制器 SFC2 以及第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第一比较误差进行模糊处理，得出所述第一校正参数；
以及

所述根据所述采样电压与预设电压值的第二比较误差以及模糊遗传算法生成第二
20 校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第二比较误差进行模糊处理，得出所述第二校正参数；以及

所述根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一
25 校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第三比较误差进行模糊处理，得出所述第三校正参数。

本发明实施例中的模糊遗传 (Fuzzy-GA) 算法, 是由模糊优化和遗传算法优化构成的一种混合优化的设计方法。对遗传算法的交叉率和变异率根据算法的实际运用模糊控制对其进行动态的模糊变化处理, 继而实现了遗传算法的模糊化。用隶属函数来表示遗传算法的优化过程中所采用的约束条件的区间范围, 能够保证遗传子代的选择
5 拥有更广泛的群体组成。

目前存在多种交叉与变异操作形式, 但绝大多数都是固定不变的, 即交叉概率 P_c 和变异概率 P_m 取为常数往往不能使 GA 均匀地在优化空间中搜索最优化, 也不能适应优化过程中不同情形的要求, 从而影响了 GA 的寻优性能。实验表明: 影响 P_c 和 P_m 的因素除了适应度函数值 (fitness) 之外, 还有当前的进化代数 (GENE) 以及最大适应度
10 函数值保持不变的代数 (Kgn)。

在本发明的具体实施例中, 对于上述 PID 控制器的参数寻优问题, 按照 ITAE 标准将其转化成如下约束最优化问题,

$$\text{最小规模为: } ITAE = \int_0^{\infty} t |e| dt \quad (1) \quad ,$$

$$\text{目标转为: } \left. \begin{array}{l} (1-\delta)K_{p0} < K_p < (1+\delta)K_{p0} \\ (1-\delta)K_{i0} < K_i < (1+\delta)K_{i0} \\ (1-\delta)K_{d0} < K_d < (1+\delta)K_{d0} \end{array} \right\} \quad (2)$$

15 其中, ITAE 为目标函数, K_p , K_i , K_d 分别是控制器的 3 个参数, K_{p0} , K_{p0} , K_{d0} 是控制器的 3 个初始值, δ 为参数的搜索范围系数。

在本发明的具体实施例中, 基于模糊遗传算法优化的模糊遗传 PID 控制单元如图 5 所示, 其中, 第一子模糊控制器 SFC1、第二子模糊控制器 SFC2 与第三子模糊控制器 SFC3 组合成复合 FGA 控制器, 它将过渡时间 t 作为各个子模糊控制器的公共输入, 而以 $|e(kt)|$ 、 $|e(kt)+e((k-1)t)|$ 、 $|e(kt)-e((k-1)t)|$ 分别作为第一子模糊控制器 SFC1、
20 第二子模糊控制器 SFC2 与第三子模糊控制器 SFC3 的另一输入量 $|e(t)|$ 、 $|ea(t)|$ 、 $|ec(t)|$, 且复合模糊控制器的输出量分别为经过子模糊控制器的模糊化、模糊推理以及解模糊处理后, 得到 K_p , K_i , K_d 的增量 ΔK_p , ΔK_i , ΔK_d , 以实现 PID 参数的在线整定。其中, 时间变量 t 及 $|e(t)|$, $|ea(t)|$, $|ec(t)|$ 模糊化后语言变量分别为 T, E,
25 EA, EC。

在本发明的具体实施例中，遗传算法优化模糊推理规则如图 6 所示，将当前群体中适应度最高的个体结构完整复制到下一代群体中；采用保留最优个体而重新生成其余个体的方式，防止可能出现的早熟收敛现象，维持了解群体中个体的多样性，以利于得到全局最优值。

5 模糊遗传算法具体设计步骤如下：

①编码：采用浮点数编码，染色体编码长度为 48，均由浮点数构成。由此，可以得到基于浮点数的 PID 参数编码（染色体）分别为 K_p ， K_i ， K_d 。

②初始参数

10 变量 T 模糊子集为 PB、PM、PS、ZO、NS、NM、NB，论域量化等级为[-3, 3]；
 变量 E 模糊子集取为 VB、B、M、S，论域量化等级为[0, 4]；EA 模糊子集取 VB、B、M、S，论域量化等级为[0, 4]；变量 EC 模糊子集取为 B、M、S，论域量化等级为[0, 6]；输出量 ΔK_p 模糊子集取为 PB、PM、PS、ZO、NS、NM、NB，论域量化等级为[-0.3,0.3]；输出量 ΔK_i 模糊子集取为 PB、PS、ZO、NS、NB，论域量化等级为[-3, 3]；输出量 ΔK_d 模糊子集取为 PB、PM、PS、ZO、NS、NM、NB，论域量化等级为[-3, 3]。

15 ③种群选择

种群数目取为 SIZE=50，进化代数取为 GENE=100，搜索范围系数 $\delta=0.6$ ，初始化种群为：

$$P = \begin{bmatrix} K_{p1} & K_{i1} & K_{d1} \\ K_{p2} & K_{i2} & K_{d2} \\ M & M & M \\ K_{p(n-1)} & K_{i(n-1)} & K_{d(n-1)} \\ K_{pn} & K_{in} & K_{dn} \end{bmatrix} \quad (3)$$

其中 $n=SIZE$ ， K_{pj} ， K_{ij} ， K_{dj} 的取值范围满足式(2)。

20 ④选择、交叉和变异

选择函数选用几何规则排序函数；交叉概率 $P_c=0.8$ ，交叉操作

$$\begin{cases} X' = \theta X + (1-\theta)Y \\ Y' = (1-\theta)X + \theta Y \end{cases} \quad (4)$$

其中 $\theta \in (0,1)$ ，X，Y 为交叉前的两个个体，X'，Y'为交叉操作后得到的后代个体；变异概率 $P_m = 0.01 - [1:1:SIZE] \times (0.01) / SIZE$ ，变异率 P_m 的值逐步递减以加快收敛速度，其初始值取为 0.08，变异函数选用非统一变异函数。

⑤目标函数

5 目标函数即适应度函数，表明个体对环境适应能力的强弱，它与所选项取的目标函数有关。本文选用绝对误差的一阶矩型的积分（ITAE）如上述式（1）作为性能评价指标，此值越小则系统性能越好，由于 PID 参数化是求目标函数的极小值问题，因而需对目标函数进行改造，将极小值问题转换为极大值问题，即适应度函数为 ITAE 的倒数，相应适应度函数取为：

10
$$f(t) = \frac{1}{ITAE} = \frac{1}{\int_0^{\infty} t|e(t)| dt} \quad (5)$$

⑥算法停止准则

15 在参数的寻优过程中，始终以 ITAE 的标准指导算法的搜索方向，即得到一组 PID 控制器参数使得适应度 $f(t)$ 值最小。因此，此连续若干代最优个体适应度值的平均值与当代最优个体适应度值之差在所要求的范围之内时，就认定算法已不再具有继续优化的能力，此时就可以终止算法寻优。否则，返回到步骤①。

本发明实施例的开关电源变换系统，要求系统稳定工作且最大超调小于 1%，由阶跃响应曲线可得：

$$G(s) = \frac{0.6}{(1.5s+1)(0.9s+1)} \quad (6)$$

20 取种群规模 $SIZE=50$ ，交叉概率 P_c 按照自适应率调整，算法 得到最优解的标志为当前最优个体的适应值。仿真结果如图 7b 和图 8b 所示。仿真参数如下：平均收敛代数 5，上升时间 0.03s，最优参数 $p=65$ ， $i=0.36$ ， $d=0.52$ ，超调量=0.0036%；最优化指标 46.1。

25 图 7a 与图 7b 分别为常规模糊 PID 控制系统和基于 FGA 优化的复合模糊 PID 控制系统跟踪阶跃信号效果图，从图 7b 中可以看出基于 FGA 优化的复合模糊 PID 控制器不仅调节时间短，而且跟踪精度高。图 8a 与图 8b 分别为常规遗传 PID 和 FGA 优化

的 PID 最小最优标准曲线图，从图 8b 中可以看出基于 FGA 优化的复合模糊 PID 可以实现快速寻优。

由仿真结果可见，使用模糊遗传自适应 PID 控制器的过渡过程时间比常规 PID 控制器的过渡时间要短得多，在很大程度上减轻了系统过渡过程初期的振荡现象，简化了寻优过程，且响应速度及抗扰性能都非常理想。

在本发明的具体实施例中，将上述算法应用于直流开关电源变换系统，实现电压变换控制过程中 PID 参数的优化。根据遗传算法优化 PID 参数对开关电源输出电压进行控制，经过 16 次迭代收敛于最大适应度值 1.839，得到的 PID 参数分别为 $K_p = 1.839$ ， $K_i = 1.478$ ， $K_d = 0.672$ ，可将直流开关电源输出电压严格控制在 53.5V 上，调节时间短，电压变化平稳，调节误差控制 $\leq 0.1V$ 。

本发明实施例中 VT1(VT3)与 VT5(VT6)交错 180° 导通，可以减小输出电流纹波，降低开关损耗，从而提高变换器效率以及系统的动态响应速度，且本发明实施例中采用模糊自适应 PID 的变换器，具有实时性好、鲁棒性以及控制能力强的优点，另外，采用模糊遗传自适应 PID 控制器的过渡过程时间比常规 PID 控制器的过渡时间要短得多，在很大程度上减轻了系统过渡过程初期的振荡现象，简化了寻优过程。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

工业实用性

如上所述，本发明实施例提供的一种并联交错 BUCK 变换器及控制方法具有以下有益效果：采用恒压环和恒流环的双重环路控制结构，控制交错并联 BUCK 电路中的 VT1(VT3)与 VT5(VT6)交错 180° 导通，且在环路算法中应用模糊遗传算法，减小了输出电流纹波、降低了开关损耗，从而提高了变换器的变换效率以及动态响应速度。

权利要求书

1. 一种并联交错 BUCK 变换器，包括：

直流电压源；

与所述直流电压源连接的并联交错 BUCK 电路，所述并联交错 BUCK 电路包括两组并联的整流开关管以及与每组所述整流开关管连接的一组续流开关管，且每组整流开关管以及每组续流开关管包括两个并联的 MOSFET 管；

与所述并联交错 BUCK 电路连接的采样电路，设置为对所述并联交错 BUCK 电路的输出电压和输出电流进行采样，并输出采样结果；

与所述采样电路连接的数字信号处理器 DSP，设置为根据模糊遗传算法，对所述采样结果进行处理，得到占空比信号，并输出与所述占空比信号对应的脉冲宽度调制 PWM 波；

分别与所述并联交错 BUCK 电路和所述 DSP 连接的 PWM 驱动器，设置为根据所述 PWM 波控制所述两组整流开关管交错 180 度导通，以及控制所述两组续流开关管交错 180 度导通。

2. 根据权利要求 1 所述的并联交错 BUCK 变换器，其中，所述并联交错 BUCK 电路包括：第一组整流开关管、第一组续流开关管、第二组整流开关管以及第二组续流开关管；

所述第一组整流开关管包括：第一 MOSFET 管 VT1 以及第三 MOSFET 管 VT3；

其中，所述第一 MOSFET 管 VT1 的漏极与所述第三 MOSFET 管 VT3 的漏极连接，且与所述直流电压源的正极连接，所述第一 MOSFET 管 VT1 的源极与所述第三 MOSFET 管 VT3 的源极连接；

所述第一组续流开关管包括：第二 MOSFET 管 VT2 以及第四 MOSFET 管 VT4；

其中，所述第一 MOSFET 管 VT1 的源极与第二 MOSFET 管 VT2 的漏极连接，所述第三 MOSFET 管 VT3 的源极与第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET 管 VT2 的漏极与所述第四 MOSFET 管 VT4 的漏极连接，所述第二 MOSFET 管 VT2 的源极与所述第四 MOSFET 管 VT4 的源极连接，且与所述直流电压源的负极连接；

所述第二组整流开关管包括：第五 MOSFET 管 VT5 以及第六 MOSFET 管 VT6；

其中，所述第五 MOSFET 管 VT5 的漏极与所述第六 MOSFET 管 VT6 的漏极连接，且与所述直流电压源的正极连接，所述第五 MOSFET 管 VT5 的源极与所述第六 MOSFET 管 VT6 的源极连接；

所述第二组续流开关管包括：第七 MOSFET 管 VT7 以及第八 MOSFET 管 VT8；

其中，所述第五 MOSFET 管 VT5 的源极与所述第七 MOSFET 管 VT7 的漏极连接，所述第六 MOSFET 管 VT6 的源极与所述第八 MOSFET 管 VT8 的漏极连接，所述第七 MOSFET 管 VT7 的漏极与所述第八 MOSFET 管 VT8 的漏极，所述第七 MOSFET 管 VT7 的源极与所述第八 MOSFET 管 VT8 的源极连接，且与所述直流电压源的负极连接。

3. 根据权利要求 2 所述的并联交错 BUCK 变换器，其中，所述并联交错 BUCK 变换器还包括：

与所述第一组整流开关管连接的第一吸收电路；

与所述第一组续流开关管连接的第二吸收电路；

与所述第二组整流开关管连接的第三吸收电路；

与所述第二组续流开关管连接的第四吸收电路。

4. 根据权利要求 2 所述的并联交错 BUCK 变换器，其中，所述并联交错 BUCK 变换器还包括：第一电感 L1 和第二电感 L2；

其中，所述第一电感 L1 的第一端与所述第三 MOSFET 管 VT3 的源极连接；

所述第二电感 L2 的第一端与所述第六 MOSFET 管 VT6 的源极连接；

所述第一电感 L1 的第二端与所述第二电感 L2 的第二端连接。

5. 根据权利要求 4 所述的并联交错 BUCK 变换器，其中，所述并联交错 BUCK 变换器还包括：分别与所述第一电感 L1 的第二端和所述直流电压源的负极连接的滤波电路，且所述滤波电路的输出端为所述并联交错 BUCK 变换器的输出端。

6. 根据权利要求 5 所述的并联交错 BUCK 变换器，其中，所述采样电路包括：电压采样电路和电流采样电路；

其中，所述电压采样电路的输入端与所述滤波电路的输出端相连，所述电流采样电路的输入端与所述第一电感 L1 的第二端连接。

7. 根据权利要求 6 所述的并联交错 BUCK 变换器，其中，

所述数字信号处理器 DSP 包括：预测单元、模糊遗传 PID 控制单元、PWM 单元；

其中，所述预测单元分别与所述电压采样电路的输出端以及所述电流采样电路的输出端连接；

所述模糊遗传 PID 控制单元与所述预测单元连接；

所述 PWM 单元与所述模糊遗传 PID 控制单元连接。

8. 根据权利要求 7 所述的并联交错 BUCK 变换器，其中，所述 PWM 驱动器包括：输入端口，第一输出端口 PWM1，第二输出端口 PWM2、第三输出端口 PWM3 以及第四输出端口 PWM4；

其中，所述输入端口与所述 PWM 单元连接；

所述第一输出端口 PWM1 分别与所述第一 MOSFET 管 VT1 的栅极和所述第三 MOSFET 管 VT3 的栅极连接；

所述第二输出端口 PWM2 分别与所述第二 MOSFET 管 VT2 的栅极和所述第四 MOSFET 管 VT4 的栅极连接；

所述第三输出端口 PWM3 分别与所述第五 MOSFET 管 VT5 的栅极和所述第六 MOSFET 管 VT6 的栅极连接；

所述第四输出端口 PWM4 分别与所述第七 MOSFET 管 VT7 的栅极和所述第八 MOSFET 管 VT8 的栅极连接。

9. 根据权利要求 2 所述的并联交错 BUCK 变换器，其中，还包括：

与所述第一 MOSFET 管 VT1 并联第一 VD 管 VD1；

与所述第二 MOSFET 管 VT1 并联第二 VD 管 VD2；

与所述第三 MOSFET 管 VT3 并联第一 VD 管 VD3；

与所述第四 MOSFET 管 VT4 并联第一 VD 管 VD4；

其中，所述第一 VD 管 VD1 的正极与所述第一 MOSFET 管 VT1 的源极连接，所述第一 VD 管 VD1 的负极与所述第一 MOSFET 管 VT1 的漏极连接；

所述第二 VD 管 VD2 的正极与所述第二 MOSFET 管 VT2 的源极连接, 所述第一 VD 管 VD1 的负极与所述第二 MOSFET 管 VT2 的漏极连接, 且与所述第一 VD 管 VD1 的正极连接;

所述第三 VD 管 VD3 的正极与所述第五 MOSFET 管 VT5 的源极连接, 所述第三 VD 管 VD3 的负极与所述第五 MOSFET 管 VT5 的漏极连接;

所述第四 VD 管 VD4 的正极与所述第七 MOSFET 管 VT7 的源极连接, 所述第一 VD 管 VD1 的负极与所述第七 MOSFET 管 VT7 的漏极连接, 且与所述第六 VD 管 VD6 的正极连接。

10. 一种并联交错 BUCK 变换器的控制方法, 应用于如权利要求 1 至 9 中任一项所述的并联交错 BUCK 变换器, 包括:

对所述并联交错 BUCK 变换器的输出电压以及输出电流进行采样, 得到采样电压和采样电流;

根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数, 并根据第一预设算法对所述第一比较误差和所述第一校正参数进行处理, 得到第一电流值;

根据所述第一电流值与所述采样电流的第二比较误差以及所述模糊遗传算法生成第二校正参数, 并根据第二预设算法对所述第二比较误差和所述第二校正参数进行处理, 得出第一占空比信号;

根据所述采样电流与电流限流值的第三比较误差以及模糊遗传算法生成第三校正参数, 并根据第三预设算法对所述第三比较误差和所述第三校正参数进行处理, 得出第二占空比信号;

获取所述第一占空比信号与所述第二占空比信号中较小的值为所述整流开关管的第一导通占空比, 并根据所述第一导通占空比获取所述续流开关管的第二导通占空比;

根据所述第一导通占空比以及所述第二导通占空比控制所述两组整流开关管交错 180 度导通, 以及控制所述两组续流开关管交错 180 度导通。

11. 根据权利要求 10 所述的并联交错 BUCK 变换器的控制方法, 其中, 所述根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数的步骤具体为:

由第一子模糊控制器 SFC1、第二子模糊控制器 SFC2 以及第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第一比较误差进行模糊处理，得出所述第一校正参数；以及

所述根据所述采样电压与预设电压值的第二比较误差以及模糊遗传算法生成第二校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第二比较误差进行模糊处理，得出所述第二校正参数；以及

所述根据所述采样电压与预设电压值的第一比较误差以及模糊遗传算法生成第一校正参数的步骤具体为：

由所述第一子模糊控制器 SFC1、所述第二子模糊控制器 SFC2 以及所述第三子模糊控制器 SFC3 根据模糊遗传算法分别对所述第三比较误差进行模糊处理，得出所述第三校正参数。

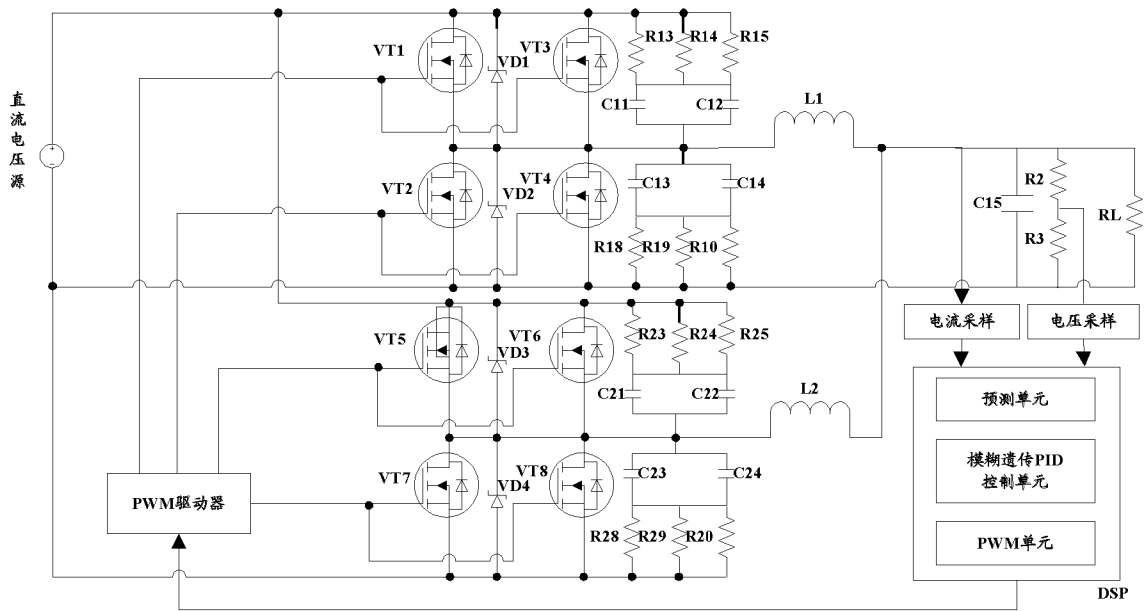


图 1

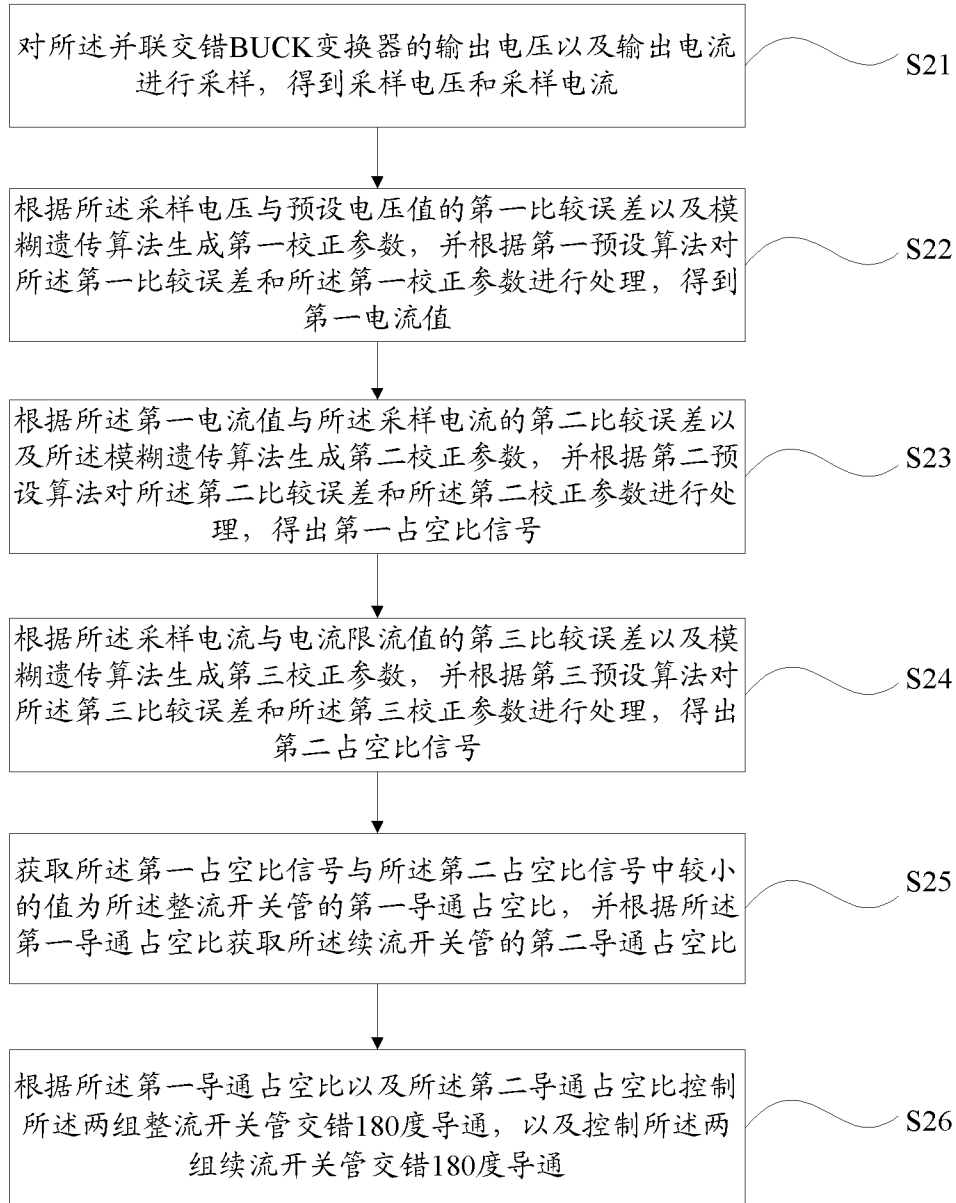


图 2

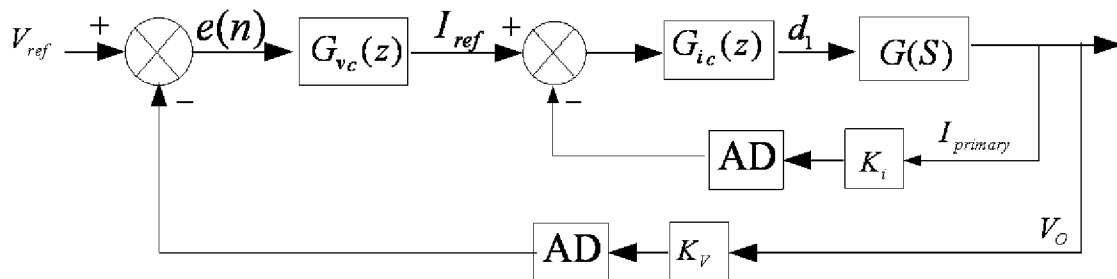


图 3

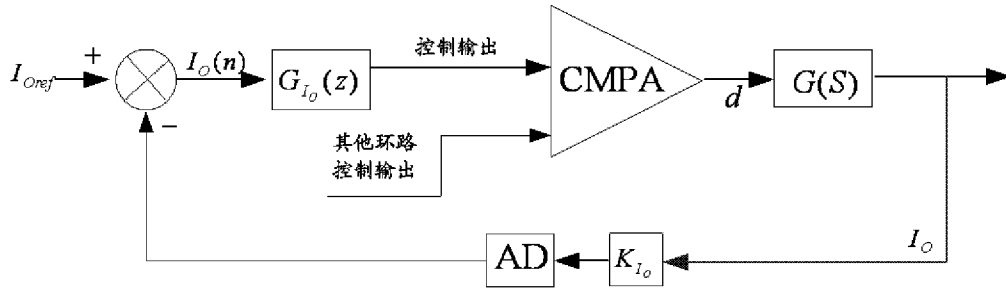


图 4

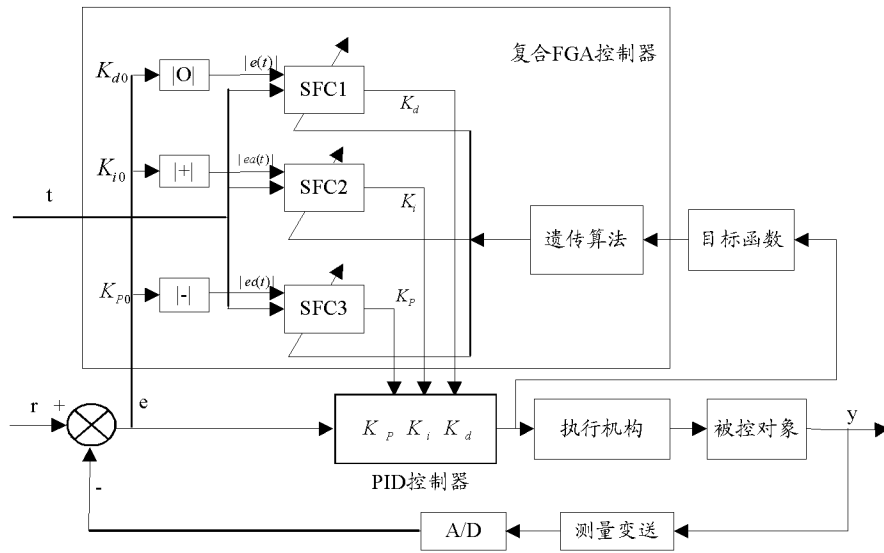


图 5

		T						
Δk_x		NB	NM	NS	ZO	PS	PM	PB
E	VB	NM/VB/PM	ZO/PB/PB	NM/PB/PS	NM/VB/ZO	NB/PS/ZO	PM/NB/NS	PS/PM/NS
	B	NB/PB/PS	PS/NM/PM	NS/B/PM	PS/NB/ZO	ZO/NB/NM	NM/B/NM	PS/PM/NM
	M	M/NB/NS	PM/NB/NB	PM/NM/NB	M/NS/PS	PB/NB/PS	PB/NB/NS	NB/ZO/ZO
	S	NB/NB/PB	NB/PM/S	PB/PS/ZO	PB/ZO/NM	PM/PB/PB	NB/PM/NB	NM/S/NS
EA	VB	PB/ZO/NB	PM/VB/NB	PM/NS/PM	PB/ZO/PM	PM/PM/PB	VB/NM/PM	PS/NB/PM
	B	PM/PS/B	NB/NS/NB	PM/NB/ZO	NB/NM/NB	PM/ZO/PB	PM/NS/NM	ZO/B/PS
	M	NM/M/NM	NB/PB/NM	NS/PB/NM	ZO/PM/PS	M/NB/NB	NM/NB/NB	NB/PM/NB
	S	NM/S/NM	NB/PB/NM	NS/PB/NM	ZO/PM/PS	PM/NB/NB	NM/S/NB	NB/PM/NB
EC	B	NM/PM/NM	B/PB/NM	NS/PB/NM	ZO/PM/PS	NM/NB/NB	NM/NB/B	NB/PM/NB
	M	NM/PM/M	NB/PB/NM	NS/PB/NM	ZO/M/PS	NM/NB/NB	NM/NB/NB	NB/PM/NB
	S	NM/PM/S	NB/PB/NM	NS/PB/NM	ZO/PM/PS	NM/NB/NB	NM/S/NB	NB/PM/NB

注: Δk_x 依次为 $\Delta k_p, \Delta k_i, \Delta k_d$

图 6

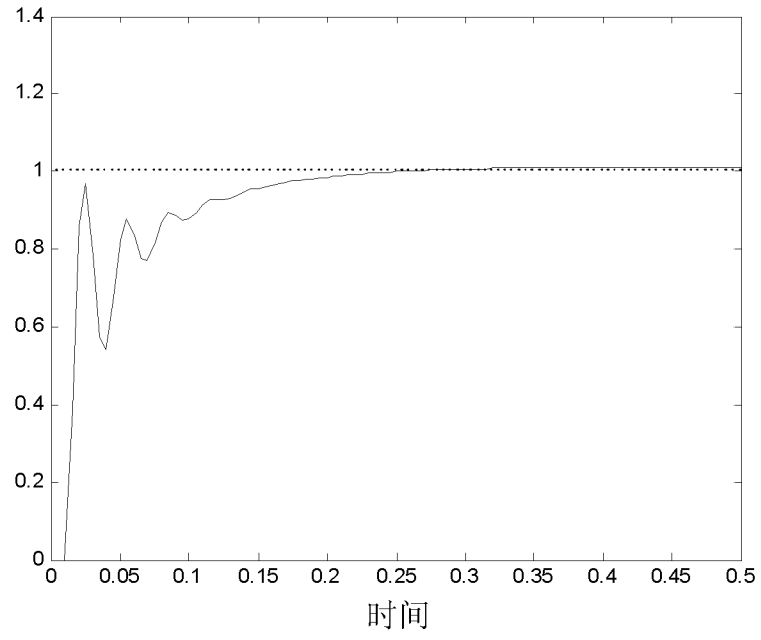


图 7a

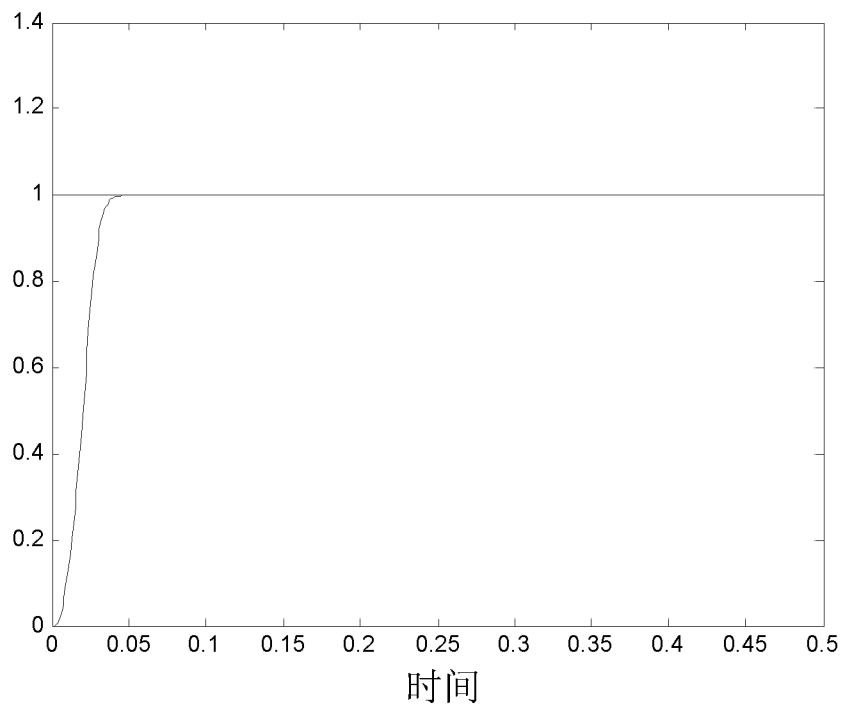


图 7b

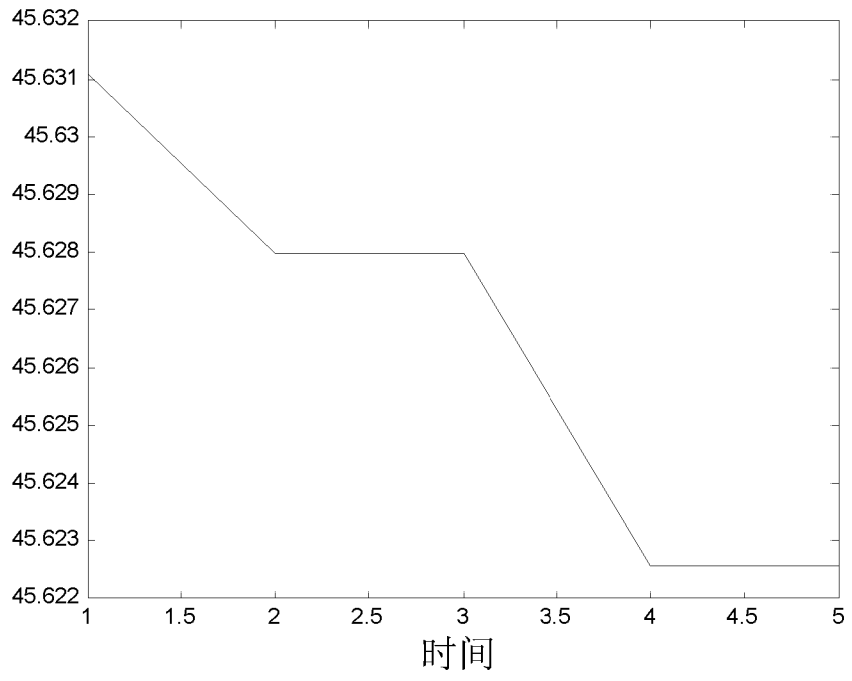


图 8a

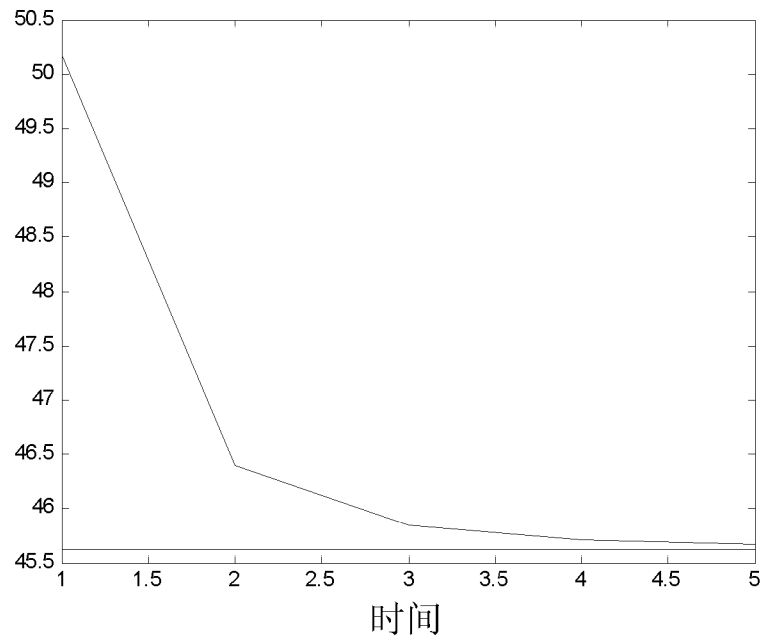


图 8b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/080521

A. CLASSIFICATION OF SUBJECT MATTER		
H02M 3/158 (2006.01) i; H02M 3/157 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; CNPAT; WPI; EPODOC; CNKI: parallel, multiphase, antihypertensive, interleaved, buck, voltage, current, fuzzy, genetic, algorithm, GA		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103973114 A (THE 41ST INSTITUTE OF CHINA ELECTRONIC TECHNOLOGY GROUP CORPORATION), 06 August 2014 (06.08.2014), description, paragraphs [0020]-[0022], and figures 2 and 3	1-11
A	CN 102931841 A (UPI SEMICONDUCTOR CORP.), 13 February 2013 (13.02.2013), the whole document	1-11
A	CN 103501115 A (RUIKONG AUTOMOTIVE ELECTRONICS CO., LTD. (YANGZHOU)), 08 January 2014 (08.01.2014), the whole document	1-11
A	US 6727605 B1 (DELPHI TECH INC.), 27 April 2004 (27.04.2004), the whole document	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family	
“O” document referring to an oral disclosure, use, exhibition or other means		
“P” document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
24 August 2015 (24.08.2015)	06 September 2015 (06.09.2015)	
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SONG, Xuemei Telephone No.: (86-10) 62411797	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/080521

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103973114 A	06 August 2014	None	
CN 102931841 A	13 February 2013	TW I429182 B	01 March 2014
		TW 201308857 A	16 February 2013
		US 2013038312 A1	14 February 2013
		US 8816657 B2	26 August 2014
CN 103501115 A	08 January 2014	None	
US 6727605 B1	27 April 2004	US 2004070283 A1	15 April 2004

<p>A. 主题的分类</p> <p>H02M 3/158 (2006.01) i; H02M 3/157 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>H02M</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNXTX; CNPAT; WPI; EPODOC; CNKI; 交错, 并联, 多相, 电压, 电流, 模糊, 遗传, 算法, 降压, interleaved, buck, voltage, current, fuzzy, genetic, algorithm, GA</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103973114 A (中国电子科技集团公司第四十一研究所) 2014年 8月 6日 (2014 - 08 - 06) 说明书第【0020】—【0022】段, 图2, 3</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 102931841 A (力智电子股份有限公司) 2013年 2月 13日 (2013 - 02 - 13) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 103501115 A (扬州瑞控汽车电子有限公司) 2014年 1月 8日 (2014 - 01 - 08) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 6727605 B1 (DELPHI TECH INC) 2004年 4月 27日 (2004 - 04 - 27) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103973114 A (中国电子科技集团公司第四十一研究所) 2014年 8月 6日 (2014 - 08 - 06) 说明书第【0020】—【0022】段, 图2, 3	1-11	A	CN 102931841 A (力智电子股份有限公司) 2013年 2月 13日 (2013 - 02 - 13) 全文	1-11	A	CN 103501115 A (扬州瑞控汽车电子有限公司) 2014年 1月 8日 (2014 - 01 - 08) 全文	1-11	A	US 6727605 B1 (DELPHI TECH INC) 2004年 4月 27日 (2004 - 04 - 27) 全文	1-11
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 103973114 A (中国电子科技集团公司第四十一研究所) 2014年 8月 6日 (2014 - 08 - 06) 说明书第【0020】—【0022】段, 图2, 3	1-11															
A	CN 102931841 A (力智电子股份有限公司) 2013年 2月 13日 (2013 - 02 - 13) 全文	1-11															
A	CN 103501115 A (扬州瑞控汽车电子有限公司) 2014年 1月 8日 (2014 - 01 - 08) 全文	1-11															
A	US 6727605 B1 (DELPHI TECH INC) 2004年 4月 27日 (2004 - 04 - 27) 全文	1-11															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件						
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																	
<p>国际检索实际完成的日期</p> <p>2015年 8月 24日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 9月 6日</p>																
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10) 62019451</p>	<p>授权官员</p> <p>宋雪梅</p> <p>电话号码 (86-10) 62411797</p>																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/080521

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103973114	A	2014年 8月 6日	无			
CN	102931841	A	2013年 2月 13日	TW	I429182	B	2014年 3月 1日
				TW	201308857	A	2013年 2月 16日
				US	2013038312	A1	2013年 2月 14日
				US	8816657	B2	2014年 8月 26日
CN	103501115	A	2014年 1月 8日	无			
US	6727605	B1	2004年 4月 27日	US	2004070283	A1	2004年 4月 15日