(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.7
H01L 21/28

(11) 공개번호 특2003-0049571
(43) 공개일자 2003년06월25일

(21) 출원번호 10-2001-0079813
(22) 출원일자 2001년12월15일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김문회
서울특별시송파구방이동142-8

(74) 대리인 강성배

심사청구 : 없음

(54) 듀얼-다마신 공정을 이용한 반도체 소자의 금속배선형성방법

요약

본 발명은 듀얼-다마신(dual-damascene) 공정을 이용한 금속배선 형성방법을 개시하며, 개시된 본 발명의 방법은, 하지층이 구비된 반도체 기판 상에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 포지티브형의 제1감광막을 도포하는 단계; 콘택 영역에 대응하는 상기 제1감광막 부분을 노광하는 단계; 상기 제1감광막 상에 네가티브형의 제2감광막을 도포하는 단계; 금속배선 영역에 대응하는 상기 제2감광막 부분을 노광하는 단계; 상기 노광된 제2 및 제2감광막 부분을 동시에 현상하여 T자형의 패턴을 갖는 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 E-빔으로 경화시키는 단계; 상기 경화된 감광막 패턴을 이용해서 노출된 층간절연막 부분을 식각하여 상기 층간절연막 내에 기판의 일부분을 노출시키는 콘택홀 및 금속배선 영역을 한정하는 트렌치를 형성하는 단계; 잔류된 감광막 패턴을 제거하는 단계; 상기 콘택홀 및 트렌치가 매립되도록 상기 층간절연막 상에 금속막을 증착하는 단계; 및 상기 층간절연막이 노출될 때까지 상기 금속막을 연마하는 단계를 포함한다.

대표도

도 2g

명세서

도면의 간단한 설명

도 1은 종래 문제점을 설명하기 위한 도면.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

21 : 반도체 기판 22 : 층간절연막

23 : 제1감광막 24 : 제2감광막

25 : 감광막 패턴 26 : E-빔

27 ; 콘택플러그 28 : 금속배선

C : 콘택홀 T : 트렌치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 듀얼-다마신 공정을 이용한 금속배선 형성방법에 관한 것이다.

반도체 메모리 소자의 집적도가 증가함에 따라, 메모리 셀들은 스택(Stack) 구조화되고 있으며, 이에 따라, 각 셀들간의 전기적 연결을 위한 금속배선도 배선 설계를 용이하게 할 수 있는 다층 구조로 형성되고 있다. 이러한 다층금속배선 구조는 배선 설계가 자유롭고, 배선저항 및 전류용량 등의 설정을 여유있게 할 수 있다는 잇점이 있다.

한편, 금속배선 물질로서는 전기 전도도가 비교적 우수한 알루미늄(Al) 또는 그의 합금막이 주로 사용되어 왔으며, 최근에는 텅스텐은 물론, 알루미늄에 비해 전기 전도도가 더 우수한 구리(Cu)를 이용하려는 연구가 진행되고 있다.

이하에서는 종래의 금속배선 공정을 개략적으로 설명하도록 한다.

우선, 트랜지스터와 같은 소정의 하지층이 형성된 반도체 기판 상에 제1금속막을 증착한 상태에서, 상기 제1금속막 상에 공지의 포토리소그라피 공정을 통해 감광막 패턴을 형성하고, 이 감광막 패턴에 의해 가려지지 않은 제1금속막 부분을 식각하여 하부 금속배선을 형성한다.

그런다음, 식각마스크로 이용된 감광막 패턴을 제거한 상태에서, 상기 하부 금속배선을 덮도록 기판의 전 영역 상에 HDP(High Density Plasma) 증착 방식에 의해 산화막을 증착한 후, CMP(Chemical Mechanical Polishing) 공정으로 그 표면을 연마하여 평탄한 표면을 갖는 층간절연막을 형성한다.

다음으로, 상기 층간절연막의 일부분을 선택적으로 식각하여 하부 금속배선을 노출시키는 콘택홀을 형성하고, 이어서, 상기 콘택홀이 완전 매립되도록 층간절연막 상에 텅스텐막을 증착한 후, 상기 텅스텐막을 연마하여 상기 콘택홀 내에 상기 하부 금속배선과 전기적으로 콘택된 콘택플러그를 형성한다.

그 다음, 콘택플러그 및 층간절연막 상에 제2금속막을 증착한 후, 포토리소그라피 공정을 통한 감광막 패턴의 형성, 상기 감광막 패턴을 이용한 제2금속막의 식각 및 상기 감광막 패턴의 제거를 차례로 수행하여 상기 콘택플러그와 콘택되는 상부 금속배선을 형성함으로써, 다층금속배선 구조를 완성한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래 기술에 따라 금속배선을 형성할 경우에는, 도 1에 도시된 바와 같이, 금속막의 식각 특성과 관련하여 금속막의 건식 식각 후에 인접하는 금속배선들(4)간에 브릿지(Bridge : 10)가 발생할 수 있으며, 또한, 금속막이 화합물 형태로 잔류됨으로써 소자의 전기적 특성에 악영향을 미치는 문제점이 있다. 특히, 이러한 문제는 반도체 소자의 고집적화가 진행됨에 따라, 더욱 심각할 것으로 예상된다.

도 1에서, 미설명된 도면부호 1은 반도체 기판, 2는 층간절연막, 그리고, 3은 콘택플러그를 각각 나타낸다.

한편, 상기한 문제를 해결하기 위해, 종래에는 다마신(damascene), 특히, 듀얼-다마신(dual-damascene) 공정을 이용한 금속배선 공정이 제안되었다. 여기서, 상기 듀얼-다마신 공정이란 콘택플러그 및 금속배선을 개별적 공정을 통해 각각 형성하는 방식이 아니라, 층간절연막 내에 콘택플러그 형성 영역을 포함한 금속배선이 형성될 영역을 미리 한정한 후에 금속막의 증착 및 금속막의 CMP를 통해 상기 콘택플러그 및 금속배선이 동시에 형성되도록 하는 공정이다.

그런데, 자세하게 도시하고 설명하지는 않았지만, 종래의 듀얼-다마신 공정 을 이용한 금속배선 공정은 콘택홀 및 금속배선 영역을 한정하기 위해 감광막 도포, 노광 및 현상을 포함하는 마스크 공정을 2회 실시하고 있으며, 아울러, 2회의 식각 공정을 수행하고 있기 때문에 공정이 다소 복잡한 문제점이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 이웃하는 금속배선들간의 브릿지 발생을 방지할 수 있는 듀얼-다마신 공정을 이용한 금속배선 형성방법을 제공함에 그 목적이 있다.

또한, 본 발명은 전체 공정 수를 줄일 수 있는 듀얼-다마신 공정을 이용한 금속배선 형성방법을 제공함에 그 다른 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 금속배선 형성방법은, 하지층이 구비된 반도체 기판 상에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 포지티브형의 제1감광막을 도포하는 단계; 콘택 영역에 대응하는 상기 제1감광막 부분을 노광하는 단계; 상기 제1감광막 상에 네가티브형의 제2감광막을 도포하는 단계; 금속배선 영역에 대응하는 상기 제2감광막 부분을 노광하는 단계; 상기 노광된 제2 및 제2감광막 부분을 동시에 현상하여 T자형의 패턴을 갖는 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 E-빔으로 경화시키는 단계; 상기 경화된 감광막 패턴을 이용해서 노출된 층간절연막 부분을 식각하여 상기 층간절연막 내에 기판의 일부분을 노출시키는 콘택홀 및 금속배선 영역을 한정하는 트렌치를 형성하는 단계; 잔류된 감광막 패턴을 제거하는 단계; 상기 콘택홀 및 트렌치가 매립되도록 상기 층간절연막 상에 금속막을 증착하는 단계; 및 상기 층간절연막이 노출될 때까 지 상기 금속막을 연마하는 단계를 포함한다.

본 발명에 따르면, 듀얼-다마신 공정을 이용하는 것으로 인해 인접하는 금속배선들간의 브릿지 발생을 방지할 수 있으며, 아울러, 1회의 현상 및 식각 공정만으로 콘택홀 및 금속배선 영역이 한정되도록 하는 것으로 인해 전체 공정 수를 줄일 수 있다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 자세하게 설명하도록 한다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 다층금속배선 형성방법을 설명하기 위한 공정별 단면도이다.

도 2a를 참조하면, 트랜지스터 및 하부 금속배선 등을 포함한 소정의 하지층(도시안됨)이 구비된 반도체 기판(21)을 마련하고, 상기 반도체 기판(21) 상에 HDP 방식으로 증착된 산화막으로 이루어지면서 후속하는 CMP 공정을 통해 표면 평탄화가 이루어진 층간절연막(22)을 형성한다. 그런다음, 상기 층간절연막(22) 상에 포지티브형의 제1감광막(23)을 도포하고, 콘택 형성용 레티클(reticle : 30)을 이용하여 콘택 형성 영역에 해당하는 상기 제1감광막 부분을 선택적으로 노광한다. 도면부호 23a는 노광된 제1감광막 영역을 나타낸다.

도 2b를 참조하면, 선택적 노광이 이루어진 제1감광막(23) 상에 네가티브형의 제2감광막(24)을 도포하고, 배선 형성용 레티클(40)을 이용하여 금속배선 형성 영역을 제외한 나머지 영역에 대응하는 제2감광막 부분을 노광한다. 도면부호 24a 는 노광된 제2감광막 영역을 나타낸다. 여기서, 상기 제2감광막(24)은 노광된 제1감광막 영역이 재차 노광되는 것을 방지하기 위해 네가티브형의 감광 물질로 이루어지도록 한 것이며, 아울러, 낮은 점성을 갖도록 해야 한다. 또한, 상기 제2감광막(24)은, 후속에서 설명되기는 하겠지만, 단순히 마스크의 역할만을 하므로, 도포 균일도(coating uniformity)는 크게 중요하지 않으며, 그래서, 과도 노광이 이루어져도 큰 문제는 발생되지 않는다.

도 2c를 참조하면, 상기 결과물에 대해 1회의 현상 공정을 수행하여 노광된 제2감광막 영역 및 제1감광막 영역을 제거하고, 이 결과로서, 전체적으로 T자형의 감광막 패턴(25)을 형성한다. 그런다음, 이렇게 형성된 감광막 패턴(25)과 그 하부에 배치된 HDP 산화막 재질의 층간절연막(22)간의 식각 선택비(etch selectivity)를 조절하기 위해 E-빔(26)을 조사시켜 상기 감광막 패턴(25)을 경화(curing)시킨다.

여기서, 감광막과 HDP 산화막간의 식각선택비는 E-빔의 조사량과 조사시간에 따라 조절 가능하다. 또한, 상기 E-빔을 이용한 경화 공정 대신에 1차로 도포되는 포지티브형 제1감광막의 도포 두께를 조절함으로써, 감광막과 HDP 산화막간의 식각선택비, 즉, 콘택 형성시의 식각 깊이를 조절할 수도 있다.

도 2d를 참조하면, 감광막 패턴(25)을 이용해서 노출된 층간절연막 부분을 1차로 건식식각한다. 이때, 감광막과 HDP 산화막간의 식각선택비에 의해, 상기 HDP 산화막으로된 층간절연막의 일부 두께가 식각되며, 동시에, 노출된 제1감

광막 부분의 일부 두께가 함께 식각된다.

도 2e를 참조하면, 상기 결과물에 대해 2차로 건식식각을 수행하되, O2 가스를 첨가한 플라즈마 식각을 행하여 노출된 제1감광막 부분을 완전히 제거하고, 동시에, 층간절연막(22)의 일부 두께를 추가로 더 식각한다.

도 2f를 참조하면, 잔류된 감광막 패턴(25)을 이용해서 층간절연막(22)을 3차로 건식식각한다. 이 과정에서, 2회에 걸쳐 식각된 층간절연막 부분이 재차 식각되어 기판(21)을 노출시키는 콘택홀(C)이 형성되고, 동시에, 노출된 층간절연막의 상면 일부 두께가 함께 식각되어 금속배선 형성 영역을 한정하는 트렌치(T)가 혀엉된다.

도 2g를 참조하면, 잔류된 감광막 패턴을 제거한 상태에서, 상기 콘택홀(C) 및 트렌치(T)가 완전 매립되도록 층간절연막(22) 상에 알루미늄, 구리, 텅스텐 등의 금속막을 증착하고, 이어, 상기 층간절연막(22)이 노출될 때까지 상기 금속막을 CMP 공정으로 연마하여 상기 콘택홀(C) 및 트렌치(T) 내에 기판, 또는, 하지층과 전기적으로 콘택되는 콘택플러그(27)를 포함한 금속배선(28)을 형성한다.

상기와 같은 본 발명의 금속배선 형성방법은 다음과 같은 잇점을 갖는다.

첫째, 다마신 공정을 이용해서 금속배선을 형성기 때문에 인접하는 금속배선들간의 브릿지 발생이 근본적으로 일어나지 않는다.

둘째, 종래의 듀얼-다마신 공정에서는 콘택홀 및 트렌치 형성을 위해 감광막 도포, 노광 및 현상을 포함하는 2회의 마스킹 공정을 수행해야 하고, 아울러, 2회의 식각 공정을 수행해야 하는 것으로 인해 전체 공정이 복잡한 문제점이 있지만, 본 발명의 듀얼-다마신 공정에서는 감광막의 도포 및 노광은 2회 수행하는 반면에 현상 및 식각은 1회만 수행하므로, 공정 단순화를 얻을 수 있다.

셋째, HDP 산화막과 감광막간의 식각선택비 조절을 위해, 종래의 듀얼-다마신 공정은 하드 베이킹(Hard baking)을 이용하지만, 본 발명의 공정은 E-빔 경화를 이용하므로, 그 조절도를 높일 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 듀얼-다마신 공정을 이용하여 금속배선을 형성하는 것으로 인해, 인접하는 금속배선들간의 브릿지 발생을 방지할 수 있으며, 이를 통해 금속배선의 신뢰성을 향상시킬 수 있다. 또한, 본 발명은 듀얼-다마신을 이용하되, 현상 및 식각 공정 수를 줄임으로써 공정 단순화를 얻을 수 있고, 이를 통해 생산성을 향상시킬 수 있다.

기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

하지층이 구비된 반도체 기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 포지티브형의 제1감광막을 도포하는 단계;

콘택 영역에 대응하는 상기 제1감광막 부분을 노광하는 단계;

상기 제1감광막 상에 네가티브형의 제2감광막을 도포하는 단계;

금속배선 영역에 대응하는 상기 제2감광막 부분을 노광하는 단계;

상기 노광된 제2 및 제2감광막 부분을 동시에 현상하여 T자형의 패턴을 갖는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 E-빔으로 경화시키는 단계;

상기 경화된 감광막 패턴을 이용해서 노출된 층간절연막 부분을 식각하여 상기 층간절연막 내에 기판의 일부분을 노출시키는 콘택홀 및 금속배선 영역을 한정하는 트렌치를 형성하는 단계;

잔류된 감광막 패턴을 제거하는 단계;

상기 콘택홀 및 트렌치가 매립되도록 상기 층간절연막 상에 금속막을 증착하는 단계; 및

상기 층간절연막이 노출될 때까지 상기 금속막을 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 2.
제 1 항에 있어서, 상기 콘택홀 및 트렌치를 형성하는 단계는,

상기 감광막 패턴을 이용해서 노출된 층간절연막 부분의 일부 두께와 상기 감광막 패턴에서의 노출된 제1감광막 부분의 일부 두께를 1차로 식각하는 단계;

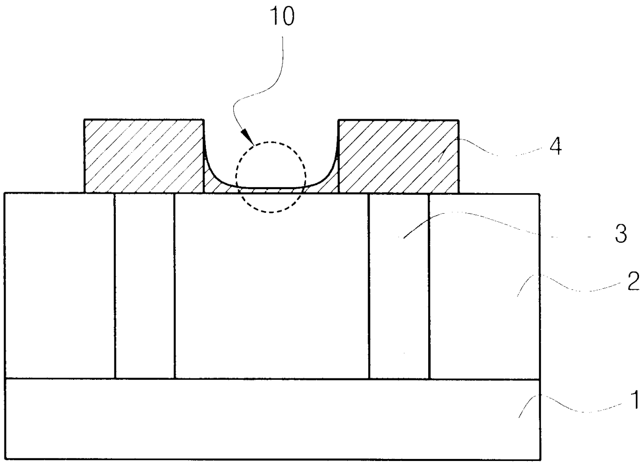
상기 1차 식각된 층간절연막 부분의 일부 두께와 잔류된 제1감광막의 노출 부위를 2차로 식각하는 단계; 및

상기 기판이 노출되도록 2차 식각된 층간절연막 부분 및 상기 노출된 제1감광막 부분의 제거에 의해 노출된 상기 층간절연막 부분 표면의 일부 두께를 3차로 식각하는 단계로 구성되는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

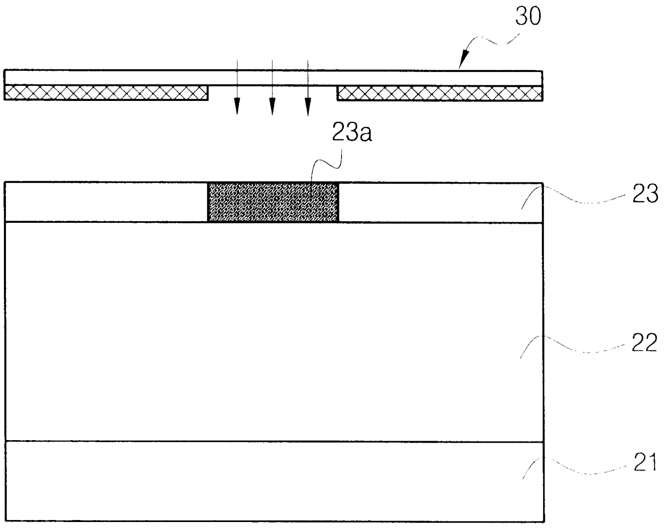
청구항 3.
제 1 항에 있어서, 상기 층간절연막은 HDP(High Density Plasma) 증착 방식의 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

도면

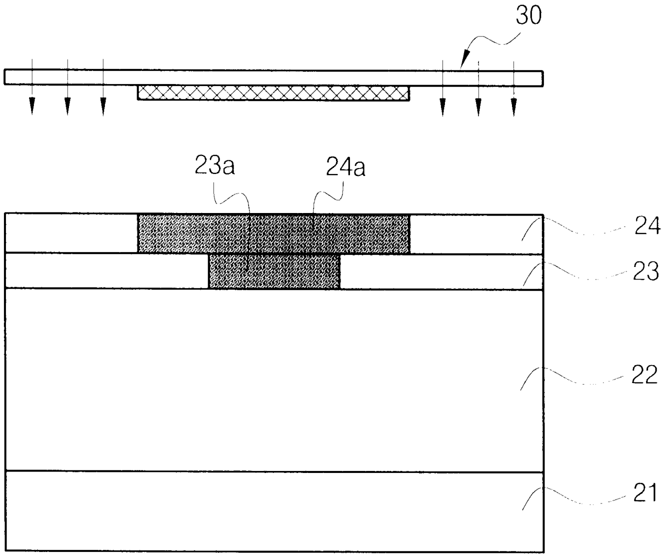
도면1



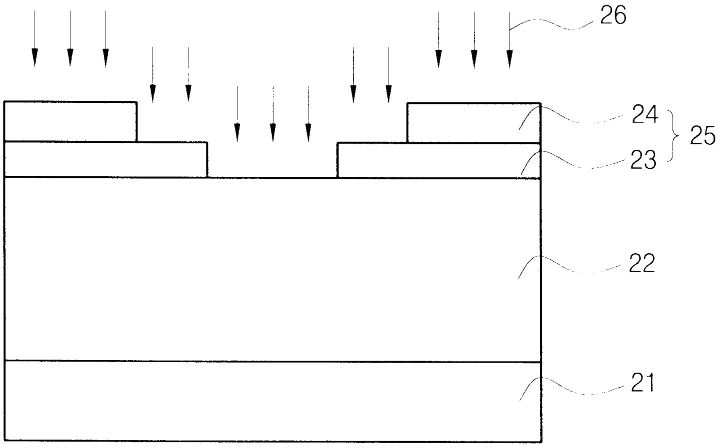
도면2a



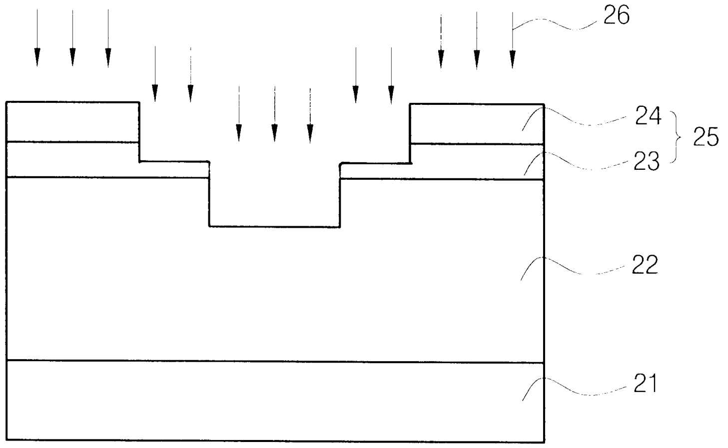
도면2b



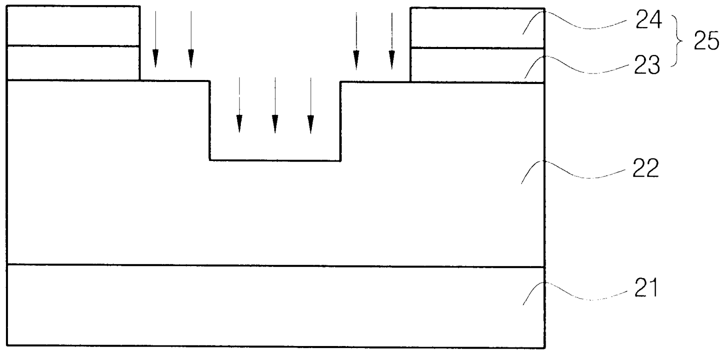
도면2c



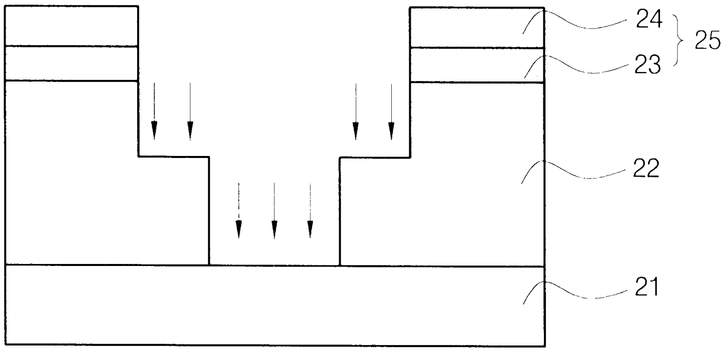
도면2d



도면2e



도면2f



도면2g