

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-535930

(P2005-535930A)

(43) 公表日 平成17年11月24日(2005.11.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G02F 1/15</b>	G02F 1/15 506	2K001
<b>G09G 3/20</b>	G09G 3/20 642J	5C080
<b>G09G 3/38</b>	G09G 3/38	

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2004-528721 (P2004-528721)  
 (86) (22) 出願日 平成15年7月1日(2003.7.1)  
 (85) 翻訳文提出日 平成16年12月17日(2004.12.17)  
 (86) 国際出願番号 PCT/IB2003/003030  
 (87) 国際公開番号 W02004/017134  
 (87) 国際公開日 平成16年2月26日(2004.2.26)  
 (31) 優先権主張番号 02078378.3  
 (32) 優先日 平成14年8月15日(2002.8.15)  
 (33) 優先権主張国 欧州特許庁 (EP)

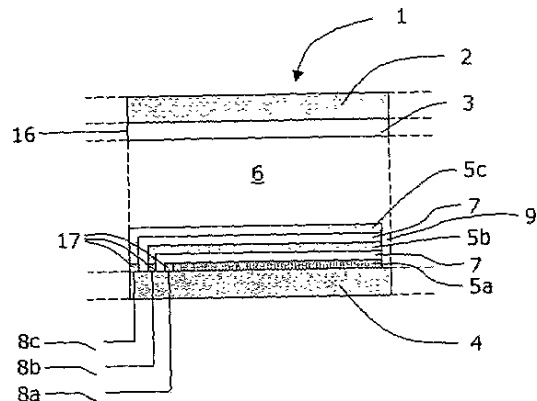
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1  
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands  
 (74) 代理人 100087789  
 弁理士 津軽 進  
 (74) 代理人 100114753  
 弁理士 官崎 昭彦

最終頁に続く

(54) 【発明の名称】 積み重ねられたセル式単色エレクトロクロムを持つフルカラー・エレクトロクロミック・ディスプレイ

(57) 【要約】

表示装置は、第1基板(2)と、対極(3)と、第2基板(4)と、第2基板(4)に結合されたエレクトロクロミック層(5a、5b、5c)のスタックと、対極(3)とエレクトロクロミック層(5a、5b、5c)のスタックとの間に配置された電解質(6)とを有する複数の独立にアドレッシングされることのできる画素(1)を有する。エレクトロクロミック層(5a、5b、5c)は、それぞれスイッチング動作に対して独立にアドレッシングされることができ、電解質(7)の層により互いに分離されている。画素(1)を動作する駆動方法は、エレクトロクロミック層(5)又はエレクトロクロミック層(5)に結合された作用電極(10)に選択的に接続されることができ少なくとも1つの電力線(8)を提供するステップと、電力線(8)に脱色電圧又は着色電圧を選択的に印加するステップと、維持期間中電力線(8)の接続を維持するステップと、電力線(8)の接続を断つステップとを有する。



**【特許請求の範囲】****【請求項 1】**

複数の独立にアドレッシングされることができる画素を有する表示装置において、前記画素が、第 1 基板と、対極と、第 2 基板と、前記第 2 基板に結合されたエレクトロクロミック層のスタックと、前記対極と前記エレクトロクロミック層のスタックとの間に配置された電解質とを有し、前記エレクトロクロミック層がそれぞれスイッチング動作に対して独立にアドレッシングされることができ、前記エレクトロクロミック層が電解質の層により互いから分離される表示装置。

**【請求項 2】**

独立にアドレッシングされることができる作用電極が、前記第 2 基板と前記エレクトロクロミック層のスタック内の前記第 2 基板に隣接するエレクトロクロミック層との間に配置される、請求項 1 に記載の表示装置。

10

**【請求項 3】**

異なる独立にアドレッシングされることができる作用電極が、前記エレクトロクロミック層のスタック内のそれぞれ対応するエレクトロクロミック層に結合される、請求項 1 に記載の表示装置。

**【請求項 4】**

前記エレクトロクロミック層を互いから分離する前記電解質が、固体のような電解質である、請求項 1 に記載の表示装置。

**【請求項 5】**

前記固体のような電解質がポリマ電解質である、請求項 4 に記載の表示装置。

20

**【請求項 6】**

前記エレクトロクロミック層のスタックが 3 つの単色エレクトロクロミック層を有する、請求項 1 に記載の表示装置。

**【請求項 7】**

前記表示装置の各画素の前記対極が、1 つの共通の対極を形成するように接続される、請求項 1 に記載の表示装置。

**【請求項 8】**

エレクトロクロミック層又は前記エレクトロクロミック層に結合された作用電極に選択的に接続されることができる少なくとも 1 つの電力線を提供するステップと、

30

前記電力線に脱色電圧又は着色電圧を選択的に印加するステップと、

脱色又は着色されるべき前記エレクトロクロミック層又は前記エレクトロクロミック層に結合された前記作用電極をアドレッシングするステップと、

前記電力線を前記アドレッシングされたエレクトロクロミック層又は前記アドレッシングされたエレクトロクロミック層に結合された前記作用電極に接続するステップと、

維持期間中前記アドレッシングされたエレクトロクロミック層又は前記アドレッシングされたエレクトロクロミック層に結合された前記作用電極に対する前記電極線の接続を維持するステップと、

前記アドレッシングされたエレクトロクロミック層又は前記アドレッシングされたエレクトロクロミック層に結合された前記作用電極から前記電力線の接続を断つステップと、

40

を有する、請求項 1 乃至 7 の何れか一項に記載の表示装置の画素を動作する駆動方法。

**【請求項 9】**

追加のエレクトロクロミック層又は前記追加のエレクトロクロミック層に結合された作用電極のアドレッシングが、連続的なライン周期で順番に実行される、請求項 8 に記載の方法。

**【請求項 10】**

追加のエレクトロクロミック層又は前記追加のエレクトロクロミック層に結合された作用電極のアドレッシングが、同じライン周期に並列に実行される、請求項 8 に記載の方法。

**【発明の詳細な説明】**

50

## 【技術分野】

## 【0001】

本特許出願は、エレクトロクロミック表示装置の分野に関し、特にこのような表示装置にフルカラー動作を提供する装置及びこのための駆動方法に関する。より具体的には、本特許出願は、エレクトロクロミック表示装置の各画素セル(pixel cell)に対してフルカラー動作を提供する効率的なシステムに関する。

## 【背景技術】

## 【0002】

近年、エレクトロクロミック表示装置は、電子ペーパータイプのディスプレイの候補として研究されている。しかしながら、現在商業化可能なエレクトロクロミック・ディスプレイ技術の遅いスイッチング速度及び高い電力消費は、ディスプレイ市場のニーズを満たさない。最近では、性能を向上するために、化学的に改良されたナノ構造メソポーラス膜(nano-structured mesoporous films)のようなナノ材料の使用に向かう傾向にある。このような材料の使用は有望な結果を示している。しかしながら、エレクトロクロミック・ディスプレイに関する残りの主要な問題の1つは、色の生成である。

10

## 【0003】

1つの従来技術のアプローチは、それぞれ対向表面(facing surface)上に形成された電解質を持つ5つの透明板を有する4層光フィルタを使用する選択的な色生成を提案する。ガラス又はプラスチックの透明板は、対向表面上で酸化スズ又は薄い金属透明導体でコーティングされる。エレクトロクロミック導電性ポリマーの薄い層(0.01  $\mu\text{m}$ 乃至0.1  $\mu\text{m}$ )が、対面電極の各対の電極の一方に配置される。4層が記載されているが、パネルを通して異なる色及び明度の透過を可能にするために、2つ以上の層が、どんな電圧の組み合わせでも使用されることができると示唆されている。このタイプのシステムは米国特許公開公報US 4749260において開示される。

20

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

従って、本発明の目的は、エレクトロクロミック表示機器にフルカラーを与える改良された装置を提供することである。

## 【課題を解決するための手段】

30

## 【0005】

この目的は、請求項1で特定される本発明による装置により達成される。

## 【0006】

本発明の他の目的は、エレクトロクロミック表示機器にフルカラーを与える改良された駆動方法を提供することである。

## 【0007】

この目的は、請求項8で特定される本発明による方法により達成される。

## 【0008】

本発明の他の有利な実施例は、従属請求項で特定される。

## 【0009】

40

本発明の他の目的及びフィーチャは、添付図面に関連して考慮される以下の詳細な記述から明らかになるであろう。しかしながら、前記図面は、説明の目的のためのみに設計され、本発明の制限の定義としては設計されておらず、本発明の制限の定義に対しては添付の請求項を参照するべきであることは、理解されるべきである。更に、前記図面が必ずしも正しい縮尺で描かれてはおらず、別に示されない限り、前記図面が単にここで記述される構造及び手順を概念的に説明することを意図することは、理解されるべきである。

## 【0010】

図面において、同様な参照符号は、複数の図を通して同様な要素を示す。

## 【発明を実施するための最良の形態】

## 【0011】

50

図1は、第1実施例によるエレクトロクロミック・ディスプレイの画素1の概略的な断面図を示す。前記エレクトロクロミック・ディスプレイの各画素は、独立にアドレッシングされることができ、ピクセル間のクロストークを避けるために、電子的又は物理的の何れかで他の画素から分離されることができる。画素1は、好ましくは透明であり、且つガラス又はプラスチック板のような材料でできている第1基板2と、前記第1基板2に結合された導電性対極 (conductive counter-electrode) 3と、反射的又は透過的であることができる第2基板4と、第2基板4に結合されたエレクトロクロミック層5a、5b及び5cのスタック (stack) と、対極3とエレクトロクロミック層5a、5b及び5cのスタックとの間に配置され、対極3とエレクトロクロミック層5a、5b及び5cのスタック内の隣接するエレクトロクロミック層5cとに接触している透明な電解材料6とを有する。エレクトロクロミック層5a、5b及び5cは、スイッチング動作のために独立にアドレッシングされることができる。各エレクトロクロミック層5a、5b、5cは、適切な正及び負の電圧を画素セルの両端間に印加することにより透明状態とカラー状態との間で可逆的に切り替えられることができる。フルカラー動作は、好ましくはよく知られた減色法を使用して達成される。本発明によると、これは前記画素セル内の3つのエレクトロクロミック層5a、5b及び5cの積み重ね及び独立なアドレッシングにより達成される。好ましくは、図1に示されるように、3つの単色エレクトロクロミック層が使用される。これら3つのエレクトロクロミック層は、好ましくはシアン、マゼンタ及びイエロー (CMY) であり、これは反射型ディスプレイにおいて白及び黒を含む全ての色を得ることを可能にするが、代替例として赤、緑、青 (RGB) カラーアプローチも使用されることができ、しかしながら、これは補色の生成における減少された光学的性能に帰着すると予測される。前記エレクトロクロミック層に向かう電子の流れの制御 (グレイスケール制御) と組み合わせた補色 (又は原色) の生成は、フルカラー動作の生成を可能にする。前記スタック内のエレクトロクロミック層5a、5b及び5cは独立にアドレッシングされる必要があるため、クロストークを防ぐためにエレクトロクロミック層5a、5b及び5cを互いから物理的に分離することを要する。これは、好ましくはエレクトロクロミック層5a、5b及び5c間に電解層7を使用して達成され、電解層7は、電解材料6と通信するように構成され、これにより以下に詳細に記述されるように電解層7と電解材料6との間に直接のイオン経路が存在する。十分な機械的な支持を保証するために、重合体電解質のような固体のような (solid-state like) 電解質が好ましい。更に、前記電解質は、前記エレクトロクロミック層の電気化学の酸化又は還元反応における電荷補償のためにイオンを含むので、表示セルの必須の部分である。電解層7は、エレクトロクロミック反応の速い応答を促進する対イオン (counter-ions) の速い輸送 (transport) を促進する。代替実施例において、積み重ねられたエレクトロクロミック層5a、5b及び5c間の分離層7は、電解質で満たされた多孔性絶縁体からなることができる。図1の実施例によると、前記エレクトロクロミック層に接触している電極は、図1において電力線8a、8b及び8cに接続された基板4上のインジウムスズ酸化物 (ITO) トラック (tracks) 17として図示される、前記画素の1つ又は複数の側面において必要とされ、このITOトラック17を用いて、前記エレクトロクロミック層は、必要であればいわゆる“バイア”ホールを通して接触する。このような構成において、電子輸送 (electron transport) は、従来の深さ方向の電子輸送の代わりに前記画素の横方向に生じる。横方向の寸法は深さより大幅に大きいので、電子の速い輸送を提供するエレクトロクロミック層5a、5b及び5cが必要とされる。このような場合に、前記エレクトロクロミック層自体は電極として機能する。これらの性質を持つエレクトロクロミック材料の既知のクラスは導電性ポリマである。これらのポリマは、一般に電気化学的に高伝導状態 (high-conducting) から低伝導状態 (lower conducting state) に切り替わることができ、同時に光学的応答の差が生じる。導電性ポリマのエレクトロクロミック・クラスの他の利点は、インクジェット印刷技術又は平板印刷技術におけるプロセス能力 (process-ability) 及びパターン能力 (pattern-ability) である。アクティブマトリクス (AM) ディスプレイにおいてクロストークを防ぐために、隣接する画素間に画素壁 (pixel wall) が必要とされない。1

10

20

30

40

50

つの画素から次の画素への直接的な電子輸送を防ぐために前記エレクトロクロミック層をピクセレート (pixelate) (パターニング、pattern) することが可能である。前記画素間の小さな空間は、このような場合に十分である。対極 3 の容量は、前記スタック内のエレクトロクロミック層 5 a、5 b 及び 5 c 全てを支える電気化学の対向反応 (counter reaction) を与えるのに十分であるべきである。対極 3 の容量は、好ましくは、様々なエレクトロクロミック層が前記対極に対してアドレッシングされる場合に、前記対極のレドックス状態が大幅に変更されないようなものであるべきである。更に、対極 3 をピクセレートすることも可能である。前記表示装置の各画素はこれ自体の対極 3 を持つことができるが、1 つの共通の対極面があってもよく、即ち前記表示装置の各画素の対極 3 は、1 つの共通の対極を形成するために接続される。前記対極をディスプレイ駆動回路に接続するライン 16 が図 1 に示され、このライン 16 は、前記対極が全ての画素に対して共通である場合には、前記表示装置全体に対して一回接続することのみが必要である。前記画素内の穴又はギャップ 9 (例えば前記画素の側面における電解質パイア) は、前記画素セルの全体的な電荷的中性を保証し、結合された前記対極とのイオンの接触を促進するために必要とされる。前記ディスプレイが、例えばバックライトを使用して透過的動作 (transmissive operation) に使用される場合、前記画素セル全体は、全てのエレクトロクロミック層 5 a、5 b 及び 5 c が透過状態である場合に透過的になることになる。前記ディスプレイの反射動作に対して、反射面、好ましくは拡散反射面が、前記画素セルの基板側に見る人 (viewer) の反対に向けて追加される必要があり、これは第 1 基板 2 又は第 2 基板 4 であることができる。図 1 の水平な破線は、第 1 基板 2、対極 3 及び第 2 基板 4 が大幅に大きく、追加の画素セルを有することができることを示す。縦の破線は、記述された画素セル 1 の境界を示すためのみに使用される。

10

20

#### 【0012】

図 2 は、図 1 を参照して説明されたものに加えて、画素 1 が、第 2 基板 4 とエレクトロクロミック層 5 a、5 b 及び 5 c のスタック内で第 2 基板 4 に隣接するエレクトロクロミック層 5 a との間に配置された、例えば従来から使用されている透明なインジウムスズ酸化物 (ITO) からなる、独立にアドレッシングされることのできる作用電極 10 a を有する代替実施例を図示する。この場合のこのエレクトロクロミック層 5 a は、好ましくは電極 10 a 上に形成され、従って (上述のように) 横方向よりむしろ従来の深さ方向に切り替えられることができる。代替的に、この電極 10 a は、更に対イオン拡散 (counter-ion diffusion) を増加するために、又は吸収エレクトロクロミック種 (absorbed electrochromic species) に対する電子輸送を促進するために、ナノ結晶  $TiO_2$  のように多孔性であることができる。

30

#### 【0013】

図 3 は、図 1 を参照して説明されたものに加えて、画素 1 が、エレクトロクロミック層 5 a、5 b 及び 5 c に結合され且つこれらを支える電極層 10 a、10 b 及び 10 c を有する他の代替実施例を示す。各対応する電極層 10 a、10 b、10 c は、図 3 に示されるように、結合されたエレクトロクロミック層 5 a、5 b、5 c が前記電極層と対極 3 との間に位置するように配置されることのできるが、前記結合されたエレクトロクロミック層と対極 3 との間に電極層 10 a、10 b 及び 10 c を配置することも可能である。1 つのエレクトロクロミック層を支える電極は、ポリマ電解質であってもよい固体又はジェル状電解質のような機械的に支持する電解質 7 により他のエレクトロクロミック層から分離される。電極層 10 b 及び 10 c は、いわゆる“パイア”ホールを介して対応する ITO トラック 17 に接触する。本実施例による構成は、複雑さ及び反射損失を増加するが、エレクトロクロミック層 5 a、5 b 及び 5 c を従来の深さ方向に切り替える機会を与え、エレクトロクロミック材料のより広い範囲の使用を可能にする。これらの支持電極 (supporting electrode) 10 a、10 b 及び 10 c は、更に対イオン拡散を促進し、又は吸収エレクトロクロミック種に対する電子輸送を促進するために、ナノ結晶  $TiO_2$  のように多孔性であることができる。

40

#### 【0014】

50

図4を参照すると、従来のアクティブマトリクス表示装置の構造の一般例が示されている。前記アクティブマトリクス表示装置は、基板4上にあり、ブロック1により示される規則的に間隔を空けた画素の行及び列のマトリクスアレイを持つパネルを有し、それぞれの画素が、エレクトロクロミック表示素子と、前記表示素子を流れる電流を制御する結合された駆動装置とを有し、前記画素は、前記基板上にある行選択導体又は線12と、列データアドレス導体又は線11との交差するセット間の交点に配置される。単純化のため、少数の画素1のみが示されている。画素1は、前記パネルに接続された出力部を持ち、順番に行導体12に供給される走査信号を生成する行走査ドライバ回路18と、列導体11に供給されるデータ信号を生成し、個別の画素の前記表示素子からの表示出力を定める列データドライバ回路19と、回路18及び19の動作を制御するタイミング制御ユニット20とを有する周辺駆動回路により前記アドレス導体のセットを介してアドレッシングされる。

10

## 【0015】

画素の各行は、関連する行導体12に対して回路18により印加される選択信号を用いてアドレッシングされ、これにより列導体11に対して回路19により並列に印加される対応するデータ信号に従って対応する駆動信号を前記行の画素にロードする。各行がアドレッシングされると、前記データ信号は、適切に同期して回路19により供給される。

## 【0016】

図5は、例えば図1の前記アクティブマトリクスディスプレイのブロック1のうちの1つに配置されることができ、エレクトロクロミック画素1のエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10に対する単一電力線駆動回路を図示する。各画素駆動回路は、スイッチングトランジスタ13と、駆動トランジスタ14と、キャパシタ15と、場合によっては作用電極10に結合されたエレクトロクロミック層5とを含む。スイッチングトランジスタ13及び駆動トランジスタ14は、好ましくは薄膜トランジスタ(TFT)である。スイッチングトランジスタ13のゲートは行選択電極線12に接続され、スイッチングトランジスタ13のソースは列データ電極線11に接続される。スイッチングトランジスタ13のドレインは駆動トランジスタ14のゲートに接続される。駆動トランジスタ14のソースは電力線8に接続され、駆動トランジスタ14のドレインはエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10に接続される。前記駆動回路は、画素1のエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10に対する電力線電圧の印加を制御する列データ入力部11及び行選択入力部12を介して制御されることができ、図5の単純な画素回路の使用により、画素1のエレクトロクロミック層5は着色(colored)及び脱色(leached)されることができ、動作は以下のとおりである。即ち、電力線8は脱色電圧に設定され、前記ディスプレイは2つの電圧でアドレッシングされ、ここで高電圧は駆動トランジスタを導通状態にし、低電圧はトランジスタ14の導通状態を止め、高電圧で全ての画素1をアドレッシングすることによりリセット動作が実行され、これにより全ての画素1の対応するエレクトロクロミック層5が脱色される(既に脱色されている画素はこの段階では何も行わない)。蓄積キャパシタ15は、駆動トランジスタ14が維持期間中に導通状態のままであることを保証する。全ての画素1は、駆動トランジスタ14をオフにする低電圧でアドレッシングされる。前記電力線電圧は着色電圧に切り替えられる。エレクトロクロミック層5が着色を必要とする画素1は高電圧に対してアドレッシングされる。駆動トランジスタ14が導通状態になり、着色が始まる。蓄積キャパシタ15は、もう一度、駆動トランジスタ14が維持期間の間に導通状態のままであることを保証する。前記画素のエレクトロクロミック層5が十分に着色されている場合には、画素1のエレクトロクロミック層5は、データ入力部11から低電圧で画素1をアドレッシングすることにより電力線8からの接続を断たれる。新しい画像が完全に書き込まれた場合、電力線8は電源が切られる。本実施例において、色のグレイレベル(“輝度”)は、エレクトロクロミック層5内を通過する電荷の積分量により、従って画素1のエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10が電力線8に接続される時間

20

30

40

50

により定められることになる。

【0017】

図6は、エレクトロクロミック層5aが着色及び脱色されることができるよう2つの電力線8a1及び8a2を持つ、より複雑な画素回路を図示する。前記駆動回路は、画素1のエレクトロクロミック層5a又はエレクトロクロミック層5aに結合された作用電極10aに対する電力線電圧の印加を制御する2つの列データ入力部11a1及び11a2並びに2つの行選択入力部12a1及び12a2を介して制御されることが出来る。前記画素回路の動作は以下のとおりである。即ち、電力線8a1及び8a2は、それぞれ脱色電圧及び着色電圧に設定される。前記ディスプレイは2つの電圧でアドレッシングされ、ここで高電圧は駆動トランジスタ14a1、14a2を導通状態にさせ、低電圧は駆動トランジスタ14a1、14a2の導通状態を止める。列データ11a1は、エレクトロクロミック層5aが脱色を必要としている画素1を選択するのに使用される。列データ11a2は、エレクトロクロミック層5aが着色を必要としている画素1を選択するのに使用される。エレクトロクロミック層5aが着色又は脱色を必要としている画素1は、高電圧でアドレッシングされる。駆動トランジスタ14a1、14a2は導通状態になり、脱色又は着色が始まる。蓄積キャパシタ15は、駆動トランジスタ14a1、14a2が維持期間中に導通状態のままであることを保証する。画素1のエレクトロクロミック層5aが十分に着色又は脱色される場合、エレクトロクロミック層5a又はエレクトロクロミック層5aに結合された作用電極10aは、データ入力部11a1及び11a2から低電圧で画素1をアドレッシングすることにより電力線8a1、8a2からの接続を断たれる。新しい画像が完全に書き込まれる場合、電力線8a1及び8a2は電源を切られることができる。再び、本実施例において、色のグレイレベル(“輝度”)は、エレクトロクロミック層5a内を通過する電荷の積分量により、従ってエレクトロクロミック層5a又はエレクトロクロミック層5aに結合された作用電極10aが電力線8a1、8a2に接続されている時間により定められることになる。一般に“リセット”は使用されないことになるので、新しいグレイレベルに達する正しい量の電荷が充電(又は放電)される前にエレクトロクロミック層5aの以前の状態を知ることが必要になる。これは、以前のグレイレベルがフレームメモリに記憶され、前記新しいグレイレベルが前記以前のグレイレベルと比較され、所要の電荷が(ルックアップテーブル又は解析関数を介して)決定される場合に、信号処理アプローチを必要とする。これは、データ入力部11a1及び11a2を介する前記画素データとして画素1に供給されることになる。

【0018】

図7において、3つの独立に切り替えられることができるエレクトロクロミック層5a、5b及び5cを持つカラー画素1を駆動することができる本発明の実施例が示されている。エレクトロクロミック層5a、5b及び5c又はエレクトロクロミック層5a、5b及び5cに結合された作用電極10a、10b及び10cは、図5による単一の電力線を持つ前記画素回路を使用して個別に駆動される。前記画素データは、(図7の左側に行選択信号12a、12b及び12cにより図示されるように)連続的なライン周期で3つの行をアドレッシングすることにより3つのエレクトロクロミック層5a、5b及び5c又はエレクトロクロミック層5a、5b及び5cに結合された作用電極10a、10b及び10cに対して順番に供給される。個別の画素の動作は、図5による実施例に対して説明されたものと同様である。代替実施例において、図6の2つの電力線回路が、個別の画素を駆動するために実装されることが出来る。この状況において、全ての画素に、エレクトロクロミック層5a、5b及び5c又はエレクトロクロミック層5a、5b及び5cに結合された作用電極10a、10b及び10cを電力線8a1、8a2、8b1、8b2、8c1、8c2の何れかに接続するために2つの行ライン12a1、12a2、12b1、12b2、12c1、12c2が設けられる。最も一般的な場合には、このような画素は、従って、6つの電力線を備えることになる。同じ電圧(脱色又は着色の何れか)で動作するエレクトロクロミック材料が見つけれられた場合、電力線の数は、2つ以上のエレクトロクロミック層又は前記エレクトロクロミック層に結合された前記作用電極間で電力線

を共有することにより減少されることができ、これは前記画素のスペースを節約し（開口を増加し）、複雑さを減少し、従ってこれは本発明の好適な実施例である。

【0019】

図8は、2つの独立に切り替えられることができるエレクトロクロミック層5a及び5b（3層への拡張は自明であるが、明瞭さの理由で図示されない）を持つカラー画素1を駆動することができ、画素1毎に2つの電力線8a1、8a2、8b1、8b2及び複数のデータ列11a1、11a2、11b1、11b2を持つ色付きエレクトロクロミック画素1用の駆動回路の実施例を図示する。ここで、エレクトロクロミック層5a及び5b又はエレクトロクロミック層5a及び5bに結合された作用電極10a及び10bは、2つの電力線を持つ前記画素回路（図6）を使用して個別に駆動される。前記画素データは、同じライン周期で4つのデータ列11a1、11a2、11b1及び11b2をアドレッシングすることにより、2つのエレクトロクロミック層5a及び5b又はエレクトロクロミック層5a及び5bに結合された作用電極10a及び10bに並列に供給される。個別の画素の動作は、図6の実施例に対して説明されたものと同様である。代替実施例において、図5の単一電力線回路は、個別の画素を駆動するために実装されることができ、この状況において、全ての画素に1つの行ライン12のみが設けられることになり、エレクトロクロミック層毎に単一の列データライン11のみが必要とされることになる。（図5の実施例による）動作は、再び、新しい画像が前記画素に書き込まれる前に、前記画素全てがまずリセット（即ち脱色）されることを必要とする。同じ電圧（脱色又は着色の何れか）で動作するエレクトロクロミック材料が見つけれられることができる場合に、電力線の数は、2つ以上のエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10の間で電力線8を共有することにより減少されることができ、これは前記画素のスペースを節約し（開口を増加し）、複雑さを減少し、従ってこれは本発明の好適な実施例である。

【0020】

上述の実施例の何れか1つによる表示装置の画素1を動作する駆動方法は、エレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10に選択的に接続されることができ、少なくとも1つの電力線8を提供するステップと、電力線8に脱色電圧又は着色電圧を選択的に印加するステップと、脱色又は着色されるべきエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10をアドレッシングするステップと、電力線8をアドレッシングされたエレクトロクロミック層5又はアドレッシングされたエレクトロクロミック層5に結合された作用電極10に接続するステップと、維持期間中アドレッシングされたエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10に対する電力線8の接続を維持するステップと、アドレッシングされたエレクトロクロミック層5又はエレクトロクロミック層5に結合された作用電極10から電力線8の接続を断つステップとを有する。

【0021】

他の実施例において、前記駆動方法は、連続的なライン周期で順番に追加のエレクトロクロミック層5又は追加のエレクトロクロミック層5に結合された作用電極10をアドレッシングすることにより画素1の追加のエレクトロクロミック層4に適用される。

【0022】

更に他の実施例において、前記駆動方法は、同じライン周期において並列に追加のエレクトロクロミック層5又は追加のエレクトロクロミック層5に結合された作用電極10をアドレッシングすることにより画素1の追加のエレクトロクロミック層4に適用される。

【0023】

上記により説明されたように、各画素セルにおいてフルカラー動作の生成を可能にするフルカラー・アクティブマトリクス・エレクトロクロミック・ディスプレイが記載されており、ここで駆動エレクトロニクスは、有利には各スタックに対する単一のアクティブマトリクス基板層（例えばガラス又はプラスチック）に組み込まれることができる。一般的なエレクトロクロミック・ディスプレイは、反射率、視角、コントラスト、広く保持され



る開口に関して高い視覚的品質の利点を持つ。本発明によるアプローチは、それぞれ独自のアクティブマトリクス基板層を持つ複数のエレクトロクロミックセルを積み重ねる従来技術のアプローチであって、このような従来技術のディスプレイをかなり厚く高価にし、厳しい視差の問題を生じる当該従来技術のアプローチと比較して有利である。

【0024】

従って、本発明の基本的な新規のフィーチャが好適な実施例に適用されて示され、記述され、指摘されているが、図示された前記装置の及びその動作の形式及び細部において様々な省略、代用及び変更が、本発明の精神から外れることなく当業者により行われることができることが理解される。例えば、同じ結果を達成する実質的に同じ様式で実質的に同じ機能を実行する要素及び/又は方法ステップの全ての組み合わせが本発明の範囲内であることは、明確に意図される。更に、本発明の如何なる開示された形式又は実施例に関連して示された及び/又は記述された構造及び/又は要素及び/又は方法ステップが、一般的な設計選択の問題として他の開示された、記述された又は提案された形式若しくは実施例に組み込まれることができることは、認識されるべきである。従って、ここに添付された請求項の範囲により示されるものとしてのみ制限されることが意図される。

10

【図面の簡単な説明】

【0025】

【図1】本発明の第1実施例による表示装置の画素の概略的な断面図を開示する。

【図2】本発明の第2実施例による表示装置の画素の概略的な断面図を開示する。

【図3】本発明の第3実施例による表示装置の画素の概略的な断面図を開示する。

20

【図4】従来のアクティブマトリクス表示装置の構造の一般的な例を開示する。

【図5】本発明によるエレクトロクロミック画素に対する単純化された単一電力線駆動回路を開示する。

【図6】本発明によるエレクトロクロミック画素に対する単純化されたデュアル電力線駆動回路を開示する。

【図7】複数のアドレッシング行を有するカラー化されたエレクトロクロミック画素に対する単純化された単一電力線駆動回路を開示する。

【図8】ピクセル毎に複数のデータ列及び2つの電力線を持つカラー化されたエレクトロクロミック画素に対する単純化された駆動回路を開示する。

【 図 1 】

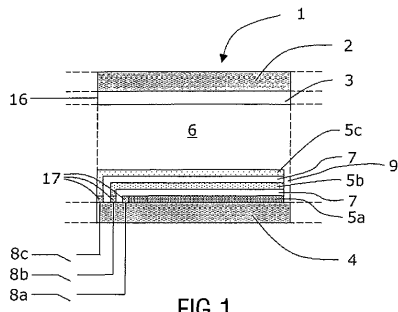


FIG.1

【 図 3 】

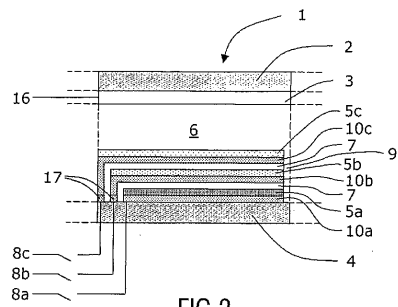


FIG.3

【 図 2 】

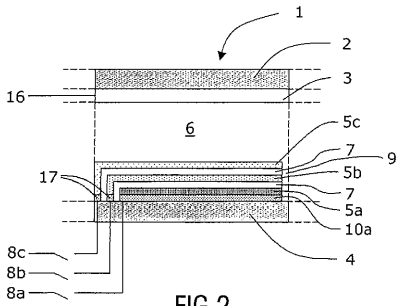


FIG.2

【 図 4 】

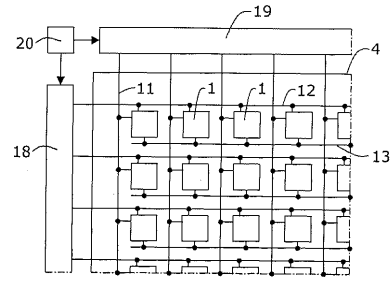


FIG.4

【 図 5 】

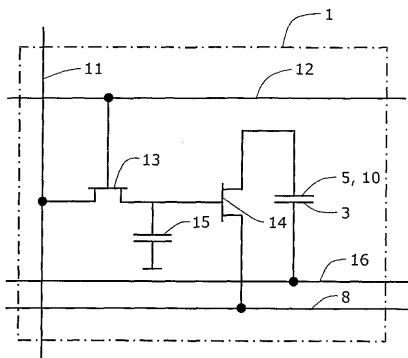


FIG.5

【 図 7 】

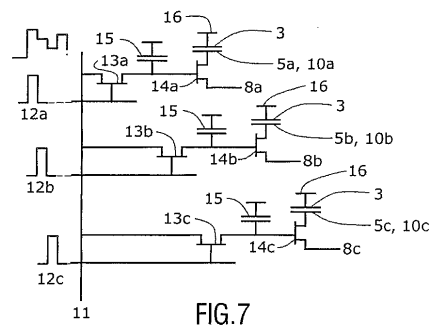


FIG.7

【 図 6 】

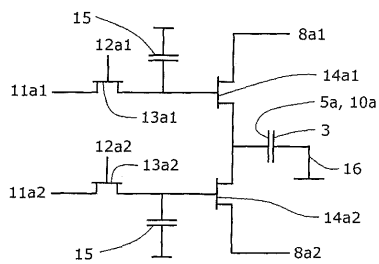


FIG.6

【 図 8 】

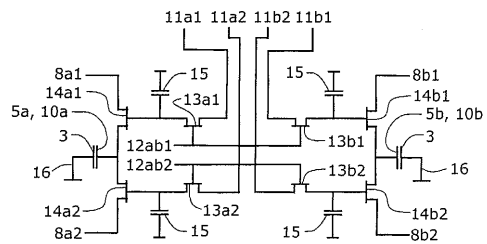


FIG.8

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		PCT/IB 03/03030
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G02F1/15 G09G3/19		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G02F G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data, INSPEC, IBM-TDB, COMPENDEX		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 847 860 A (LOWE ANTHONY CYRIL ET AL) 8 December 1998 (1998-12-08) column 1, line 40 -column 1, line 48; figures 2-11 column 4, line 30 -column 7, line 28	1-8
A	US 4 749 260 A (DURAND JR RICHARD R ET AL) 7 June 1988 (1988-06-07) cited in the application column 6, line 3 -column 8, line 24; figures 1-3	1-7
A	EP 0 950 568 A (MURAKAMI KAIMEIDO KK) 20 October 1999 (1999-10-20) paragraph '0017! - paragraph '0044!; figures 3,4	1-7
	--- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *B* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
24 October 2003		05/11/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tr. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Kiernan, L

## INTERNATIONAL SEARCH REPORT

PCT/IB 03/03030

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 006, no. 245 (P-159), 3 December 1982 (1982-12-03) -&amp; JP 57 142617 A (FUJITSU KK), 3 September 1982 (1982-09-03) abstract</p> <p>-----</p>	1-7

## INTERNATIONAL SEARCH REPORT

PCT/IB 03/03030

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5847860	A	08-12-1998	NONE	
US 4749260	A	07-06-1988	US 4586792 A US 4842383 A US 5253100 A	06-05-1986 27-06-1989 12-10-1993
EP 0950568	A	20-10-1999	JP 2000002895 A DE 69905960 D1 EP 0950568 A1 US 6061168 A	07-01-2000 24-04-2003 20-10-1999 09-05-2000
JP 57142617	A	03-09-1982	NONE	

---

 フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA ,ZM,ZW

(74)代理人 100122769

弁理士 笛田 秀仙

(72)発明者 ヤグト ヘンドリック ジェイ ビー

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ウィッラルド ニコラス ピー

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ジョンソン マーク ティ

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

Fターム(参考) 2K001 AA02 BA04 CA37 EA05 EA07 EA15 EA19

5C080 AA11 BB05 CC03 DD08 DD26 EE30 FF11 JJ02 JJ03 JJ06