



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월23일
(11) 등록번호 10-2013381
(24) 등록일자 2019년08월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2012-0094526
(22) 출원일자 2012년08월28일
심사청구일자 2017년08월17일
(65) 공개번호 10-2014-0030422
(43) 공개일자 2014년03월12일
(56) 선행기술조사문헌
KR1020050058046 A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김상수
대구 달서구 감삼동 성당래미안 이편한세상
204-1402
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 10 항

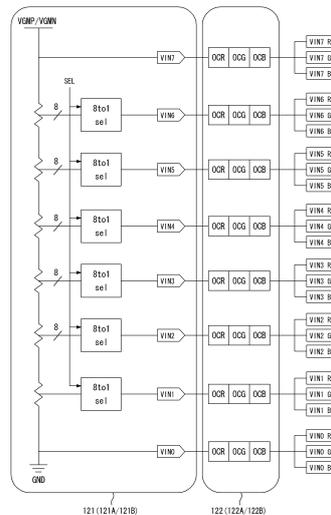
심사관 : 정원식

(54) 발명의 명칭 감마기준전압 발생회로 및 그를 포함한 액정표시장치

(57) 요약

본 발명에 따른 감마기준전압 발생회로는 공통 감마 스트링을 통해 전원전압을 분압하여 공통 감마기준전압을 생성하는 공통 감마기준전압 생성부; 및 상기 공통 감마기준전압에 제1 옅색을 적용하여 R 타겟 감마기준전압을 생성하기 위한 R 옅색 인가회로와, 상기 공통 감마기준전압에 제2 옅색을 적용하여 G 타겟 감마기준전압을 생성하기 위한 G 옅색 인가회로와, 상기 공통 감마기준전압에 제3 옅색을 적용하여 B 타겟 감마기준전압을 생성하기 위한 B 옅색 인가회로를 포함한 타겟 감마기준전압 생성부를 구비한다.

대표도 - 도4



(56) 선행기술조사문헌

KR1020060117026 A

KR1020100056145 A

KR1020070034795 A

JP2003233355 A

KR1020110115623 A

KR1020060000973 A*

KR1020100006035 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

공통 감마 스트링을 통해 전원전압을 분압하여 공통 감마기준전압을 생성하는 공통 감마기준전압 생성부; 및 스위치 제어에 따라 상기 공통 감마기준전압에 제1 옴셋을 적용하여 R 타겟 감마기준전압을 생성하기 위한 R 옴셋 인가회로와, 스위치 제어에 따라 상기 공통 감마기준전압에 제2 옴셋을 적용하여 G 타겟 감마기준전압을 생성하기 위한 G 옴셋 인가회로와, 스위치 제어에 따라 상기 공통 감마기준전압에 제3 옴셋을 적용하여 B 타겟 감마기준전압을 생성하기 위한 B 옴셋 인가회로를 포함한 타겟 감마기준전압 생성부를 구비하는 것을 특징으로 하는 감마기준전압 발생회로.

청구항 2

제 1 항에 있어서,

상기 R 옴셋 인가회로, 상기 G 옴셋 인가회로 및 상기 B 옴셋 인가회로 각각은,

오피 앰프;

상기 오피 앰프의 반전 입력단에 접속된 제1 가변저항;

상기 제1 가변저항과 기저전압 입력단 사이에 접속된 제1 스위치;

상기 제1 가변저항과 감산기준전압 입력단 사이에 접속된 제2 스위치;

상기 오피 앰프의 반전 입력단과 상기 오피 앰프의 출력단 사이에 접속된 제1 저항;

상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제3 스위치;

상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제2 가변저항;

상기 오피 앰프의 비반전 입력단과 상기 제2 가변저항 사이에 접속된 제4 스위치;

상기 오피 앰프의 비반전 입력단과 상기 기저전압 입력단 사이에 접속된 제2 저항; 및

상기 오피 앰프의 비반전 입력단과 상기 제2 저항 사이에 접속된 제5 스위치를 포함하는 것을 특징으로 하는 감마기준전압 발생회로.

청구항 3

제 2 항에 있어서,

상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은,

상기 제1 및 제3 스위치가 턴 온 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 오프 된 상태에서 상기 제1 가변저항에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 큰 값으로 조절되는 것을 특징으로 하는 감마기준전압 발생회로.

청구항 4

제 2 항에 있어서,

상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은,

상기 제1 및 제3 스위치가 턴 오프 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 온 된 상태에서 상기 제1 및 제2 가변저항과 상기 감산기준전압에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 작은 값으로 조절되는 것을 특징으로 하는 감마기준전압 발생회로.

청구항 5

제 2 항에 있어서,

상기 제1 및 제2 가변저항은 입력 레지스터 값에 연동되도록 프로그래머블하게 셋팅되는 것을 특징으로 하는 감마기준전압 발생회로.

청구항 6

화상을 표시하는 액정표시패널;

R/G/B 별 타겟 감마기준전압을 발생하는 감마기준전압 발생회로;

상기 타겟 감마기준전압을 분압하여 다수의 감마보상전압들을 발생하고, 입력 디지털 비디오 데이터에 대응되는 감마보상전압을 데이터전압으로 선택하여 상기 액정표시패널의 데이터라인들에 공급하는 데이터 구동회로; 및

상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하여 상기 데이터전압이 공급되는 수평 화소라인을 선택하는 게이트 구동회로를 구비하고;

상기 감마기준전압 발생회로는,

공통 감마 스트링을 통해 전원전압을 분압하여 공통 감마기준전압을 생성하는 공통 감마기준전압 생성부; 및

스위치 제어에 따라 상기 공통 감마기준전압에 제1 옴셋을 적용하여 R 타겟 감마기준전압을 생성하기 위한 R 옴셋 인가회로와, 스위치 제어에 따라 상기 공통 감마기준전압에 제2 옴셋을 적용하여 G 타겟 감마기준전압을 생성하기 위한 G 옴셋 인가회로와, 스위치 제어에 따라 상기 공통 감마기준전압에 제3 옴셋을 적용하여 B 타겟 감마기준전압을 생성하기 위한 B 옴셋 인가회로를 갖는 타겟 감마기준전압 생성부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 R 옴셋 인가회로, 상기 G 옴셋 인가회로 및 상기 B 옴셋 인가회로 각각은,

오피 앰프;

상기 오피 앰프의 반전 입력단에 접속된 제1 가변저항;

상기 제1 가변저항과 기저전압 입력단 사이에 접속된 제1 스위치;

상기 제1 가변저항과 감산기준전압 입력단 사이에 접속된 제2 스위치;

상기 오피 앰프의 반전 입력단과 상기 오피 앰프의 출력단 사이에 접속된 제1 저항;

상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제3 스위치;

상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제2 가변저항;

상기 오피 앰프의 비반전 입력단과 상기 제2 가변저항 사이에 접속된 제4 스위치;

상기 오피 앰프의 비반전 입력단과 상기 기저전압 입력단 사이에 접속된 제2 저항; 및

상기 오피 앰프의 비반전 입력단과 상기 제2 저항 사이에 접속된 제5 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은,

상기 제1 및 제3 스위치가 턴 온 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 오프 된 상태에서 상기 제1 가변저항에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 큰 값으로 조절되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은,

상기 제1 및 제3 스위치가 턴 오프 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 온 된 상태에서 상기 제1 및 제2 가변저항과 상기 감산기준전압에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 작은 값으로 조절되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 제1 및 제2 가변저항은 입력 레지스터 값에 연동되도록 프로그래머블하게 셋팅되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 감마기준전압 발생회로 및 그를 포함한 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다. 액정표시장치는 박막 트랜지스터 어레이가 형성된 하부기관, 컬러필터 어레이가 형성된 상부기관, 및 상기 하부기관 및 상부기관 사이에 형성된 액정층을 포함한다. 액정표시장치는 비디오 데이터의 계조별 데이터전압에 따라 액정층의 배열을 조절하여 화상을 표시한다.

[0003] 일반적으로 계조란 인간의 시각이 느끼는 빛의 양을 단계적으로 나눈 것을 의미한다. 인간의 시각은 베버의 법칙(Weber's law)에 따라 빛의 밝기에 대해 비선형적으로 반응한다. 한정된 정보표현량 내에서 선형적으로 빛의 밝기를 기록하면 사람의 눈으로 보기에는 빛의 변화가 부드럽게 느껴지지 않고 단절되어 보이게 된다. 주어진 정보표현량의 한계 안에서 최적의 화질을 구현하기 위해서는 빛의 밝기를 비선형적으로 부호화해야 할 필요가 있다. 이를 위해, 표시패널의 구동 특성과 인간의 시각인지 특성 간의 차이를 매칭시켜주는 작업이 수행되게 되는 데, 이를 감마 보정이라 한다. 통상적으로, 감마 보정방법은 표시패널의 특성에 따라 다수의 감마기준전압 값들을 다르게 설정하고, 설정된 감마기준전압 값들을 분압하여 입력 디지털 비디오 데이터 각각에 매칭시킨다.

[0004] 감마기준전압 값들은 감마기준전압 발생회로에서 생성된다. 감마기준전압 값들을 생성하는 방식에는 크게 통합 감마 방식과 독립 감마 방식이 있다. 통합 감마 방식은 R(적색),G(녹색) 및 B(청색)에 상관없이 1 종류의 감마 기준전압을 생성한다. 통합 감마 방식에 의하는 경우 화이트 색좌표 보정이 불가능하다. 이에 비해, 독립 감마 방식은 R(적색),G(녹색) 및 B(청색) 각각에 대해 개별적으로 감마기준전압 값들을 생성하는 것으로, 이에 의하면 화이트 색좌표 보정이 가능해진다.

[0005] 독립 감마 방식의 감마기준전압 발생회로는 R/G/B 각각에 대한 별도의 감마 스트링(gamma string)을 구성하여 독립 감마를 구현한다. 따라서, 종래의 감마기준전압 발생회로에서는 인버전 구동을 위한 극성(+,-)까지 고려하여 도 1과 같이 총 6개의 감마 스트링이 필요하다. 도 1에서, 감마 스트링 1, 3 및 5는 각각 R_Pos, G_Pos 및 B_Pos를 분압하여 (+) 극성의 감마기준전압들(Vp1~Vpn)을 생성한다. 감마 스트링 2, 4 및 6은 각각 R_Neg,G_Neg 및 B_Neg를 분압하여 (-) 극성의 감마기준전압들(Vn1~Vnn)을 생성한다.

[0006] 감마 스트링은 직렬 접속된 분압용 저항들을 포함하기 때문에, 종래와 같이 독립 감마 구현을 위해 R/G/B 각각에 개별적인 감마 스트링을 적용하는 경우, 감마기준전압 발생회로의 사이즈가 증대될 수밖에 없다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은 독립 감마 구현을 위한 감마 스트링의 개수를 줄일 수 있도록 한 감마기준전압 발생 회로 및 그를 포함한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 감마기준전압 발생회로는 공통 감마 스트링을 통해 전원전압을 분압하여 공통 감마기준전압을 생성하는 공통 감마기준전압 생성부; 및 상기 공통 감마기준전압에 제1 옅셋을 적용하여 R 타겟 감마기준전압을 생성하기 위한 R 옅셋 인가회로와, 상기 공통 감마기준전압에 제2 옅셋을 적용하여 G 타겟 감마기준전압을 생성하기 위한 G 옅셋 인가회로와, 상기 공통 감마기준전압에 제3 옅셋을 적용하여 B 타겟 감마기준전압을 생성하기 위한 B 옅셋 인가회로를 포함한 타겟 감마기준전압 생성부를 구비한다.

[0009] 상기 R 옅셋 인가회로, 상기 G 옅셋 인가회로 및 상기 B 옅셋 인가회로 각각은, 오피 앰프; 상기 오피 앰프의 반전 입력단에 접속된 제1 가변저항; 상기 제1 가변저항과 기저전압 입력단 사이에 접속된 제1 스위치; 상기 제1 가변저항과 감산기준전압 입력단 사이에 접속된 제2 스위치; 상기 오피 앰프의 반전 입력단과 상기 오피 앰프의 출력단 사이에 접속된 제1 저항; 상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제3 스위치; 상기 오피 앰프의 비반전 입력단과 상기 공통 감마기준전압의 입력단 사이에 접속된 제2 가변저항; 상기 오피 앰프의 비반전 입력단과 상기 제2 가변저항 사이에 접속된 제4 스위치; 상기 오피 앰프의 비반전 입력단과 상기 기저전압 입력단 사이에 접속된 제2 저항; 및 상기 오피 앰프의 비반전 입력단과 상기 제2 저항 사이에 접속된 제5 스위치를 포함한다.

[0010] 상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은, 상기 제1 및 제3 스위치가 턴 온 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 오프 된 상태에서 상기 제1 가변저항에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 큰 값으로 조절된다.

[0011] 상기 오피 앰프의 출력단에서 출력되는 타겟 감마기준전압은, 상기 제1 및 제3 스위치가 턴 오프 됨과 동시에 상기 제2, 제4 및 제5 스위치가 턴 온 된 상태에서 상기 제1 및 제2 가변저항과 상기 감산기준전압에 따라 상기 공통 감마기준전압과 같거나 또는, 상기 공통 감마기준전압보다 더 작은 값으로 조절된다.

[0012] 상기 제1 및 제2 가변저항은 입력 레지스터 값에 연동되도록 프로그래머블하게 셋팅된다.

[0013] 또한, 본 발명의 실시예에 따른 액정표시장치는 화상을 표시하는 액정표시패널; R/G/B 별 타겟 감마기준전압을 발생하는 감마기준전압 발생회로; 상기 타겟 감마기준전압을 분압하여 다수의 감마보상전압들을 발생하고, 입력 디지털 비디오 데이터에 대응되는 감마보상전압을 데이터전압으로 선택하여 상기 액정표시패널의 데이터라인들에 공급하는 데이터 구동회로; 및 상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하여 상기 데이터전압이 공급되는 수평 화소라인을 선택하는 게이트 구동회로를 구비하고; 상기 감마기준전압 발생회로는 공통 감마 스트링을 통해 전원전압을 분압하여 공통 감마기준전압을 생성하는 공통 감마기준전압 생성부; 및 상기 공통 감마기준전압에 제1 옅셋을 적용하여 R 타겟 감마기준전압을 생성하기 위한 R 옅셋 인가회로와, 상기 공통 감마기준전압에 제2 옅셋을 적용하여 G 타겟 감마기준전압을 생성하기 위한 G 옅셋 인가회로와, 상기 공통 감마기준전압에 제3 옅셋을 적용하여 B 타겟 감마기준전압을 생성하기 위한 B 옅셋 인가회로를 갖는 타겟 감마기준전압 생성부를 포함한다.

발명의 효과

[0014] 본 발명은 공통 감마 스트링을 통해 생성된 1개의 공통 감마기준전압을 R/G/B에 대응되는 3개의 옅셋 인가회로들에 공통으로 입력하여 타겟 감마기준전압을 R/G/B 별로 독립적으로 발생한다. 종래에는 극성을 고려한 R/G/B 별 독립 감마 구현을 위해 6개의 감마 스트링이 필요했는데 반해, 본 발명은 2개의 감마 스트링만으로도 극성을 고려한 R/G/B 별 독립 감마를 구현할 수 있기 때문에 감마기준전압 발생회로의 사이즈와 제조비용을 크게 줄일

수 있다.

도면의 간단한 설명

- [0015] 도 1은 종래 감마기준전압 발생회로에서 독립 감마 구현을 위한 6개의 감마 스트링을 보여주는 도면.
- 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.
- 도 3은 감마기준전압 발생회로의 구성을 보여주는 도면.
- 도 4는 도 3에 도시된 공통 감마기준전압 생성부와 타겟 감마기준전압 생성부의 일 예를 보여주는 도면.
- 도 5는 도 4에 도시된 읍셋 인가회로들 각각의 구성을 보여주는 도면.
- 도 6은 읍셋값 가산 및 읍셋값 감산을 위한 읍셋 인가회로 내의 스위치들에 대한 온/오프 제어 상태를 보여주는 도면.
- 도 7은 읍셋 인가회로내의 가변 저항들을 프로그래머블하게 조정하는 일 예를 보여주는 도면.
- 도 8은 R/G/B 별 읍셋값 조정을 통해 정극성 감마기준전압들을 R/G/B 별로 다르게 발생하는 일 예를 보여주는 도면.
- 도 9는 본 발명의 적용에 따른 감마 출력 시뮬레이션 결과를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하 도 2 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0017] 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸다.
- [0018] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 감마기준전압 발생회로(12), 데이터 구동회로(14), 게이트 구동회로(16), 타이밍 콘트롤러(18)를 구비한다.
- [0019] 액정표시패널(10)은 두 장의 유리기판 사이에 형성된 액정층을 갖는다. 이 액정표시패널(10)은 다수의 데이터 라인들(DL)과 다수의 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 다수의 액정셀(C1c)들을 포함한다. 액정표시패널(10)의 하부 유리기판에는 데이터라인들(DL), 게이트라인들(GL), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 상부 유리기판 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(1)과 함께 하부 유리기판 상에 형성된다. 액정표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0020] 액정셀들(C1c)에는 다수의 R(적색) 액정셀들, G(녹색) 액정셀들 및 B(청색) 액정셀들이 포함된다. R 액정셀은 R 컬러 필터를 포함하고, G 액정셀은 G 컬러 필터를 포함하며, B 액정셀은 B 컬러 필터를 포함한다. 한개의 단위 픽셀 내에는 R 액정셀, G 액정셀 및 B 액정셀이 각각 1개씩 포함된다. 액정표시패널(10)은 투과형, 반투과형, 반사형 등 어떠한 형태로도 구현될 수 있다. 투과형과 반투과형에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0021] 타이밍 콘트롤러(18)는 시스템(미도시)으로부터 공급되는 수평 동기신호(Hsync), 수직 동기신호(Vsync), 데이터 인에이블신호(DE) 및 도트 클럭(DCLK) 등의 타이밍신호들을 이용하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 데이터 제어신호(DDC)는 데이터 구동회로(12) 내에서 디지털 비디오 데이터(10)의 샘플링 시작점을 지시하는 소스 스타트 펄스(SSP), 라이징 에지(Rising Edge) 또는 폴링 에지(Falling Edge)에 기준하여 데이터 구동회로(12) 내에서 디지털 비디오 데이터(10)의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 구동회로(12)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 액정표시패널(10)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 콘트롤하는 극성제어신호(POL)등을 포함한다. 게이트 제어신호(GDC)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 구동

회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로서 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(GSC), 게이트 구동회로(13)의 출력을 지시하는 게이트 출력 인에이블신호(GOE)등을 포함한다.

- [0022] 또한, 타이밍 컨트롤러(18)는 시스템으로부터 공급되는 디지털 비디오 데이터(RGB)를 액정표시패널(10)의 픽셀 배치 구성에 맞게 정렬하여 데이터 구동회로(12)에 공급한다.
- [0023] 감마기준전압 발생회로(12)는 공통 감마 스트링을 통해 공통 감마기준전압들을 생성한 후, 상기 공통 감마기준전압들을 R 읍셋 인가회로에 인가하여 R 타겟 감마기준전압들(GMA_R)을 발생하고, 상기 공통 감마기준전압들을 G 읍셋 인가회로에 인가하여 G 타겟 감마기준전압들(GMA_G)을 발생하며, 상기 공통 감마기준전압들을 B 읍셋 인가회로에 인가하여 B 타겟 감마기준전압들(GMA_B)을 발생한다. R/G/B 타겟 감마기준전압들(GMA_R, GMA_G, GMA_B)은 각각 (+)극성 타겟 감마기준전압들과 (-)극성 타겟 감마기준전압들을 포함한다. 감마기준전압 발생회로(12)는 R/G/B 별로 읍셋 인가회로를 더 포함함으로써 독립 감마 구현을 위한 감마 스트링의 개수를 기존의 1/3로 줄일 수 있다.
- [0024] 데이터 구동회로(14)는 감마기준전압 발생회로(12)로부터의 타겟 감마기준전압(GMA_R, GMA_G, GMA_B)들을 분압하여 R/G/B 별로 다수의 감마보상전압들을 발생한다. 그리고, 데이터 구동회로(14)는 데이터 제어신호(DDC)에 응답하여 입력 디지털 비디오 데이터(RGB)에 대응되는 R/G/B 별 감마보상전압을 선택한 후, 이 감마보상전압을 데이터전압으로써 액정표시패널(10)의 데이터라인들(DL)에 공급한다.
- [0025] 게이트 구동회로(16)는 데이터전압이 공급될 액정표시패널(10)의 수평 화소라인을 선택하는 스캔펄스를 게이트 제어신호(GDC)에 따라 발생하고, 이 스캔펄스를 게이트라인들(GL)에 라인 순차 방식으로 공급한다. 이를 위해, 게이트 구동회로(16)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(C1c)의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 레벨 쉬프터와 게이트라인 사이에 접속되는 출력 회로를 각각 포함한다. 게이트 구동회로(16)의 일부 회로는 GIP(Gate-driver In Panel) 방식으로 액정표시패널(10)의 하부 유리기판 상에 직접 형성될 수 있다.
- [0026] 한편, 감마기준전압 발생회로(12), 데이터 구동회로(14), 게이트 구동회로(16) 및 타이밍 컨트롤러(18)는 하나의 통합 드라이버 IC(Integrated Circuit, 20) 내에 내장될 수 있다.
- [0027] 도 3은 감마기준전압 발생회로(12)의 구성을 보여준다.
- [0028] 도 3을 참조하면, 감마기준전압 발생회로(12)는 다수의 공통 감마기준전압들(VIN0~VINn)을 생성하는 공통 감마기준전압 생성부(121)와, 상기 공통 감마기준전압들(VIN0~VINn)에 읍셋을 가감하여 R 타겟 감마기준전압들(VIN0_R~VINn_R), G 타겟 감마기준전압들(VIN0_G~VINn_G) 및 B 타겟 감마기준전압들(VIN0_B~VINn_B)을 개별적으로 생성하는 타겟 감마기준전압 생성부(122)를 구비한다.
- [0029] 공통 감마기준전압 생성부(121)는 제1 공통 감마 스트링을 통해 제1 전원전압(VGMP)을 분압하여 공통 감마기준전압들(VIN0~VINn)을 생성하는 제1 공통 감마기준전압 생성부(121A)와, 제2 공통 감마 스트링을 통해 제2 전원전압(VGMN)을 분압하여 공통 감마기준전압들(VIN0~VINn)을 생성하는 제2 공통 감마기준전압 생성부(121B)를 포함한다.
- [0030] 타겟 감마기준전압 생성부(122)는 R/G/B 별로 읍셋 인가회로를 각각 포함한 제1 타겟 감마기준전압 생성부(122A)와 제2 타겟 감마기준전압 생성부(122B)를 포함한다.
- [0031] 제1 타겟 감마기준전압 생성부(122A)는 제1 공통 감마기준전압 생성부(121A)로부터 입력되는 공통 감마기준전압들(VIN0~VINn)에 제1 읍셋을 가감하여 정극성의 R 타겟 감마기준전압들((+)GMA_R, VIN0_R~VINn_R)을 생성하고, 상기 공통 감마기준전압들(VIN0~VINn)에 제2 읍셋을 가감하여 정극성의 G 타겟 감마기준전압들((+)GMA_G, VIN0_G~VINn_G)을 생성하며, 상기 공통 감마기준전압들(VIN0~VINn)에 제3 읍셋을 가감하여 정극성의 B 타겟 감마기준전압들((+)GMA_B, VIN0_B~VINn_B)을 생성한다. 제1 타겟 감마기준전압 생성부(122A)는 정극성의 R 타겟 감마기준전압들((+)GMA_R, VIN0_R~VINn_R)을 생성하기 위한 R 읍셋 인가회로, 정극성의 G 타겟 감마기준전압들((+)GMA_G, VIN0_G~VINn_G)을 생성하기 위한 G 읍셋 인가회로, 및 정극성의 B 타겟 감마기준전압들((+)GMA_B, VIN0_B~VINn_B)을 생성하기 위한 B 읍셋 인가회로를 포함한다.
- [0032] 제2 타겟 감마기준전압 생성부(122B)는 제2 공통 감마기준전압 생성부(121B)로부터 입력되는 공통 감마기준전압들(VIN0~VINn)에 제1 읍셋을 가감하여 부극성의 R 타겟 감마기준전압들((-)GMA_R, VIN0_R~VINn_R)을 생성하고, 상기 공통 감마기준전압들(VIN0~VINn)에 제2 읍셋을 가감하여 부극성의 G 타겟 감마기준전압들((-)GMA_G,

VINO_G~VINn_G)을 생성하며, 상기 공통 감마기준전압들(VINO~VINn)에 제3 오프셋을 가감하여 부극성의 B 타겟 감마기준전압들((-)GMA_B, VINO_B~VINn_B)을 생성한다. 제2 타겟 감마기준전압 생성부(122B)는 부극성의 R 타겟 감마기준전압들((-)GMA_R, VINO_R~VINn_R)을 생성하기 위한 R 오프셋 인가회로, 부극성의 G 타겟 감마기준전압들((-)GMA_G, VINO_G~VINn_G)을 생성하기 위한 G 오프셋 인가회로, 및 부극성의 B 타겟 감마기준전압들((-)GMA_B, VINO_B~VINn_B)을 생성하기 위한 B 오프셋 인가회로를 포함한다.

[0033] 도 4는 도 3에 도시된 공통 감마기준전압 생성부(121)와 타겟 감마기준전압 생성부(122)의 일 예를 보여준다.

[0034] 도 4를 참조하면, 공통 감마기준전압 생성부(121)는 제1 전원전압(VGMP)과 기저전압(GND) 사이에 접속된 제1 공통 감마 스트링을 통해 8개의 정극성 공통 감마기준전압들(VINO~VIN7)을 생성함과 아울러, 제2 전원전압(VGMN)과 기저전압(GND) 사이에 접속된 제2 공통 감마 스트링을 통해 8개의 부극성 공통 감마기준전압들(VINO~VIN7)을 생성할 수 있다. 여기서, VIN1~VIN6은 외부로부터 인가되는 선택신호(SEL)에 따라 그 값이 프로그래머블(programmable)하게 그 값이 조절될 수 있다. 즉, VIN1~VIN6은 각각 8개의 다른 값들로 선택부(8 to 1 Sel)에 인가된 후, 선택신호(SEL)에 따라 8개의 값들 중 어느 하나로 선택될 수 있다.

[0035] 타겟 감마기준전압 생성부(122)는 R/G/B 별로 각각 8개의 정극성 오프셋 인가회로들(OCR, OCG, OCB)을 포함하여 8개의 정극성 R 타겟 감마기준전압들(VINO_R~VIN7_R), 8개의 정극성 G 타겟 감마기준전압들(VINO_G~VIN7_G), 및 8개의 정극성 B 타겟 감마기준전압들(VINO_B~VIN7_B)을 화이트 색좌표 타겟에 맞게 생성한다. 아울러, 타겟 감마기준전압 생성부(122)는 R/G/B 별로 각각 8개의 부극성 오프셋 인가회로들(OCR, OCG, OCB)을 포함하여 8개의 부극성 R 타겟 감마기준전압들(VINO_R~VIN7_R), 8개의 부극성 G 타겟 감마기준전압들(VINO_G~VIN7_G), 및 8개의 부극성 B 타겟 감마기준전압들(VINO_B~VIN7_B)을 화이트 색좌표 타겟에 맞게 생성한다.

[0036] 이와 같이, 본 발명은 공통 감마 스트링을 통해 생성된 1개의 공통 감마기준전압을 R/G/B에 대응되는 3개의 오프셋 인가회로들에 공통으로 입력하여 타겟 감마기준전압을 R/G/B 별로 독립적으로 발생한다. 종래에는 극성을 고려한 R/G/B 별 독립 감마 구현을 위해 6개의 감마 스트링이 필요했는데 반해, 본 발명은 오프셋 인가회로들을 더 구비함으로써 2개의 감마 스트링만으로도 극성을 고려한 R/G/B 별 독립 감마를 구현할 수 있다.

[0037] 도 5는 도 4에 도시된 오프셋 인가회로들(OCR, OCG, OCB) 각각의 구성을 보여준다. 도 6은 오프셋값 가산 및 오프셋값 감산을 위한 오프셋 인가회로내의 스위치들에 대한 온/오프 제어 상태를 보여준다. 그리고, 도 7은 오프셋 인가회로내의 가변 저항들을 프로그래머블하게 조정하는 일 예를 보여준다.

[0038] 도 4의 R/G/B 오프셋 인가회로들(OCR, OCG, OCB)은 도 5와 같이 동일하게 구성된다. 도 5를 참조하면, 오프셋 인가회로는 오피 앰프(OP-Amp, OA), 오피 앰프(OA)의 반전 입력단(-)에 접속된 제1 가변저항(VR1), 제1 가변저항(VR1)과 기저전압(GND) 입력단(input terminal) 사이에 접속된 제1 스위치(SW1), 제1 가변저항(VR1)과 감산기준전압(Vx) 입력단 사이에 접속된 제2 스위치(SW2), 오피 앰프(OA)의 반전 입력단(-)과 출력단(Vout이 출력됨) 사이에 접속된 제1 저항(R1)과, 오피 앰프(OA)의 비반전 입력단(+)과 공통 감마기준전압(VINn) 입력단 사이에 접속된 제3 스위치(SW3)와, 오피 앰프(OA)의 비반전 입력단(+)과 공통 감마기준전압(VINn) 입력단 사이에 접속된 제2 가변저항(VR2)과, 오피 앰프(OA)의 비반전 입력단(+)과 제2 가변저항(VR2) 사이에 접속된 제4 스위치(SW4)와, 오피 앰프(OA)의 비반전 입력단(+)과 기저전압(GND) 입력단 사이에 접속된 제2 저항(R2)과, 오피 앰프(OA)의 비반전 입력단(+)과 제2 저항(R2) 사이에 접속된 제5 스위치(SW5)를 포함한다.

[0039] 오프셋 인가회로에서 출력되는 타겟 감마기준전압(Vout)은 도 6과 같은 스위치 제어에 따라 공통 감마기준전압(VINn)을 기준으로 아래위로 조절될 수 있다. 타겟 감마기준전압(Vout)은 제1 및 제3 스위치(SW1, SW3)가 턴 온됨과 동시에 제2, 제4 및 제5 스위치(SW2, SW4, SW5)가 턴 오프 된 상태에서 아래의 수학적 식 1과 같이 된다.

수학적 식 1

$$V_{out} = VINn \times \left(1 + \frac{R1}{VR1} \right)$$

[0040]

[0041] 수학적 식 1에 의하면, 타겟 감마기준전압(Vout)은 제1 가변저항(VR1)에 따라 공통 감마기준전압(VINn)과 같거나 또는 그보다 더 큰 값으로 조절될 수 있다. 사용자는 감마 튜닝시에 스위치들(SW1~SW5)에 대한 온/오프 제어와 함께 제1 가변저항(VR1)을 적절히 조절하여 타겟 감마기준전압(Vout)을 원하는 값으로 셋팅할 수 있다.

[0042] 타겟 감마기준전압(Vout)은 제1 및 제3 스위치(SW1, SW3)가 턴 오프 됨과 동시에 제2, 제4 및 제5 스위치(SW2, SW4, SW5)가 턴 온 된 상태에서 아래의 수학적 식 2과 같이 된다. 수학적 식 2는 제1 및 제2 가변저항(VR1, VR2)이 서로 동일하고, 제1 및 제2 저항(R1, R2)이 서로 동일한 경우를 가정한 결과이다.

수학적 식 2

$$V_{out} = (VINn - V_x) \times \frac{R1}{VR1} \quad (\text{다만, } VR1=VR2, R1=R2)$$

[0043]

[0044] 수학적 식 2에 의하면, 타겟 감마기준전압(Vout)은 제1 및 제2 가변저항(VR1, VR2)과 감산기준전압(Vx)에 따라 공통 감마기준전압(VINn)과 같거나 또는 그보다 더 작은 값으로 조절될 수 있다. 사용자는 감마 튜닝시에 스위치들(SW1~SW5)에 대한 온/오프 제어와 함께 제1 및 제2 가변저항(VR1, VR2)과 감산기준전압(Vx)을 적절히 조절하여 타겟 감마기준전압(Vout)을 원하는 값으로 셋팅할 수 있다.

[0045] 수학적 식 1 및 2에서 제1 및 제2 가변저항(VR1, VR2)은 사용자의 물리적 조작에 따라 하드웨어적으로 그 값이 조절될 수 있다.

[0046] 또한, 수학적 식 1 및 2에서 제1 및 제2 가변저항(VR1, VR2)은 내장 레지스터(register) 값에 따라 소프트웨어적으로 그 값이 조절될 수도 있다. 이를 위해, 제1 및 제2 가변저항(VR1, VR2)은 입력 레지스터 값과 연동되도록 드라이버 IC에 설계되어 프로그래머블하게 셋팅될 수 있다. 도 7은 3 비트 레지스터로 제어하는 일 예를 보여주고 있다. 이 경우, 도 7의 레지스터는 (VINn에서 n의 최대값+1) × 3(R/G/B) × 2(Positive/Negative)의 개수만큼 필요하다.

[0047] 도 7을 참조하면, 제1 및 제2 가변저항(VR1, VR2)은 레지스터 값에 따라 다르게 조절될 수 있다. 그 결과 타겟 감마기준전압(Vout)은 공통 감마기준전압(VINn)의 0.8배, 0.85배, 0.9배 및 0.95배로 작아지게 조정되거나, 공통 감마기준전압(VINn)의 1.05배, 1.1배 및 1.15배로 커지게 조정될 수 있다. 또한, 타겟 감마기준전압(Vout)은 공통 감마기준전압(VINn)과 동일하게 조절될 수도 있다.

[0048] 도 8은 R/G/B 별 읍셋값 조정을 통해 정극성 감마기준전압들을 R/G/B 별로 다르게 발생하는 일 예를 보여준다.

[0049] 도 8에서는, 1개의 공통 감마 스트링을 통해 9개의 정극성 공통 감마기준전압들(VIN1~VIN9)을 생성하고, R/G/B 별 읍셋 인가회로를 이용하여 공통 감마기준전압들(VIN1~VIN9) 각각에 R/G/B 별 읍셋을 인가한다.

[0050] 예를 들어, 정극성 고계조에서, 화이트 색좌표 보정을 위한 타겟 감마기준전압이 R/G/B 각각에 대해 5.21/5.30/5.11 V 일때, 본 발명은 공통 감마 스트링을 통해 5.21V의 공통 감마기준전압(VIN1)을 생성하고, 이 (VIN1)를 0V의 읍셋을 인가하기 위한 R 읍셋 인가회로, +0.09V의 읍셋을 인가하기 위한 G 읍셋 인가회로 및 -0.1V의 읍셋을 인가하기 위한 B 읍셋 인가회로에 공통으로 입력하여, 5.21/5.30/5.11 V의 R/G/B 별 타겟 감마기준전압을 생성할 수 있다.

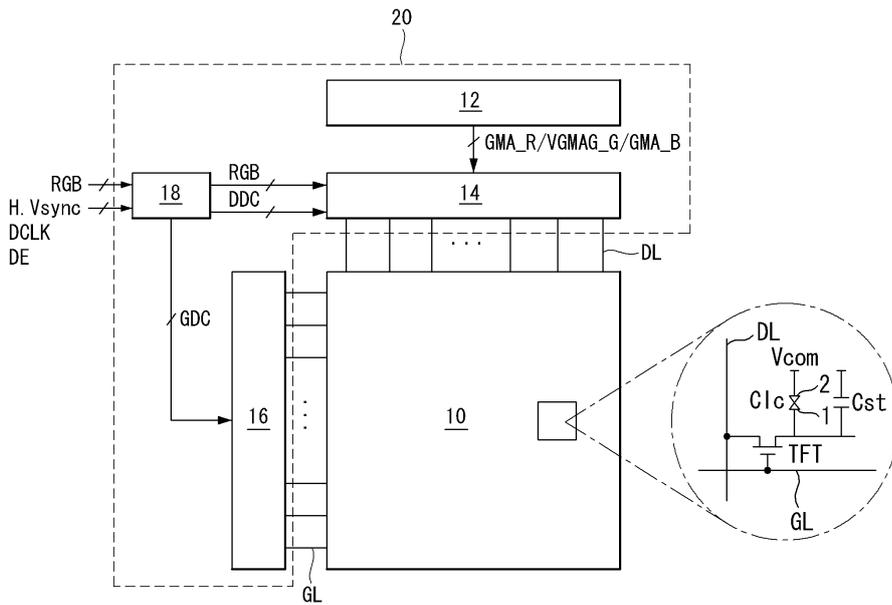
[0051] 또한, 정극성 중간계조에서, 화이트 색좌표 보정을 위한 타겟 감마기준전압이 R/G/B 각각에 대해 2.56/2.75/2.36 V 일때, 본 발명은 공통 감마 스트링을 통해 2.56V의 공통 감마기준전압(VIN5)을 생성하고, 이 (VIN5)를 0V의 읍셋을 인가하기 위한 R 읍셋 인가회로, +0.19V의 읍셋을 인가하기 위한 G 읍셋 인가회로 및 -0.18V의 읍셋을 인가하기 위한 B 읍셋 인가회로에 공통으로 입력하여, 2.56/2.75/2.36 V의 R/G/B 별 타겟 감마기준전압을 생성할 수 있다.

[0052] 또한, 정극성 저계조에서, 화이트 색좌표 보정을 위한 타겟 감마기준전압이 R/G/B 각각에 대해 0.85/0.94/0.75 V 일때, 본 발명은 공통 감마 스트링을 통해 0.85V의 공통 감마기준전압(VIN8)을 생성하고, 이(VIN8)를 0V의 읍셋을 인가하기 위한 R 읍셋 인가회로, +0.09V의 읍셋을 인가하기 위한 G 읍셋 인가회로 및 -0.1V의 읍셋을 인가하기 위한 B 읍셋 인가회로에 공통으로 입력하여, 0.85/0.94/0.75 V의 R/G/B 별 타겟 감마기준전압을 생성할 수 있다.

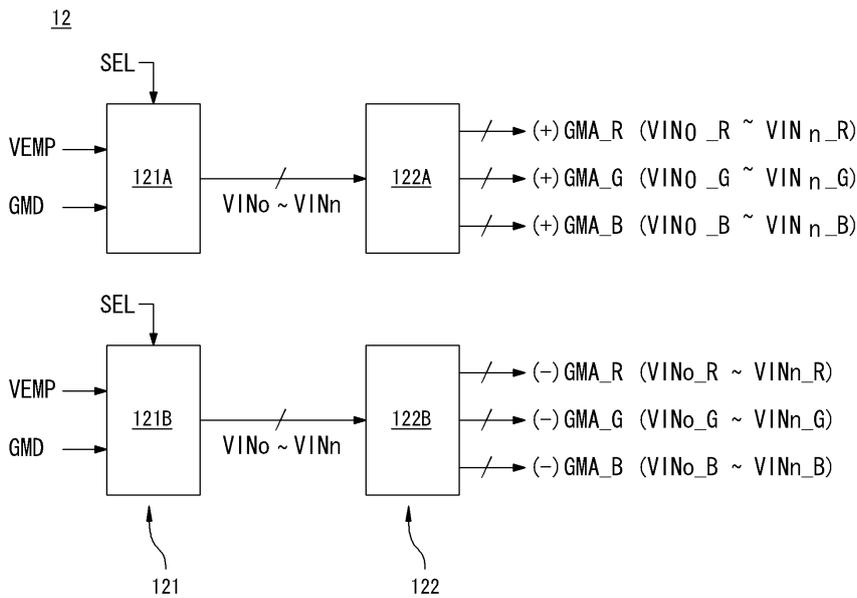
[0053] 도 9는 본 발명의 적용에 따른 감마 출력 시뮬레이션 결과를 보여준다.

[0054] 본 출원인은 위와 같이 공통 감마 스트링과 읍셋 인가회로를 활용하여 정극성 및 부극성 감마기준전압을 생성하

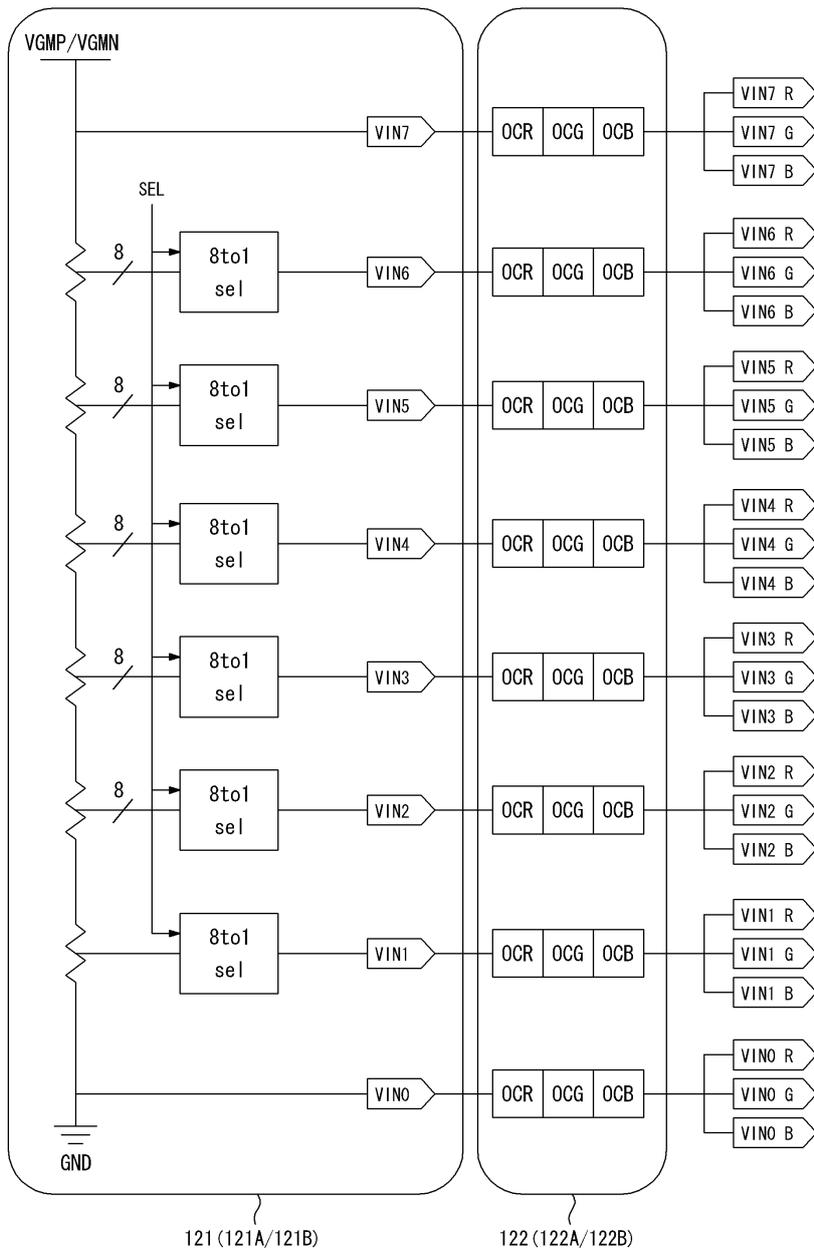
도면2



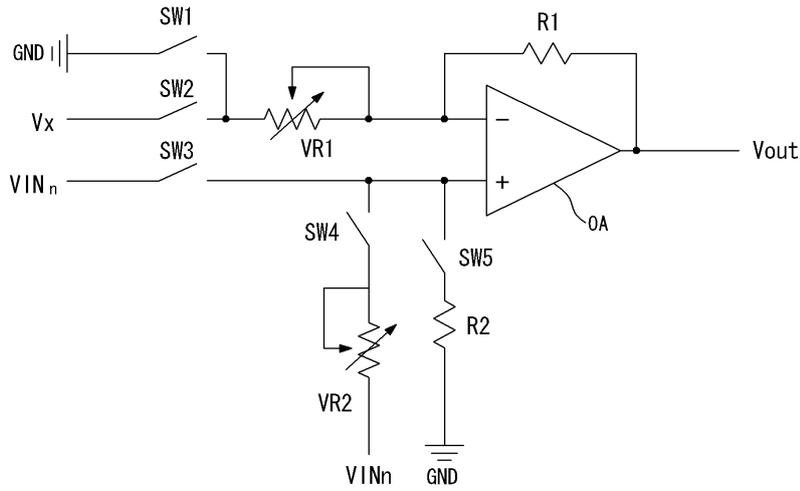
도면3



도면4



도면5



도면6

	SW1	SW2	SW3	SW4	SW5
가산 (+ offset)	ON	OFF	ON	OFF	OFF
감산 (- offset)	OFF	ON	OFF	ON	ON

도면7

Register value[Binary]	Vout Value[V]	비교
000	$VINn \times 1.15$	가산
001	$VINn \times 1.1$	
010	$VINn \times 1.05$	
011	$VINn \times 1$.
100	$VINn \times 0.95$	감산
101	$VINn \times 0.9$	
110	$VINn \times 0.85$	
111	$VINn \times 0.8$	

도면8

Unit : [V]

	Common Gamma Value			R_Positive	G_Positive	B_Positive
VIN1	5.21	Offset 인가 회로	R:0V G:+0.09V B:-0.1V	5.21	5.30	5.11
VIN2	4.72	Offset 인가 회로	R:+0.01V G:+0.09V B:-0.1V	4.73	4.81	4.62
VIN3	4.02	Offset 인가 회로	R:+0.01V G:+0.16V B:-0.16V	4.03	4.18	3.86
VIN4	3.20	Offset 인가 회로	R:0V G:+0.21V B:-0.21V	3.20	3.41	2.99
VIN5	2.56	Offset 인가 회로	R:0V G:+0.19V B:-0.2V	2.56	2.75	2.36
VIN6	1.97	Offset 인가 회로	R:0V G:+0.19V B:-0.18V	1.97	2.07	1.88
VIN7	1.10	Offset 인가 회로	R:0V G:+0.19V B:-0.18V	1.10	1.29	0.92
VIN8	0.85	Offset 인가 회로	R:0V G:+0.09V B:-0.1V	0.85	0.94	0.75
VIN9	0.50	Offset 인가 회로	R:0V G:+0V B:-0V	0.50	0.50	0.50

도면9

