

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4629571号
(P4629571)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl. F I
H03H 7/075 (2006.01) H03H 7/075 Z

請求項の数 11 (全 21 頁)

(21) 出願番号	特願2005-372362 (P2005-372362)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成17年12月26日(2005.12.26)	(74) 代理人	100110423 弁理士 曾我 道治
(65) 公開番号	特開2007-174519 (P2007-174519A)	(74) 代理人	100084010 弁理士 古川 秀利
(43) 公開日	平成19年7月5日(2007.7.5)	(74) 代理人	100094695 弁理士 鈴木 憲七
審査請求日	平成20年6月13日(2008.6.13)	(74) 代理人	100111648 弁理士 梶並 順
		(72) 発明者	井幡 光詞 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 マイクロ波回路

(57) 【特許請求の範囲】

【請求項1】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第1のコンデンサあるいは第1のコンデンサ及び第2のインダクタから構成される直列回路を直列要素とし、第1のインダクタあるいは第1のインダクタ及び第2のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

前記第1のインダクタのインダクタンスは、少なくとも2以上同じであり、

前記第1のコンデンサの静電容量は、単位セル毎に徐々に変化しており、

隣接する単位セルの第1のコンデンサの静電容量の変化量 C_L は、

左手系から右手系へ特性が遷移する遷移周波数から決まる静電容量を C_L 、

バンドギャップの下端周波数から決まる静電容量を C_L' 、

前記単位セルの数を N としたとき、

【数1】

$$\Delta C_L = \frac{C_L' - C_L}{N - 1}$$

と表せる

ことを特徴とするマイクロ波回路。

【請求項2】

前記第 1 のコンデンサの静電容量は、前記入力端子側から徐々に増大していき、前記出力端子側で最大となる

ことを特徴とする請求項 1 記載のマイクロ波回路。

【請求項 3】

前記第 1 のコンデンサの静電容量は、前記入力端子側から徐々に減少していき、前記出力端子側で最小となる

ことを特徴とする請求項 1 記載のマイクロ波回路。

【請求項 4】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

前記第 1 のインダクタのインダクタンスは、少なくとも 2 以上同じであり、

前記第 1 のコンデンサの静電容量は、単位セル毎に徐々に変化しており、

前記第 1 のコンデンサの静電容量は、前記入力端子側から徐々に増大していき、前記入力端子と前記出力端子の間の中央部で最大となり、前記出力端子側に向け徐々に減少していき、

前記入力端子に接続された単位セルの第 1 のコンデンサの静電容量と前記出力端子に接続された単位セルの第 1 のコンデンサの静電容量が同じであり、

隣接する単位セルの第 1 のコンデンサの静電容量の変化量 C_L は、

左手系から右手系へ特性が遷移する遷移周波数から決まる静電容量を C_L 、

バンドギャップの下端周波数から決まる静電容量を C_L' 、

前記単位セルの数を N としたとき、

【数 2】

$$\Delta C_L = \frac{C_L' - C_L}{(N-1)/2}$$

と表せる

ことを特徴とするマイクロ波回路。

【請求項 5】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

前記第 1 のインダクタのインダクタンスは、少なくとも 2 以上同じであり、

前記第 1 のコンデンサの静電容量は、単位セル毎に徐々に変化しており、

前記第 1 のコンデンサの静電容量は、前記入力端子側から徐々に減少していき、前記入力端子と前記出力端子の間の中央部で最小となり、前記出力端子側に向け徐々に増大していき、

前記入力端子に接続された単位セルの第 1 のコンデンサの静電容量と前記出力端子に接続された単位セルの第 1 のコンデンサの静電容量が同じであり、

隣接する単位セルの第 1 のコンデンサの静電容量の変化量 C_L は、

左手系から右手系へ特性が遷移する遷移周波数から決まる静電容量を C_L 、

バンドギャップの下端周波数から決まる静電容量を C_L' 、

前記単位セルの数を N としたとき、

10

20

30

40

【数 3】

$$\Delta C_L = \frac{C_L' - C_L}{(N-1)/2}$$

と表せる

ことを特徴とするマイクロ波回路。

【請求項 6】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

10

前記第 1 のコンデンサの静電容量は、少なくとも 2 以上同じであり、

前記第 1 のインダクタのインダクタンスは、単位セル毎に徐々に変化しており、

隣接する単位セルの第 1 のインダクタのインダクタンスの変化量 L_{\perp} は、

左手系から右手系へ特性が遷移する遷移周波数から決まるインダクタンスを L_{\perp} 、

バンドギャップの上端周波数から決まるインダクタンスを L_{\perp}' 、

前記単位セルの数を N としたとき、

【数 4】

$$\Delta L_L = \frac{L_L' - L_L}{N-1}$$

20

と表せる

ことを特徴とするマイクロ波回路。

【請求項 7】

前記第 1 のインダクタのインダクタンスは、前記入力端子側から徐々に減少していき、前記出力端子側で最小となる

ことを特徴とする請求項 6 記載のマイクロ波回路。

【請求項 8】

前記第 1 のインダクタのインダクタンスは、前記入力端子側から徐々に増大していき、前記出力端子側で最大となる

30

ことを特徴とする請求項 6 記載のマイクロ波回路。

【請求項 9】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

前記第 1 のコンデンサの静電容量は、少なくとも 2 以上同じであり、

前記第 1 のインダクタのインダクタンスは、単位セル毎に徐々に変化しており、

前記第 1 のインダクタのインダクタンスは、前記入力端子側から徐々に減少していき、前記入力端子と前記出力端子の間の中央部で最小となり、前記出力端子側に向け徐々に増大していき、

40

前記入力端子に接続された単位セルの第 1 のインダクタのインダクタンスと前記出力端子に接続された単位セルの第 1 のインダクタのインダクタンスが同じであり、

隣接する単位セルの第 1 のインダクタのインダクタンスの変化量 L_{\perp} は、

左手系から右手系へ特性が遷移する遷移周波数から決まるインダクタンスを L_{\perp} 、

バンドギャップの上端周波数から決まるインダクタンスを L_{\perp}' 、

前記単位セルの数を N としたとき、

【数 5】

$$\Delta L_L = \frac{L_L' - L_L}{(N-1)/2}$$

と表せる

ことを特徴とするマイクロ波回路。

【請求項 10】

入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、

前記第 1 のコンデンサの静電容量は、少なくとも 2 以上同じであり、

前記第 1 のインダクタのインダクタンスは、単位セル毎に徐々に変化しており、

前記第 1 のインダクタのインダクタンスは、前記入力端子側から徐々に増大していき、前記入力端子と前記出力端子の間の中央部で最大となり、前記出力端子側に向け徐々に減少していき、

前記入力端子に接続された単位セルの第 1 のインダクタのインダクタンスと前記出力端子に接続された単位セルの第 1 のインダクタのインダクタンスが同じであり、

隣接する単位セルの第 1 のインダクタのインダクタンスの変化量 L_L は、左手系から右手系へ特性が遷移する遷移周波数から決まるインダクタンスを L_L 、バンドギャップの上端周波数から決まるインダクタンスを L_L' 、前記単位セルの数を N としたとき、

【数 6】

$$\Delta L_L = \frac{L_L' - L_L}{(N-1)/2}$$

と表せる

ことを特徴とするマイクロ波回路。

【請求項 11】

前記第 1 のコンデンサは、インターディジタルキャパシタであり、

前記第 1 のインダクタは、スタブインダクタである

ことを特徴とする請求項 1 から請求項 10 までのいずれかに記載のマイクロ波回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アンテナ装置やマイクロ波デバイスに用いられ、特定の周波数帯の電磁波の伝搬を阻止するバンドギャップを有したマイクロ波回路に関するものである。

【背景技術】

【0002】

従来、バンドギャップを有した伝送線路は、左手系媒質と呼ばれる構造を利用したものが知られている（例えば、非特許文献 1 参照）。左手系媒質は、ある周波数帯で等価的に誘電率および透磁率が同時に負になる媒質であり、その結果、位相速度と群速度が逆相となる後退波が伝搬する。

【0003】

ここで、左手系伝送線路は、直列要素のコンデンサと並列要素のインダクタを周期的に配列した構造をとることにより実現できる。しかし、実際に左手系伝送線路を構成すると、直列要素に寄生インダクタンスが、また並列要素に寄生静電容量が生じ、位相速度と群速度の位相が同相となり進行波が伝搬する右手系の特性も合わせ持つ複合右手 / 左手系伝

10

20

30

40

50

送線路となる。

【 0 0 0 4 】

図 2 0 は、従来のマイクロ波回路の上面を示す図である。この図 2 0 は、非特許文献 1 に記載の複合右手 / 左手系伝送線路を示す図である。この図 2 0 に示す複合右手 / 左手系伝送線路は、基板 1 と、インターディジタルキャパシタ 2 と、スタブインダクタ 3 と、スルーホール 4 と、地板 5 (図示せず) と、入力端子 6 と、出力端子 7 とで構成されている。基板 1 は誘電体を含んでおり、基板表面上にインターディジタルキャパシタ 2 とスタブインダクタ 3 が形成されている。また、基板 1 の裏面には地板 5 が形成されている。上記複合右手 / 左手系伝送線路は、インターディジタルキャパシタ 2 を直列要素とし、スタブインダクタ 3 を並列要素とした回路を周期配列して構成されている。しかし、上述した通り、直列要素に寄生インダクタンスが、また並列要素に寄生静電容量が生じる。これにより、右手系と左手系の特性を合わせ持つ複合右手 / 左手系伝送線路となり、左手系の特性から右手系の特性へ遷移する周波数帯で位相の変化が零となるバンドギャップを形成する。

10

【 0 0 0 5 】

【非特許文献 1】 Atsushi Sanada, Christophe Caloz and Tatsuo Itoh “ Characteristics of the Composite Right/Left-Handed Transmission Lines ” IEEE Microwave and Wireless Components Letters, Vol.14, No.2, February 2004

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 0 6 】

しかしながら、従来の複合右手 / 左手系伝送線路では、左手系の特性から右手系の特性へと遷移する周波数帯に生じるバンドギャップの帯域幅は、インターディジタルキャパシタ 2 の静電容量とスタブインダクタ 3 のインダクタンスに依存する。従来の複合右手 / 左手系伝送線路では、同じインターディジタルキャパシタ 2 とスタブインダクタ 3 からなる単位セルを周期配列しているため、バンドギャップの帯域幅が狭帯域となるという問題点があった。

【 0 0 0 7 】

この発明は、上述のような課題を解決するためになされたもので、その目的は、特定の広い周波数帯域を遮断することが可能で、それ以外の周波数成分を確実に伝送し得るマイクロ波回路を得るものである。

30

【課題を解決するための手段】

【 0 0 0 8 】

この発明に係るマイクロ波回路は、入力端子と出力端子の間に複数個の単位セルが電氣的に直列接続され、前記単位セルは、第 1 のコンデンサあるいは第 1 のコンデンサ及び第 2 のインダクタから構成される直列回路を直列要素とし、第 1 のインダクタあるいは第 1 のインダクタ及び第 2 のコンデンサから構成される並列回路を並列要素とするマイクロ波回路であって、前記第 1 のインダクタのインダクタンスは、少なくとも 2 以上同じであり、前記第 1 のコンデンサの静電容量は、単位セル毎に徐々に変化しており、隣接する単位セルの第 1 のコンデンサの静電容量の変化量 C_{\perp} は、左手系から右手系へ特性が遷移する遷移周波数から決まる静電容量を C_{\perp} 、バンドギャップの下端周波数から決まる静電容量を C_{\perp}' 、前記単位セルの数を N としたとき、式 (9) と表せるものである。

40

【発明の効果】

【 0 0 0 9 】

この発明に係るマイクロ波回路は、コンデンサとインダクタからなる単位セルにおいて、コンデンサの静電容量あるいはインダクタのインダクタンスを徐々に変化させたセルを電氣的に接続して構成することにより、左手系の特性から右手系の特性へと遷移する周波数帯に生じるバンドギャップの帯域を広帯域にすることができるという効果を奏する。

【発明を実施するための最良の形態】

【 0 0 1 0 】

50

実施の形態 1 .

この発明の実施の形態 1 に係るマイクロ波回路について図 1 から図 7 までを参照しながら説明する。図 1 は、この発明の実施の形態 1 に係るマイクロ波回路の上面を示す図である。また、図 2 は、この発明の実施の形態 1 に係るマイクロ波回路の断面を示す図である。なお、以降では、各図中、同一符号は同一又は相当部分を示す。

【0011】

図 1 及び図 2 において、図示されたマイクロ波回路は、複合右手 / 左手系伝送線路の一例を示している。この実施の形態 1 に係るマイクロ波回路は、基板 1 と、インターデジタルキャパシタ 2 と、スタブインダクタ 3 と、スルーホール 4 と、地板 5 と、入力端子 6 と、出力端子 7 とが設けられている。

10

【0012】

基板 1 は、誘電体を含んでおり、基板表面上にインターデジタルキャパシタ 2 とスタブインダクタ 3 が形成されている。また、基板 1 の裏面には地板 5 が形成されている。基板 1 の表面上に形成されたインターデジタルキャパシタ 2 は、少なくとも 2 本以上の電極から構成されており、コンデンサとして動作する。また、スタブインダクタ 3 は、スルーホール 4 を介して、地板 5 に接続されており、インダクタとして動作する。

【0013】

基板 1 の表面上において、インターデジタルキャパシタ 2 とスタブインダクタ 3 は、インターデジタルキャパシタ 2 を直列要素とし、スタブインダクタ 3 を並列要素して接続され、単位セルを構成している。この単位セルは、基板 1 の表面上に複数個配列されている。各セルは、それぞれ電氣的に接続されており、その両端に入力端子 6 と出力端子 7 が接続されマイクロ波回路が構成されている。

20

【0014】

また、基板 1 の表面上に形成されたインターデジタルキャパシタ 2 は、互いに隣接するセルのインターデジタルキャパシタ 2 と静電容量が異なり、入力端子 6 から出力端子 7 の間に配列された各セルにおけるインターデジタルキャパシタ 2 の静電容量は徐々に変化している。

【0015】

つぎに、この実施の形態 1 に係るマイクロ波回路の動作について図面を参照しながら説明する。図 3 は、図 1 に示す伝送線路の点線部の単位セルの等価回路を示す図である。また、図 4 は、この発明の実施の形態 1 に係るマイクロ波回路の等価回路を示す図である。さらに、図 5 は、この発明の実施の形態 1 に係るマイクロ波回路の位相定数と周波数の関係を示す図である。

30

【0016】

図 3 及び図 4 において、 C_L はインターデジタルキャパシタ (第 1 のコンデンサ) 2 の静電容量、 L_L はスタブインダクタ (第 1 のインダクタ) 3 のインダクタンス、 C_R は並列要素に生じる寄生静電容量 (第 2 のコンデンサ)、 L_R は直列要素に生じる寄生インダクタンス (第 2 のインダクタ) である。

【0017】

この実施の形態 1 に係るマイクロ波回路の単位セルは、コンデンサであるインターデジタルキャパシタ 2 を直列要素とし、インダクタであるスタブインダクタ 3 を並列要素としているが、実際に作成すると、直列要素には寄生インダクタンスが、また、並列要素には寄生静電容量が生じる。したがって、図 1 の点線で示す単位セルの等価回路は、図 3 に示す回路となり、直列要素がインダクタとコンデンサの直列回路、並列要素がインダクタとコンデンサの並列回路となる。単位セルの数は、得ようとするマイクロ波回路特性により設定する。

40

【0018】

一般に、伝送線路等のマイクロ波回路の伝搬定数 は、次の式 (1) で表すことができる。

【0019】

50

【数 1】

$$\gamma = \alpha + j\beta = \sqrt{ZY} \quad (1)$$

【0020】

ここで、 α は減衰定数、 β は位相定数、 Z と Y はそれぞれ回路におけるインピーダンスとアドミタンスである。したがって、周波数を f とすると、図 3 の単位セルのインピーダンス Z と、アドミタンス Y は、それぞれ次の式 (2) と式 (3) で表すことができる。

【0021】

【数 2】

$$Z(f) = j \left(2\pi f L_R - \frac{1}{2\pi f C_L} \right) \quad (2)$$

10

$$Y(f) = j \left(2\pi f C_R - \frac{1}{2\pi f L_L} \right) \quad (3)$$

【0022】

よって、図 3 の単位セルにおける分散関係式は、次の式 (4)、式 (5) となる。

【0023】

20

【数 3】

$$\beta(f) = s(f) \sqrt{(2\pi f)^2 L_R C_R + \frac{1}{(2\pi f)^2 L_L C_L} - \left(\frac{L_R}{L_L} + \frac{C_R}{C_L} \right)} \quad (4)$$

$$s(f) = \begin{cases} -1 & f < \min \left(\frac{1}{2\pi \sqrt{L_R C_L}}, \frac{1}{2\pi \sqrt{L_L C_R}} \right) \\ +1 & f > \max \left(\frac{1}{2\pi \sqrt{L_R C_L}}, \frac{1}{2\pi \sqrt{L_L C_R}} \right) \end{cases} \quad (5)$$

30

【0024】

位相定数 β は、平方根内が正となるか負となるかによって、実数あるいは純虚数となる。位相定数 β が実数となる周波数範囲では、 $\beta = j$ となるので通過域となり、位相定数 β が純虚数となる周波数範囲では、 $\beta = 0$ となるので遮断域となりバンドギャップが生じる。例えば、 $C_R = 1$ [pF]、 $C_L = 2$ [pF]、 $L_R = 1$ [pH]、 $L_L = 0.55$ [nH] のとき、位相定数 β と周波数 f の関係は、図 5 のようになり、周波数 4 [GHz] 近傍 ~ 7 [GHz] 近傍で遮断域となり、バンドギャップが生じる。このとき、バンドギャップより低周波数領域では、左手系の特性が支配的となり、バンドギャップより高周波数領域では、右手系の特性が支配的となる。

40

【0025】

ここで、バンドギャップの中心周波数で左手系から右手系の特性へ遷移する。その周波数を遷移周波数と定義すると、この遷移周波数 f_0 は式 (6) で決定することができる。また、バンドギャップの下端周波数 f_{g_l} は式 (7) で、バンドギャップの上端周波数 f_{g_h} は式 (8) で決定することができる。

【0026】

【数4】

$$f_0 = \frac{1}{2\pi \cdot \sqrt{L_R C_R L_L C_L}} \quad (6)$$

$$f_{gl} = \frac{1}{2\pi \sqrt{L_R C_L}} \quad (7)$$

$$f_{gh} = \frac{1}{2\pi \sqrt{L_L C_R}} \quad (8)$$

10

【0027】

次に、各セルのインターデジタルキャパシタ2の静電容量とスタブインダクタ3のインダクタンスについて説明する。インターデジタルキャパシタ2の静電容量とスタブインダクタ3のインダクタンスは、遷移周波数 f_0 とバンドギャップの下端周波数 f_{gl} 、上端周波数 f_{gh} から決定することができる。

【0028】

20

各セルのインターデジタルキャパシタ2の静電容量とスタブインダクタ3のインダクタンスは、遷移周波数 f_0 から決定する。式(6)より遷移周波数 f_0 が所望の周波数となるように、 C_L 、 L_L 、 C_R 、 L_R を決定する。次に、バンドギャップの下端周波数 f_{gl} を所望の周波数に設定する。遷移周波数から決定した C_L と、所望のバンドギャップの下端周波数 f_{gl} から式(7)により新たに C_L を決定し、これを C_L' とする。

【0029】

次に、入力端子6に接続された単位セルを構成するインターデジタルキャパシタ2の静電容量を C_L とし、出力端子7に接続された単位セルを構成するインターデジタルキャパシタ2の静電容量を C_L' とする。入力端子6に接続されたインターデジタルキャパシタ2と、出力端子7に接続された単位セルの間のインターデジタルキャパシタ2の静電容量は、出力端子7に近づくにつれ、 C_L から C_L' の間で徐々に変化するように設定する。

30

【0030】

隣接するセル間のインターデジタルキャパシタ2の静電容量の変化量 C_L は、マイクロ波回路を構成するセル数を N とすると、次の式(9)となる。

【0031】

【数5】

$$\Delta C_L = \frac{C_L' - C_L}{N-1} \quad (9)$$

40

【0032】

したがって、図1のマイクロ波回路の場合、セル数は5であるので、インターデジタルキャパシタ2の静電容量は、入力端子側6から順に、 C_L 、 $C_L + C_L$ 、 $C_L + 2C_L$ 、 $C_L + 3C_L$ 、 $C_L + 4C_L$ 、 C_L' となる。

【0033】

ここで、図6及び図7を用いて、この実施の形態1の効果を説明する。図6は、この発明の実施の形態1に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。図6において、この実施の形態1に係るマイクロ波回路の通過特性計算結果8と、従来例の同じセルを配列したマイクロ波回路の通過特性計算結果9とが図示されている。

【0034】

50

図7は、図6の計算に用いた等価回路を示す図である。図7において、通過特性計算結果8を求めた等価回路10と、通過特性計算結果9を求めた等価回路11とが図示され、セル数はどちらも16個としている。

【0035】

図6において、この実施の形態1の通過特性計算結果8と従来例の通過特性計算結果9を比較すると、この実施の形態1の通過特性計算結果8の方が周波数4GHzで生じているバンドギャップの帯域が広帯域になっており、実施の形態1の効果が確認できる。

【0036】

以上のように、この実施の形態1では、インターデジタルキャパシタ2の静電容量を入力端子6から出力端子7までの間で徐々に変化させることにより、バンドギャップの広帯域化を図ることが可能である。

10

【0037】

以上の説明では、入力端子6に静電容量が C_L となるインターデジタルキャパシタ2を接続し、出力端子7に静電容量が C_L' となるインターデジタルキャパシタ2を接続し、入力端子6と出力端子7間のインターデジタルキャパシタ2の静電容量を徐々に変化させていたが、入力端子6に静電容量が C_L' となるインターデジタルキャパシタ2を接続し、出力端子7に静電容量が C_L となるインターデジタルキャパシタ2を接続し、入力端子6と出力端子7間のインターデジタルキャパシタ2の静電容量を徐々に変化させても、同様の効果を得ることができる。

【0038】

20

この実施の形態1では、直列要素にインターデジタルキャパシタ2を用いている。インターデジタルキャパシタ2は、電極の構造あるいは電極数を変化させることにより静電容量を調整することができるため、所望の静電容量を得ることが容易である。よって、インターデジタルキャパシタ2の静電容量を徐々に変化させるためには、電極の構造あるいは電極数を徐々に変化させることで実現できる。

【0039】

また、インターデジタルキャパシタ2の静電容量を徐々に変化させるためには、インターデジタルキャパシタの電極の構造あるいは電極数を変化させる以外に、インターデジタルキャパシタ直下の基板1の比誘電率をセルごとに徐々に変化させ、所望の静電容量を得てもよい。

30

【0040】

この実施の形態1では、直列要素にインターデジタルキャパシタ2を、並列要素にスタブインダクタ3を用いているが、これに限るものではなく、直列要素にはコンデンサとして動作するもの、並列要素にはインダクタとして動作するものを利用すればよく、例えば、チップコンデンサを直列要素とし、チップコイルを並列要素としてマイクロ波回路を構成することで同じ効果を得ることができる。

【0041】

実施の形態2

この発明の実施の形態2に係るマイクロ波回路について図8から図11までを参照しながら説明する。図8は、この発明の実施の形態2に係るマイクロ波回路の上面を示す図である。

40

【0042】

図8において、図示されたマイクロ波回路は、複合右手/左手系伝送線路の一例を示している。この発明の実施の形態2に係るマイクロ波回路は、基板1と、インターデジタルキャパシタ2と、スタブインダクタ3と、スルーホール4と、地板5(図示せず)と、入力端子6と、出力端子7とが設けられている。

【0043】

基板1は誘電体を含んでおり、基板表面上にインターデジタルキャパシタ2とスタブインダクタ3が形成されている。また、基板1の裏面には地板5が形成されている。基板1の表面上に形成されたインターデジタルキャパシタ2は、少なくとも2本以上の電極

50

から構成されており、コンデンサとして動作する。また、スタブインダクタ3は、スルーホール4を介して、地板5に接続されており、インダクタとして動作する。

【0044】

基板1の表面上において、インターディジタルキャパシタ2とスタブインダクタ3は、インターディジタルキャパシタ2を直列要素とし、スタブインダクタ3を並列要素として接続され、単位セルを構成している。この単位セルは、基板1の表面上に複数個配列されている。各セルはそれぞれ電氣的に接続されており、その両端に入力端子6と出力端子7が接続されマイクロ波回路が構成されている。

【0045】

また、直列要素の各セルのインターディジタルキャパシタ2の静電容量は、入力端子6側から徐々に増大していき、伝送線路中央部のセルから徐々に減少していき、入力端子6に接続されたセルのインターディジタルキャパシタ2の静電容量と、出力端子7に接続されたセルのインターディジタルキャパシタ2の静電容量が同じになるように構成されている。

10

【0046】

つぎに、この実施の形態2に係るマイクロ波回路の動作について図面を参照しながら説明する。

【0047】

この実施の形態2の動作原理は、上記の実施の形態1と同様なので、ここでは説明を省略する。隣接するセル間のインターディジタルキャパシタ2の静電容量の変化量 C_L は、マイクロ波回路を構成するセル数をNとすると、次の式(10)となる。

20

【0048】

【数6】

$$\Delta C_L = \frac{C_L' - C_L}{(N-1)/2} \quad (10)$$

【0049】

したがって、図8のマイクロ波回路のインターディジタルキャパシタ2の静電容量は、入力端子側6から順に、 C_L 、 $C_L + C_L$ 、 C_L' 、 $C_L + C_L$ 、 C_L となる。

30

【0050】

この実施の形態2では、インターディジタルキャパシタ2の静電容量を入力端子6から出力端子7までの間で徐々に変化させることにより、バンドギャップの広帯域化を図ることが可能である。また、入力端子6に接続されたセルと、出力端子7に接続されたセルのインターディジタルキャパシタ2の静電容量とスタブインダクタ3のインダクタンスが同じであるので、上記セルの特性インピーダンスは等しくなり、外部回路とのインピーダンス整合がよいマイクロ波回路が得られる。

【0051】

ここで、図9及び図10を用いて、この実施の形態2の効果を説明する。図9は、この発明の実施の形態2に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。図9において、この実施の形態2の伝送線路の通過特性計算結果12と、従来例の同じセルを配列した伝送線路の通過特性計算結果9とが図示されている。図10は、図9の計算に用いた等価回路を示す図である。図10において、この実施の形態2の通過特性計算結果12を求めた等価回路13が図示され、単位セル数は16個としている。

40

【0052】

この実施の形態2の通過特性計算結果12と従来例の通過特性計算結果9を比較すると、実施の形態2の通過特性計算結果12の方が周波数4GHzで生じているバンドギャップの帯域が広帯域になっており、実施の形態2の効果が確認できる。

【0053】

この実施の形態2では、直列要素にインターディジタルキャパシタ2を用いている。イ

50

インターデジタルキャパシタ 2 は、電極の構造あるいは電極数を変化させることにより静電容量を調整することができるため、所望の静電容量を得ることが容易である。よって、インターデジタルキャパシタ 2 の静電容量を徐々に変化させるためには、電極の構造あるいは電極数を徐々に変化させることで実現できる。

【 0 0 5 4 】

また、インターデジタルキャパシタ 2 の静電容量を徐々に変化させるためには、インターデジタルキャパシタの構造あるいは電極数を変化させる以外に、インターデジタルキャパシタ直下の基板 1 の比誘電率をセルごとに徐々に変化させ、所望のキャパシンスを得てもよい。

【 0 0 5 5 】

この実施の形態 2 では、直列要素にインターデジタルキャパシタ 2 を、並列要素にスタブインダクタ 3 を用いているが、これに限るものではなく、直列要素にはコンデンサとして動作するもの、並列要素にはインダクタとして動作するものを利用すればよく、例えば、チップコンデンサを直列要素とし、チップコイルを並列要素としてマイクロ波回路を構成することで、同じ効果を得ることができる。

【 0 0 5 6 】

また、この実施の形態 2 では、インターデジタルキャパシタ 2 のコンデンサを入力端子 6 側から徐々に増大させ、セルを複数個接続してなる回路の中央部のセルから徐々に減少させ、入力端子 6 に接続されたセルのインターデジタルキャパシタ 2 の静電容量と出力端子 7 に接続されたセルのインターデジタルキャパシタ 2 の静電容量が同じとなるように構成しているが、インターデジタルキャパシタ 2 の静電容量を入力端子 6 側から徐々に減少させ、回路中央部のセルから増大させていき、入力端子 6 に接続されたセルのインターデジタルキャパシタ 2 の静電容量と出力端子 7 に接続されたセルのインターデジタルキャパシタ 2 の静電容量を同じになるように構成しても、同じ効果が得られる。

【 0 0 5 7 】

上記の実施の形態 2 の変形例の場合、構成は図 1 1 のようになり、マイクロ波回路を構成する各セルのインターデジタルキャパシタ 2 の静電容量は、入力端子 6 側から順に、 C_L' 、 $C_L + C_L$ 、 C_L 、 $C_L + C_L$ 、 C_L' となる。

【 0 0 5 8 】

また、この実施の形態 2 では、セル数を奇数として説明してきたが、セル数が偶数の場合は図 1 0 の等価回路のように、回路中央部の 2 個のセルにおけるインターデジタルキャパシタ 2 の静電容量を同じとすればよい。すなわち、この実施の形態 2 の場合、入力端子 6 側から順に、 C_L 、 $C_L + C_L$ 、 C_L' 、 C_L' 、 $C_L + C_L$ 、 C_L 、または C_L' 、 $C_L + C_L$ 、 C_L 、 C_L 、 $C_L + C_L$ 、 C_L' となる。

【 0 0 5 9 】

実施の形態 3 .

この発明の実施の形態 3 に係るマイクロ波回路について図 1 2 から図 1 5 までを参照しながら説明する。図 1 2 は、この発明の実施の形態 3 に係るマイクロ波回路の上面を示す図である。また、図 1 3 は、この発明の実施の形態 3 に係るマイクロ波回路の断面を示す図である。

【 0 0 6 0 】

図 1 2 及び図 1 3 において、図示されたマイクロ波回路は、複合右手ノ左手系伝送線路の一例を示している。この実施の形態 3 に係るマイクロ波回路は、基板 1 と、インターデジタルキャパシタ 2 と、スタブインダクタ 3 と、スルーホール 4 と、地板 5 と、入力端子 6 と、出力端子 7 とが設けられている。

【 0 0 6 1 】

基板 1 は誘電体を含んでおり、基板表面上にインターデジタルキャパシタ 2 とスタブインダクタ 3 が形成されている。また、基板 1 の裏面には地板 5 が形成されている。基板 1 の表面上に形成されたインターデジタルキャパシタ 2 は、少なくとも 2 本以上の電極から構成されており、コンデンサとして動作する。また、スタブインダクタ 3 は、スルー

10

20

30

40

50

ホール 4 を介して、地板 5 に接続されており、インダクタとして動作する。

【 0 0 6 2 】

基板 1 の表面上において、インターデジタルキャパシタ 2 とスタブインダクタ 3 は、インターデジタルキャパシタ 2 を直列要素とし、スタブインダクタ 3 を並列要素して接続され、単位セルを構成している。この単位セルは、基板 1 の表面上に複数個配列されている。各セルはそれぞれ電氣的に接続されており、その両端に入力端子 6 と出力端子 7 が接続されマイクロ波回路が構成されている。

【 0 0 6 3 】

また、基板 1 の表面上に形成されたスタブインダクタ 3 は、互いに隣接するセルのスタブインダクタ 3 とインダクタンスが異なり、入力端子 6 から出力端子 7 まで間に配列された各セルにおけるスタブインダクタ 3 のインダクタンスは徐々に変化している。

10

【 0 0 6 4 】

この実施の形態 3 に係るマイクロ波回路の動作原理は、上記の実施の形態 1 と同様であるのでここでは説明を省略する。また、各セルのインターデジタルキャパシタ 2 の静電容量とスタブインダクタ 3 のインダクタンスも、上記の実施の形態 1 と同様に決定することができる。以下、決定法を説明する。

【 0 0 6 5 】

インターデジタルキャパシタ 2 の静電容量とスタブインダクタ 3 のインダクタンスは、遷移周波数 f_0 とバンドギャップの下端周波数 f_{g_l} 、バンドギャップの上端周波数 f_{g_h} から決定することができる。各セルのインターデジタルキャパシタ 2 の静電容量とスタブインダクタ 3 のインダクタンスは、遷移周波数 f_0 から決定する。

20

【 0 0 6 6 】

この実施の形態 3 に係るマイクロ波回路の等価回路は、上記の実施の形態 1 と同様となるので、再び図 3 を用いる。式 (6) より遷移周波数 f_0 が所望の周波数となるように、 C_L 、 L_L 、 C_R 、 L_R を決定する。次に、バンドギャップの上端周波数 f_{g_h} を所望の周波数に設定する。この遷移周波数 f_0 から決定した L_L と、所望のバンドギャップの上端周波数 f_{g_h} から式 (8) により新たに決定し、 L_L' とする。

【 0 0 6 7 】

次に、入力端子 6 に接続されたセルを構成するスタブインダクタ 3 のインダクタンスを L_L とし、出力端子 7 に接続されたセルを構成するスタブインダクタ 3 のインダクタンスを L_L' とする。入力端子 6 に接続されたセルのスタブインダクタ 3 と出力端子 7 間のセルのスタブインダクタ 3 のインダクタンスは、出力端子 7 に近づくにつれ、 L_L から L_L' の間で徐々に変化するように設定する。

30

【 0 0 6 8 】

隣接するセル間のスタブインダクタ 3 のインダクタンスの変化量 ΔL_L は、マイクロ波回路を構成する単位セル数を N とすると、次の式 (11) となる。

【 0 0 6 9 】

【 数 7 】

$$\Delta L_L = \frac{L_L' - L_L}{N - 1} \quad (11)$$

40

【 0 0 7 0 】

したがって、図 1 2 のマイクロ波回路のスタブインダクタ 3 のインダクタンスは、入力端子 6 側から順に、 L_L 、 $L_L + \Delta L_L$ 、 $L_L + 2 \Delta L_L$ 、 $L_L + 3 \Delta L_L$ 、 L_L' となる。

【 0 0 7 1 】

ここで、図 1 4 及び図 1 5 を用いて、この実施の形態 3 の効果を説明する。図 1 4 は、この発明の実施の形態 3 に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。図 1 4 において、この実施の形態 3 のマイクロ波回路の通過特性計算結果 1 4 と、従来例の同じセルを配列したマイクロ波回路の通過特性計算結果 9 とが図示されている

50

。図15は、図14の計算に用いた等価回路を示す図である。図15において、通過特性計算結果14を求めた等価回路15が図示されている。なお、セル数は16個としている。

【0072】

この実施の形態3の通過特性計算結果14と従来例の通過特性計算結果9を比較すると、実施の形態3の通過特性計算結果14の方が周波数4GHzで生じているバンドギャップの帯域が広帯域になっており、実施の形態3の効果が確認できる。

【0073】

以上のように、この実施の形態3では、スタブインダクタ3のインダクタンスを入力端子6から出力端子7までの間で徐々に変化させることにより、バンドギャップの広帯域化を図ることが可能である。

【0074】

以上の説明では、入力端子6にインダクタンスが L_L となるスタブインダクタ3を接続し、出力端子7にインダクタンスが L_L' となるスタブインダクタ3を接続し、入力端子6と出力端子7間のスタブインダクタ3のインダクタンスを徐々に変化させていたが、入力端子6にインダクタンスが L_L' となるスタブインダクタ3を接続し、出力端子7にインダクタンスが L_L となるスタブインダクタ3を接続し、入力端子6と出力端子7間のスタブインダクタ3のインダクタンスを徐々に変化させても、同様の効果を得ることができる。

【0075】

この実施の形態3では、並列要素にスタブインダクタ3を用いている。スタブインダクタ3は、スタブの長さ、形状およびスルーホールを位置を变化させることによりインダクタンスを調整することができるため、所望のインダクタンスを得ることが容易である。よって、スタブインダクタ3のインダクタンスを徐々に変化させるためには、スタブの長さ、形状あるいはスルーホールを位置を徐々に変化させることで実現できる。

【0076】

また、スタブインダクタ3のインダクタンスを徐々に変化させるためには、スタブの長さ、形状あるいはスルーホールを位置を变化させる以外に、スタブインダクタ3直下の基板1の比誘電率をセルごとに徐々に変化させ、所望のインダクタンスを得てもよい。

【0077】

この実施の形態3では、直列要素にインターディジタルキャパシタ2を、並列要素にスタブインダクタ3を用いているが、これに限るものではなく、直列要素にはコンデンサとして動作するもの、並列要素にはインダクタとして動作するものを利用すればよく、例えば、チップコンデンサを直列要素とし、チップコイルを並列要素としてマイクロ波回路を構成することで同じ効果を得ることができる。

【0078】

実施の形態4 .

この発明の実施の形態4に係るマイクロ波回路について図16から図19までを参照しながら説明する。図16は、この発明の実施の形態4に係るマイクロ波回路の上面を示す図である。

【0079】

図16において、この実施の形態4に係るマイクロ波回路は、基板1と、インターディジタルキャパシタ2と、スタブインダクタ3と、スルーホール4と、地板5（図示せず）と、入力端子6と、出力端子7とが設けられている。

【0080】

基板1は誘電体を含んでおり、基板表面上にインターディジタルキャパシタ2とスタブインダクタ3が形成されている。また、基板1の裏面には地板5が形成されている。基板1の表面上に形成されたインターディジタルキャパシタ2は、少なくとも2本以上の電極から構成されており、コンデンサとして動作する。また、スタブインダクタ3は、スルーホール4を介して、地板5に接続されており、インダクタとして動作する。

【 0 0 8 1 】

基板 1 の表面上において、インターディジタルキャパシタ 2 とスタブインダクタ 3 は、インターディジタルキャパシタ 2 を直列要素とし、スタブインダクタ 3 を並列要素として接続され、単位セルを構成している。この単位セルは、基板 1 の表面上に複数個配列されている。各セルはそれぞれ電氣的に接続されており、その両端に入力端子 6 と出力端子 7 が接続されマイクロ波回路が構成されている。

【 0 0 8 2 】

また、並列要素の各セルのスタブインダクタ 3 のインダクタンスは、入力端子 6 側から徐々に減少していき、回路中央部のセルから徐々に増大していき、入力端子 6 に接続されたセルのスタブインダクタ 3 のインダクタンスと、出力端子 7 に接続されたセルのスタブインダクタ 3 のインダクタンスが同じになるように構成されている。

【 0 0 8 3 】

隣接するセル間のスタブインダクタ 3 のインダクタンスの変化量 L_L は、マイクロ波回路を構成する単位セル数を N とすると、次の式 (1 2) となる。

【 0 0 8 4 】

【数 8】

$$\Delta L_L = \frac{L_L' - L_L}{(N-1)/2} \quad (12)$$

【 0 0 8 5 】

したがって、図 1 6 のマイクロ波回路のスタブインダクタ 3 のインダクタンスは、入力端子側 6 から順に、 L_L 、 $L_L + L_L$ 、 L_L' 、 $L_L + L_L$ 、 L_L となる。

【 0 0 8 6 】

この実施の形態 4 では、スタブインダクタ 3 のインダクタンスを入力端子 6 から出力端子 7 までの間で徐々に変化させることにより、バンドギャップの広帯域化を図ることが可能である。また、入力端子 6 に接続されたセルと、出力端子 7 に接続されたセルのインターディジタルキャパシタ 2 の静電容量とスタブインダクタ 3 のインダクタンスが同じなので、上記セルの特性インピーダンスは等しくなり、外部回路とのインピーダンス整合がよいマイクロ波回路が得られる。

【 0 0 8 7 】

ここで、図 1 7 及び図 1 8 を用いて、この実施の形態 4 の効果を説明する。図 1 7 は、この発明の実施の形態 4 に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。図 1 7 において、実施の形態 4 のマイクロ波回路の通過特性計算結果 1 6 と、従来例の同じセルを配列した伝送線路の通過特性計算結果 9 とが図示されている。図 1 8 は、図 1 7 の計算に用いた等価回路を示す図である。図 1 8 において、実施の形態 4 の通過特性計算結果 1 6 を求めた等価回路 1 7 が図示されている。なお、セル数は 1 6 個としている。

【 0 0 8 8 】

この実施の形態 4 の通過特性計算結果 1 6 と従来例の通過特性計算結果 9 を比較すると、実施の形態 4 の通過特性計算結果 1 6 の方が周波数 4 GHz で生じているバンドギャップの帯域が広帯域になっており、実施の形態 4 の効果が確認できる。

【 0 0 8 9 】

この実施の形態 4 では、並列要素にスタブインダクタ 3 を用いている。スタブインダクタ 3 は、スタブの長さ、形状あるいはスルーホールの位置を変化させることによりインダクタンスを調整することができるため、所望のインダクタンスを得ることが容易である。よって、スタブインダクタ 3 のインダクタンスを徐々に変化させるためには、スタブの長さ、形状あるいはスルーホールの位置を徐々に変化させることで実現できる。

【 0 0 9 0 】

また、スタブインダクタ 3 のインダクタンスを徐々に変化させるためには、スタブイン

10

20

30

40

50

ダクタ3のスタブの長さ、形状あるいはスルーホールの位置を変化させる以外に、スタブインダクタ3直下の基板1の比誘電率をセルごとに徐々に変化させ、所望のインダクタンスを得てもよい。

【0091】

この実施の形態4では、直列要素にインターディジタルキャパシタ2を、並列要素にスタブインダクタ3を用いているが、これに限るものではなく、直列要素にはコンデンサとして動作するもの、並列要素にはインダクタとして動作するものを利用すればよく、例えば、チップコンデンサを直列要素とし、チップコイルを並列要素としてマイクロ波回路を構成することで同じ効果を得ることができる。

【0092】

また、実施の形態4では、スタブインダクタ3のインダクタンスを入力端子6側から徐々に減少させ、回路中央部のセルから徐々に増大させていき、入力端子6に接続されたセルのスタブインダクタ3のインダクタンスと出力端子7に接続されたセルのスタブインダクタ3のインダクタンスが同じとなるように構成しているが、スタブインダクタ3のインダクタンスを入力端子6側から徐々に増大させ、回路中央部のセルから減少させていき、入力端子6に接続されたセルのスタブインダクタ3のインダクタンスと、出力端子7に接続されたセルのスタブインダクタ3のインダクタンスを同じになるように構成しても、同じ効果が得られる。

【0093】

上記の実施の形態4の変形例の場合、回路の構成は図19のようになり、回路を構成する各セルのスタブインダクタ3のインダクタンスは、入力端子6側から順に、 L_L' 、 $L_L + L_L$ 、 L_L 、 $L_L + L_L$ 、 L_L' となる。

【0094】

また、実施の形態4では、セル数を奇数として説明してきたが、セル数が偶数の場合は図18の等価回路のように、回路中央部の2個のセルのスタブインダクタ3のインダクタンスを同じとすればよい。すなわち、この実施の形態4の場合、入力端子6側から順に、 L_L 、 $L_L + L_L$ 、 L_L' 、 L_L' 、 $L_L + L_L$ 、 L_L 、または L_L' 、 $L_L + L_L$ 、 L_L 、 $L_L + L_L$ 、 L_L' となる。

【0095】

以上説明したように、本発明によれば、左手系の特性から右手系の特性へと遷移する周波数帯に生じるバンドギャップの帯域が広帯域なマイクロ波回路を得ることができる。また、外部回路に対してインピーダンス整合性のよいマイクロ波回路を得ることができる。

【0096】

本発明の好ましい適用例は、衛星通信機器、移動体通信機器、無線通信機器、高周波通信機器、あるいは、上記の基地局等に用いられる回路要素であって、回路基板、共振器、発振器、方向性結合器、分岐路、フィルタ、デュプレクサ、またはそれらの複合回路等である。

【図面の簡単な説明】

【0097】

【図1】この発明の実施の形態1に係るマイクロ波回路の上面を示す図である。

【図2】この発明の実施の形態1に係るマイクロ波回路の断面を示す図である。

【図3】図1に示す伝送線路の点線部の単位セルの等価回路を示す図である。

【図4】この発明の実施の形態1に係るマイクロ波回路の等価回路を示す図である。

【図5】この発明の実施の形態1に係るマイクロ波回路の位相定数と周波数の関係を示す図である。

【図6】この発明の実施の形態1に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。

【図7】図6の計算に用いた等価回路を示す図である。

【図8】この発明の実施の形態2に係るマイクロ波回路の上面を示す図である。

【図9】この発明の実施の形態2に係るマイクロ波回路及び従来例の通過特性計算結果例

10

20

30

40

50

を示す図である。

【図10】図9の計算に用いた等価回路を示す図である。

【図11】この発明の実施の形態2に係るマイクロ波回路の変形例の上面を示す図である。

【図12】この発明の実施の形態3に係るマイクロ波回路の上面を示す図である。

【図13】この発明の実施の形態3に係るマイクロ波回路の断面を示す図である。

【図14】この発明の実施の形態3に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。

【図15】図14の計算に用いた等価回路を示す図である。

【図16】この発明の実施の形態4に係るマイクロ波回路の上面を示す図である。

【図17】この発明の実施の形態4に係るマイクロ波回路及び従来例の通過特性計算結果例を示す図である。

【図18】図17の計算に用いた等価回路を示す図である。

【図19】この発明の実施の形態4に係るマイクロ波回路の変形例の上面を示す図である。

【図20】従来のマイクロ波回路の上面を示す図である。

【符号の説明】

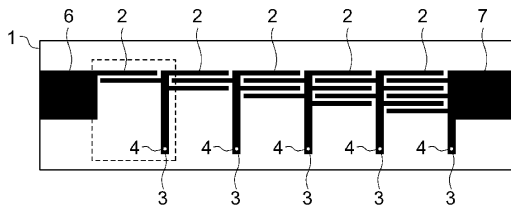
【0098】

1 基板、2 インターデジタルキャパシタ、3 スタブインダクタ、4 スルーホール、5 地板、6 入力端子、7 出力端子。

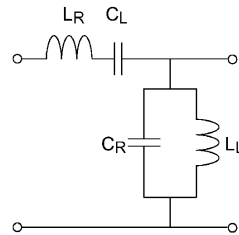
10

20

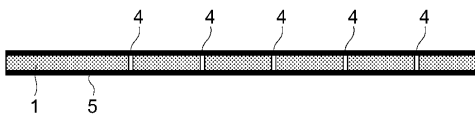
【図1】



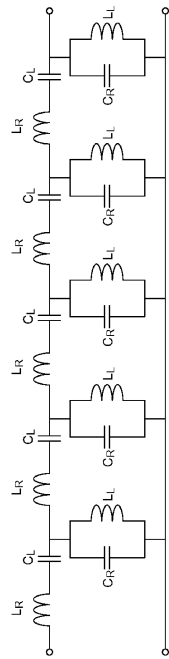
【図3】



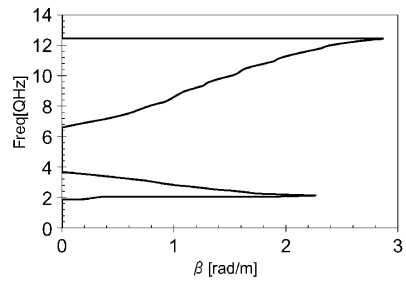
【図2】



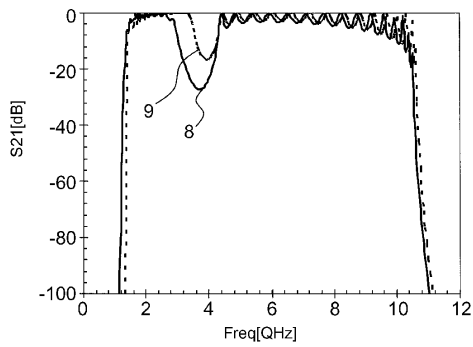
【 図 4 】



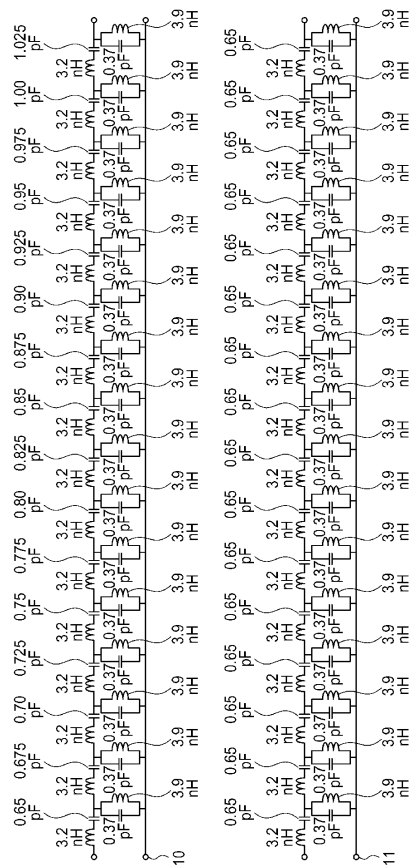
【 図 5 】



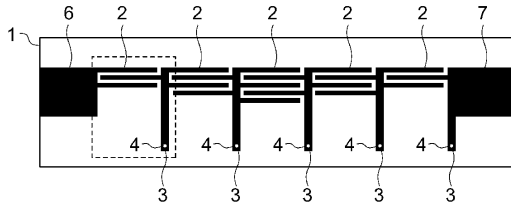
【 図 6 】



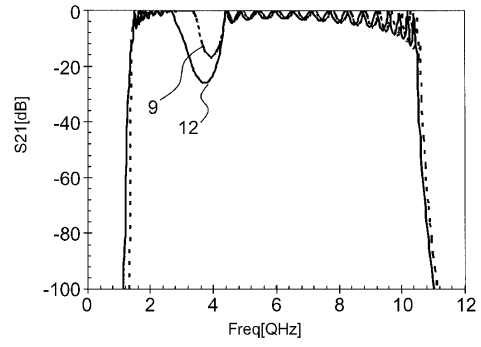
【 図 7 】



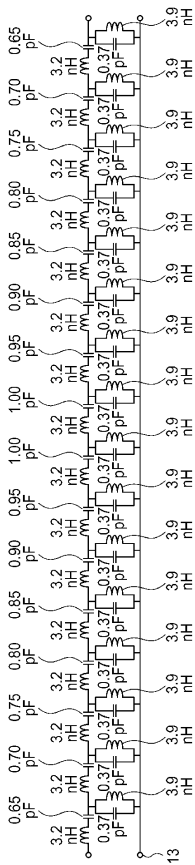
【 図 8 】



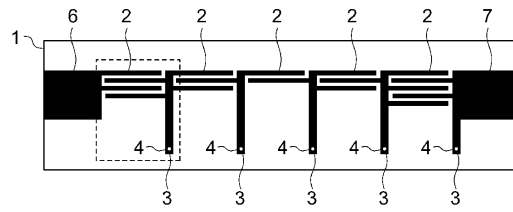
【 図 9 】



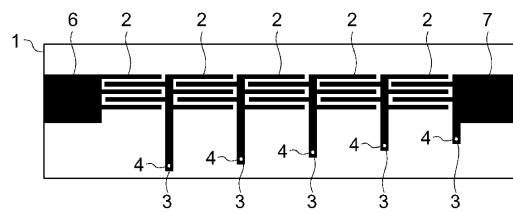
【 図 10 】



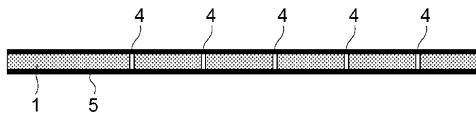
【 図 11 】



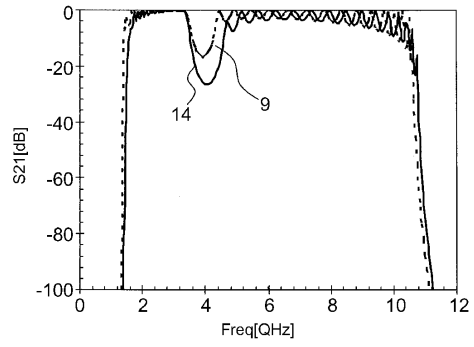
【 図 12 】



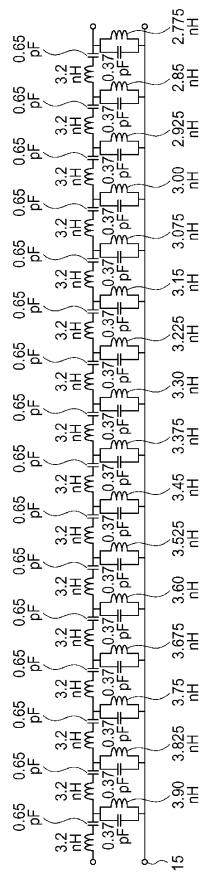
【 図 1 3 】



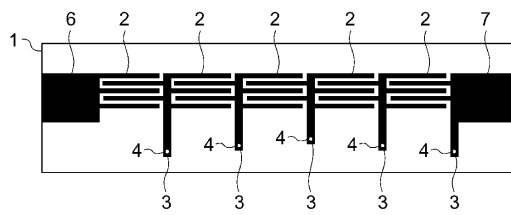
【 図 1 4 】



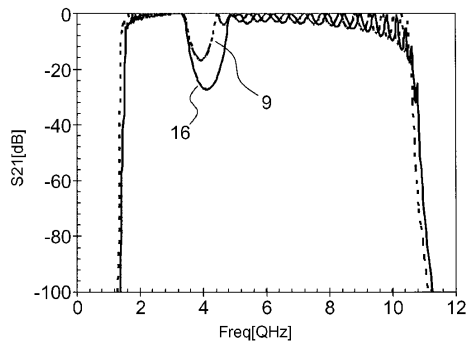
【 図 1 5 】



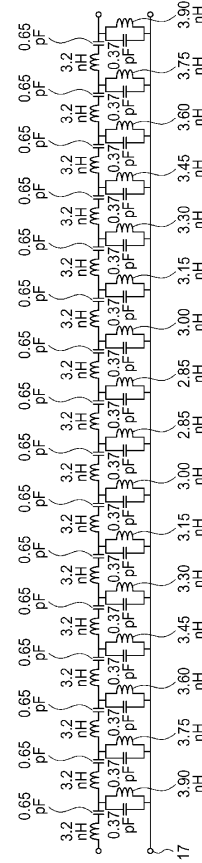
【 図 1 6 】



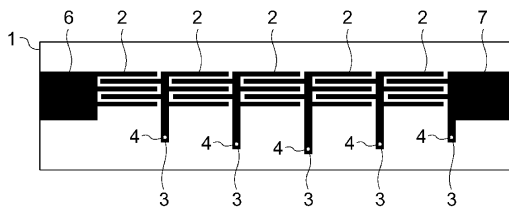
【 図 17 】



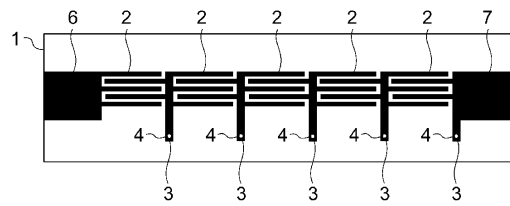
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

- (72)発明者 木村 友則
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 三須 幸一郎
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 畑中 博幸

- (56)参考文献 特開2005-039770(JP,A)
特開2001-267871(JP,A)
特開2001-267503(JP,A)
特開昭59-110202(JP,A)
Characteristics of the Composite Right/Left-Handed Transmission Lines, IEEE Microwave and Wireless Communicaitons Letters, 米国, IEEE, 2004年 2月, vol.14 No.2, pp68-pp70, TL-09-051228
廣田 明道、真田 篤志、Christophe Caloz、新井 宏之、伊藤 龍男、CRLH線路を用いた零次共振器の近傍界測定, 電子情報通信学会2004年総合大会講演論文集 エレクトロニクス1, 社団法人電子情報通信学会, 2004年 4月 1日, p.131
- (58)調査した分野(Int.Cl., DB名)
H03H 7/075