



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ(21)(22) Заявка: **2012121593/07, 25.05.2012**(24) Дата начала отсчета срока действия патента:
25.05.2012

Приоритет(ы):

(22) Дата подачи заявки: **25.05.2012**(45) Опубликовано: **10.11.2013** Бюл. № 31(56) Список документов, цитированных в отчете о поиске: **RU 2409822 C1, 20.01.2011. RU 2332681 C2, 27.08.2008. RU 2291463 C2, 10.01.2007. RU 2087006 C1, 10.08.1997. RU 2293347 C2, 10.02.2007. DE 4122108 A1, 07.01.1993. US 20060202885 A1, 14.09.2006. US 6184820 B1, 06.02.2001. WO 2008007964 A1, 17.01.2008. CA 1035852 A, 01.08.1978.**

Адрес для переписки:

**111123, Москва, ул. Плеханова, 6, ОАО
"НПП "Салют", СИД ОИИД**

(72) Автор(ы):

Соловьев Борис Иванович (RU)

(73) Патентообладатель(и):

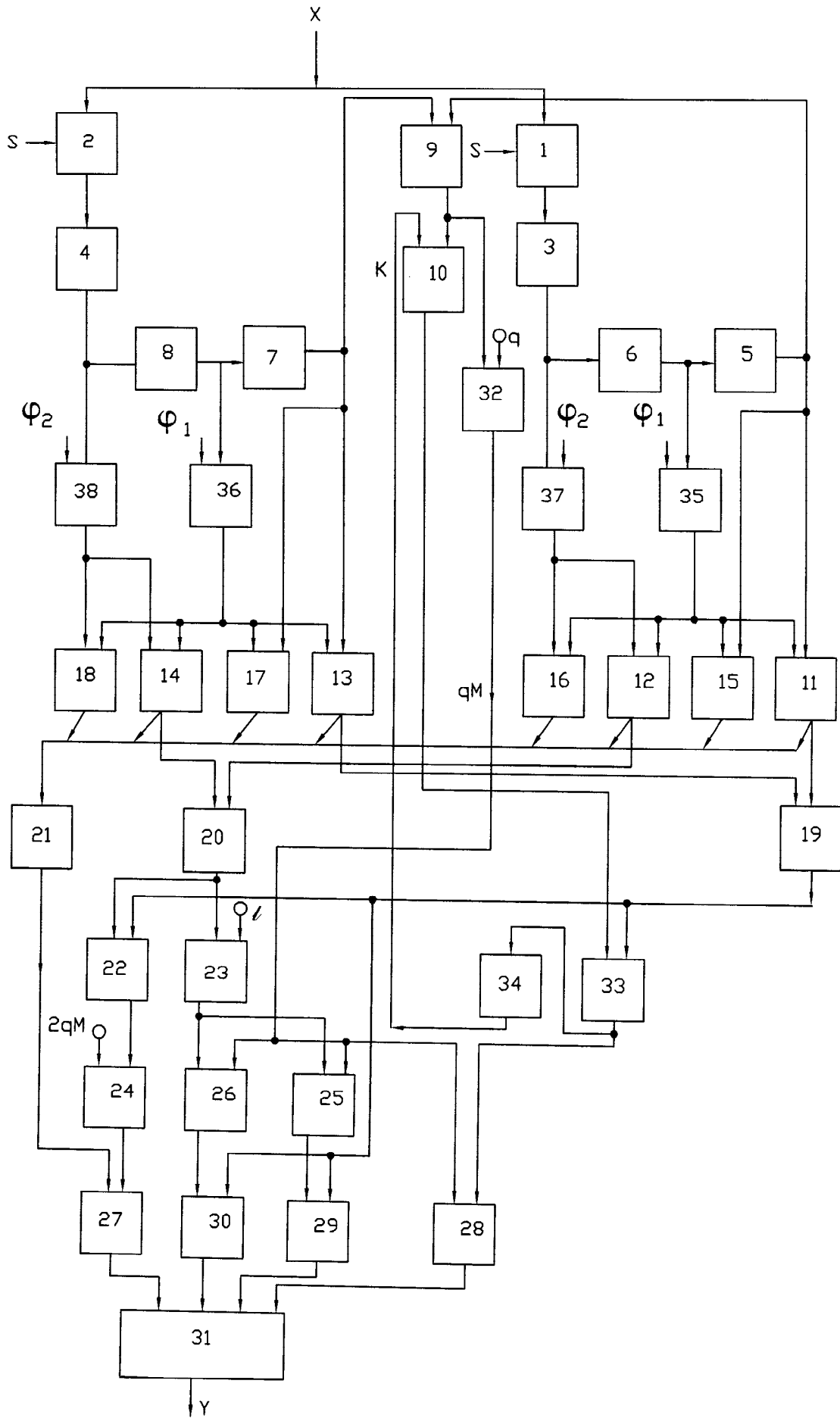
Открытое акционерное общество "Научно-производственное предприятие "Салют" (RU)**(54) УСТРОЙСТВО ДЛЯ ОБРАБОТКИ СИГНАЛА**

(57) Реферат:

Изобретение относится к радиотехнике и может использоваться в радиолокационных станциях (РЛС) обнаружения и сопровождения целей. Достижимый технический результат - исключение попадания на экран информации о пассивных помехах и улучшение наблюдаемости полезных сигналов. Указанный результат достигается за счет того, что обработка сигнала состоит в обнаружении цели при двукратной селекции движущихся целей с вобуляцией периода повторения, заключается в изменении частоты и фазы сигнала, отраженного от цели, относительно

частоты и фазы сигнала пассивной помехи, при этом исключается влияние скорости движения самой РЛС. Устройство для обработки сигналов содержит два фазовых детектора, два аналого-цифрового преобразователя, четыре цифровых линий задержки, десять блоков вычитания, шесть сумматоров, три блока вычислителя модуля, интегратор, дефишратор, три умножителя, четыре схемы сравнения, логический элемент «2И-НЕ», логический элемент «И». Перечисленные средства соединены между собой определенным образом. 1 ил., 1 табл.

RU 2498343 C1



RU 2498343 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G01S 13/52 (2006.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: **2012121593/07, 25.05.2012**

(24) Effective date for property rights:
25.05.2012

Priority:

(22) Date of filing: **25.05.2012**

(45) Date of publication: **10.11.2013 Bull. 31**

Mail address:

**111123, Moskva, ul. Plekhanova, 6, OAO "NPP
"Saljut", SID OIID**

(72) Inventor(s):

Solov'ev Boris Ivanovich (RU)

(73) Proprietor(s):

**Otkrytoe aktsionernoe obshchestvo "Nauchno-
produzvodstvennoe predpriyatje "Saljut" (RU)**

(54) **SIGNAL PROCESSING APPARATUS**

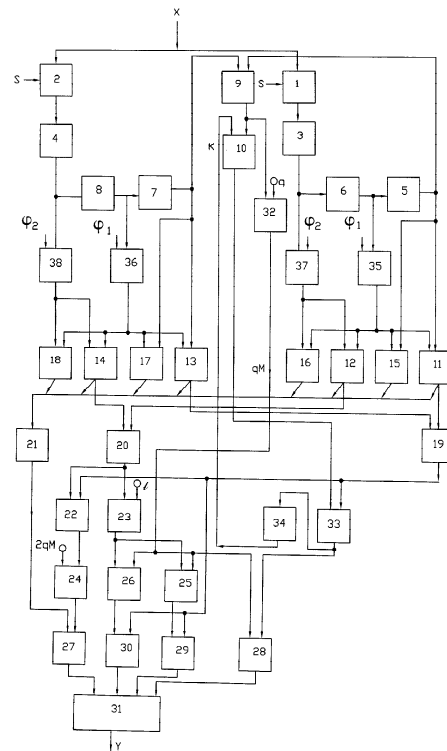
(57) Abstract:

FIELD: radio engineering, communication.

SUBSTANCE: signal processing involves detecting a target with double selection of moving targets with repetition period wobbling, varying the frequency and phase of the signal reflected from the target relative the frequency and phase of a passive jamming signal, wherein the effect of the speed of the radar system itself is eliminated. The signal processing device includes two phase detectors, two analogue-to-digital converters, four digital delay lines, ten subtractors, six adders, three modulus computer units, an integrator, a decoder, three multipliers, four comparator circuits, a two-input NAND logic element and an AND logic element. The listed devices are connected to each other in a certain manner.

EFFECT: avoiding display of passive jamming information on the screen and improved observability useful signals.

1 dwg



RU 2 498 343 C1

RU 2 498 343 C1

Изобретение относится к радиотехнике и может использоваться в радиолокационных станциях (далее РЛС) обнаружения и сопровождения целей, в которых производится когерентная обработка сигналов.

Известно из уровня техники устройство для подавления пассивных помех (а.с.СССР №743208), содержащее два канала, каждый из которых состоит из трех основных перемножителей, сумматора и последовательно соединенных фазового детектора, аналого-цифрового преобразователя, первого и второго блоков памяти, причем первые входы фазовых детекторов каналов объединены, а выходы первого блока памяти и аналого-цифрового преобразователя подключены соответственно ко входу первого основного перемножителя и первому входу сумматора, второй и третий входы которого соединены соответственно с выходами второго и третьего основных перемножителей, при этом на вторые входы фазовых детекторов поданы опорные сигналы, вычислительный блок и последовательно соединенные блок измерения и усреднения межпериодного сдвига фазы помехи и функциональный преобразователь, а в каждый канал введены два дополнительных перемножителя, причем первый вход первого дополнительного перемножителя одного канала соединен с выходом второго блока памяти другого канала, первый вход и выход второго дополнительного перемножителя соединены соответственно с выходом второго блока памяти и одним из дополнительных входов сумматора, другой дополнительный вход которого соединен с выходом первого дополнительного перемножителя, а вторые входы дополнительных перемножителей соединены с выходами вычислительного блока, ко входу которого подключен выход блока измерения и усреднения междупериодного сдвига фазы помехи, входы которого соединены соответственно с выходами аналого-цифровых преобразователей и первых блоков памяти, при этом выход первого основного перемножителя одного канала подключен к первому входу третьего основного перемножителя другого канала, а вторые входы вторых и третьих основных перемножителей соединены с выходами функционального преобразователя, при этом блок измерения и усреднения междупериодного сдвига фазы помехи содержит последовательно соединенные делитель, функциональный преобразователь и логический блок, соответствующие входы которого соединены со входами делителя, а также два канала, каждый из которых состоит из первого накопителя, первого перемножителя и последовательно соединенных второго накопителя, второго перемножителя и усредняющего сумматора, выход которого подключен с соответствующему входу делителя, при этом второй вход усредняющего сумматора одного канала соединен с выходом первого перемножителя другого канала, входы которого соединены с выходами первого и второго накопителей, причем входы накопителей являются входами блока измерения и усреднения междупериодного сдвига фазы помехи, выходам которого является выход логического блока, при этом вычислительный блок содержит последовательно соединенные блок памяти, сумматор и функциональный преобразователь, выходы которого являются выходами вычислительного блока, входом которого является вход блока памяти, соединенный с вторым входом сумматора.

Известное устройство не может достаточно эффективно обеспечить подавление пассивных помех.

Наиболее близким аналогом (прототипом) предлагаемого технического решения в области селекции движущихся целей (СДЦ) является устройство для обработки сигнала, которое описано в изобретении по патенту РФ №2409822. Устройство для

обработки сигнала содержит два канала, каждый из которых состоит из последовательно соединенных фазового детектора, аналого-цифрового преобразователя, первого и второго блоков памяти, причем первые входы фазовых детекторов каналов объединены и являются входом устройства, а на вторые входы фазовых детекторов поданы опорные сигналы, содержит также первый и второй блоки вычитания в обоих каналах соответственно, первый и второй сумматоры в каждом канале соответственно, первый, второй и третий блок вычислителя модуля, пятый и шестой блок вычитания, интегратор, пятый и шестой сумматоры, дешифратор, первый, второй и третий умножители, первая, вторая, третья и четвертая схема сравнения, логический элемент «2И-НЕ», логический элемент «И», причем в каждом канале аналого-цифровой преобразователь соединен с первыми входами первого сумматора и с первыми входами первого блока вычитания соответственно, в каждом канале выходы первого блока памяти - цифровой линии задержки соединены со вторыми входами первого блока вычитания и первого сумматора, с первыми входами второго блока вычитания и второго сумматора соответственно, выходы второго блока памяти - цифровой линии задержки соединены со вторыми входами второго блока вычитания и второго сумматора соответственно, выходы первых блоков вычитания первого и второго каналов соединены с первым и вторым входами первого блока вычислителя модуля соответственно, выходы вторых блоков вычитания первого и второго каналов соединены с первым и вторым входами второго блока вычислителя модуля соответственно, выходы знакового разряда первого и второго блоков вычитания первого и второго каналов и первого и второго сумматоров первого и второго каналов соединены со входом дешифратора, выходы вторых блоков памяти -цифровых линий задержки первого и второго каналов соединены с первым и вторым входами третьего блока вычислителя модуля соответственно, выход третьего блока вычислителя модуля соединен с первыми входами первого и третьего умножителей, выход интегратора соединен со вторым входом первого умножителя, а на второй вход третьего умножителя вводится постоянный коэффициент q , выход первого умножителя соединен со вторым входом шестого блока вычитания, выход шестого блока вычитания соединен со вторым входом второй схемы сравнения и со входом интегратора, выход второго блока вычислителя модуля соединен с первым входом третьей и четвертой схем сравнения, с первым входом шестого блока вычитания и с первым входом пятого сумматора, выход первого блока вычислителя модуля соединен со вторым входом пятого сумматора и с первым входом второго умножителя, на второй вход которого введен постоянный коэффициент l , а выход соединен с входом пятого блока вычитания и первым входом шестого сумматора, выход третьего умножителя соединен со вторыми входами пятого блока вычитания и шестого сумматора, а также с первым входом второй схемы сравнения, а выходы пятого блока вычитания и шестого сумматора подключены ко вторым входам третьей и четвертой схем сравнения соответственно, выход пятого сумматора соединен с первым входом первой схемы сравнения, на второй вход которой подан с выхода третьего умножителя сигнал, умноженный на два за счет смещения разрядной сетки, а выход подключен к первому входу логического элемента «2И-НЕ», выход дешифратора соединен со вторым входом логического элемента «2И-НЕ», выходы второй, третьей, четвертой схем сравнения соединены со вторым, третьим и четвертым входами логического элемента «И», и выход логического элемента «2И-НЕ» соединен с первым входом логического элемента «И», выход логического элемента «И» является выходом устройства Y .

Устройство работает следующим образом. На первые входы фазовых детекторов поступает информационный эхо-сигнал на частоте когерентного гетеродина, на вторые входы S фазовых детекторов подается опорное напряжение когерентного гетеродина со сдвигом на 90° . При этом информационный эхо-сигнал разбивается на квадратуры. С выходов фазовых детекторов видеосигналы поступают на аналого-цифровые преобразователи, где дескретизируются по времени и преобразуются в цифровую форму.

Недостатком известного устройства является то, что в процессе обнаружения и сопровождения целей возможны потери сигналов малоподвижных целей.

Известное цифровое устройство не обеспечивает достаточной эффективности селекции малоподвижных целей, т.к. в процессе движения корабля происходит ухудшение подавления пассивных помех из-за недостаточно широкой зоны режекции. Следовательно, в процессе эксплуатации приходится расширять зону режекции. Но при этом ухудшается наблюдаемость целей и с экранов цели могут исчезать.

Задачей, на решение которой направлено предполагаемое изобретение, является повышение эффективности селекции движущихся целей (СДЦ) и улучшение обнаружения и сопровождения малоподвижных целей при движении корабля.

Техническими результатами, достигаемыми при реализации заявленного изобретения, является то, что за счет компенсации скорости движения корабля происходит исключение выноса на экран информации о пассивных помехах, а также происходит улучшение наблюдаемости полезных сигналов, в том числе и на фоне пассивных помех во время движения корабля. Таким образом компенсация скорости корабля при его движении исключает возможность ухудшения наблюдаемости и исчезновения малоподвижных целей с экранов.

Влияние на достижение указанных технических результатов оказывают следующие существенные признаки. В устройстве для обработки сигнала, содержащем два канала, каждый из которых состоит из последовательно соединенных фазового детектора, аналого-цифрового преобразователя, первого и второго блоков памяти, содержащем первый и второй блоки вычитания в обоих каналах соответственно, первый и второй сумматоры в каждом канале соответственно, первый, второй и третий блоки вычислителя модуля, пятый и шестой блоки вычитания, интегратор, пятый и шестой сумматоры, дешифратор, первый, второй и третий умножители, первая, вторая, третья и четвертая схемы сравнения, логический элемент «2И-НЕ», логический элемент «И», причем первые входы фазовых детекторов каналов объединены и являются информационными входами эхо-сигнала, а на вторые входы фазовых детекторов поданы опорные сигналы, в каждом канале выходы второго блока памяти - цифровой линии задержки соединены со вторыми входами второго блока вычитания и второго сумматора соответственно, выходы первых блоков вычитания первого и второго каналов соединены с первым и вторым входами первого блока вычислителя модуля соответственно, выходы вторых блоков вычитания первого и второго каналов соединены с первым и вторым входами второго блока вычислителя модуля соответственно, выходы знакового разряда первого и второго блоков вычитания первого и второго каналов и первого и второго сумматоров первого и второго каналов соединены со входом дешифратора, выходы вторых блоков памяти -цифровых линий задержки первого и второго каналов соединены с первым и вторым входами третьего блока вычислителя модуля соответственно, выход третьего блока вычислителя модуля соединен с первыми входами первого и третьего умножителей, выход интегратора соединен со вторым входом первого умножителя, а

на второй вход третьего умножителя вводится постоянный коэффициент q , выход первого умножителя соединен со вторым входом шестого блока вычитания, выход шестого блока вычитания соединен со вторым входом второй схемы сравнения и с входом интегратора, выход второго блока вычислителя модуля соединен с первым входом шестого блока вычитания и с первым входом пятого сумматора, выход первого блока вычислителя модуля соединен со вторым входом пятого сумматора и с первым входом второго умножителя, на второй вход которого введен постоянный коэффициент l , а выход соединен с первым входом пятого блока вычитания и первым входом шестого сумматора, выход третьего умножителя соединен со вторыми входами пятого блока вычитания и шестого сумматора, а также с первым входом второй схемы сравнения, выходы пятого блока вычитания и шестого сумматора подключены к вторым входам третьей и четвертой схем сравнения соответственно, выход пятого сумматора соединен с первым входом первой схемы сравнения, на второй вход которой подан с выхода третьего умножителя сигнал, умноженный на два за счет смещения разрядной сетки, а выход подключен к первому входу логического элемента «2И-НЕ», выход дешифратора соединен с вторым входом логического элемента «2И-НЕ», выходы второй, третьей, четвертой схем сравнения соединены с вторым, третьим и четвертым входами логического элемента «И» и выход логического элемента «2И-НЕ» соединен с первым входом логического элемента «И», выход логического элемента «И» является выходом устройства Y , причем в устройство для обработки сигнала введены седьмой и восьмой блоки вычитания в оба канала, причем в каждом канале выходы аналогово-цифрового преобразователя соединены с первыми входами седьмых блоков вычитания, на вторые входы седьмых блоков вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_2 , выходы седьмых блоков вычитания соединены с первыми входами первых блоков вычитания и первых сумматоров соответственно, в каждом канале выходы первого блока памяти - цифровой линии задержки соединены с первыми входами восьмого блока вычитания, на вторые входы восьмого блока вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_1 , выходы восьмого блока вычитания соединены со вторыми входами первого блока вычитания и первого сумматора, с первыми входами второго блока вычитания и второго сумматора соответственно.

Отличительными признаками предложенного устройства является то, что в устройство для обработки сигнала введены седьмой и восьмой блоки вычитания в оба канала, причем в каждом канале выходы аналогово-цифрового преобразователя соединены с первыми входами седьмых блоков вычитания, на вторые входы седьмых блоков вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_2 , выходы седьмых блоков вычитания соединены с первыми входами первых блоков вычитания и первых сумматоров соответственно, в каждом канале выходы первого блока памяти - цифровой линии задержки соединены с первыми входами восьмого блока вычитания, на вторые входы восьмого блока вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_1 , выходы восьмого блока вычитания соединены со вторыми входами первого блока вычитания и первого сумматора, с первыми входами второго блока вычитания и второго сумматора соответственно.

Сущность работы предлагаемого устройства основана на изменении частоты и фазы сигнала, отраженного от движущейся цели, относительно частоты и фазы

отраженного от пассивной помехи при двукратной СДЦ с вобуляцией периода повторения. Учитывается при этом ширина спектра пассивной помехи и расширение спектра за счет вращения антенны. При вобуляции периода повторения учитывается направление векторов разности фаз сигнала, отраженного от цели, и фаз сигнала, отраженного от пассивной помехи. При этом направление вектора разности фаз сигнала, отраженного от цели, полученного в зоне «слепых» скоростей, противоположно направлению вектора разности фаз сигнала, отраженного от пассивной помехи. При этом повышается эффективность СДЦ за счет того что квадратурные составляющие доплеровского приращения частоты от скорости движения корабля исключаются из квадратурной обработки сигнала. То есть, независимо от скорости движения корабля при последующей обработке сигнал, отраженный от неподвижной пассивной помехи, не имеет доплеровского приращения частоты, а сигнал, отраженный от движущейся цели, имеет доплеровское приращение частоты, соответствующее скорости цели. Таким образом увеличивается вероятность обнаружения цели на фоне пассивной помехи за счет компенсации скорости движения корабля, повышает эффективность селекции движущейся цели.

Сущность изобретения поясняется графическими материалами.

На фиг.1 представлена блочная схема устройства для обработки сигнала.

Предложенное устройство предназначено для использования в радиолокационных станциях корабля. Устройство обработки сигнала обеспечивает обнаружение цели при двукратной СДЦ с вобуляцией периода повторения и содержит: входы когерентного гетеродина S, фазовые детекторы 1, 2, аналогово-цифровые преобразователи 3, 4, блоки памяти - цифровые линии задержки на период T_2 - 5, 7 и блоки памяти - цифровые линии задержки на период T_1 - 6, 8, вычислители модуля 9,19,20, умножители 10, 23, 32, блоки вычитания 11, 12, 13, 14, 25, 33, 35, 36, 37, 38, сумматоры 15, 16, 17, 18, 22, 26, дешифратор 21, схемы сравнения 24, 28, 29, 30, логический элемент «2И-НЕ» 27, логический элемент «И» 31 с выходом Y, интегратор 34.

Предлагаемое устройство для обработки сигнала, содержит два канала. Каналы состоят из последовательно соединенных фазового детектора 1, 2, аналого-цифрового преобразователя 3, 4, первого и второго блоков памяти -цифровых линий задержки 5, 6, 7, 8, причем первые входы фазовых детекторов 1, 2 каналов объединены и являются входом устройства X, а на вторые входы фазовых детекторов 1, 2 поданы опорные сигналы S. Устройство также содержит первые 12, 14, вторые 11, 13, седьмые 37, 38, восьмые 35, 36 блоки вычитания в каждом канале соответственно, а также первые 16, 18 и вторые 15, 17 сумматоры в каждом канале соответственно. В устройство включены пятый и шестой блок вычитания 25, 33, первый, второй и третий блок вычислителя модуля 20, 19, 9, пятый и шестой сумматоры 22, 26, дешифратор 21, первый, второй и третий умножители 10, 23, 32, первая, вторая, третья и четвертая схема сравнения 24, 28, 29, 30, логический элемент «2И-НЕ» 27, логический элемент «И» 31, интегратор 34. Причем в каждом канале аналого-цифровой преобразователь 3, 4 соединен с входами первого блока памяти - цифровой линии задержки 6, 8 соответственно и с первыми входами седьмого блока вычитания 37, 38 соответственно. На вторые входы блока вычитания 37, 38 поданы цифровые коды доплеровского приращения фазы от скорости движения корабля φ_2 . В каждом канале выходы седьмого блока вычитания 37, 38 соединены с первыми входами первого сумматора 16, 18 и с первыми входами первого блока вычитания 12, 14 соответственно выходы первого блока памяти - цифровой линии задержки 6, 8

соединены с входами второго блока памяти - цифровой линии задержки 5, 7 и с первыми входами восьмого блока вычитания 35, 36, на вторые входы блока вычитания 35, 36 поданы цифровые коды доплеровского приращения фазы от скорости движения корабля φ_1 . В каждом канале выходы восьмого блока вычитания 35, 36 соединены со вторыми входами первого сумматора 16, 18, со вторыми входами первого блока вычитания 12, 14, с первыми входами второго сумматора 15, 17, с первыми входами второго блока вычитания 11, 13. Выходы второго блока памяти - цифровой линии задержки 5, 7 соединены со вторыми входами второго блока вычитания 11, 13 и второго сумматора 15, 17 соответственно. Выходы первых блоков вычитания 12, 14 первого и второго каналов соединены с первым и вторым входами первого блока вычислителя модуля 20 соответственно. Выходы вторых блоков вычитания 11, 13 первого и второго каналов соединены с первым и вторым входами второго блока вычислителя модуля 19 соответственно. Выходы знакового разряда первых 12, 14 и вторых 11, 13 блоков вычитания первого и второго каналов и первых 16, 18 и вторых 15, 17 сумматоров первого и второго каналов соединены со входом дешифратора 21.

Выходы вторых блоков памяти - цифровых линий задержки 5, 7 первого и второго каналов соединены с первым и вторым входами третьего блока вычислителя модуля 9 соответственно. Выход третьего блока вычислителя модуля 9 соединен с первыми входами первого и третьего умножителей 10, 32. Выход интегратора 34 соединен со вторым входом первого умножителя 10, а на второй вход третьего умножителя 32 вводится постоянный коэффициент q . Выход первого умножителя 10 соединен со вторым входом шестого блока вычитания 33, выход шестого блока вычитания 33 соединен со вторым входом второй схемы сравнения 28 и со входом интегратора 34. Выход второго блока вычислителя модуля 19 соединен с первыми входами третьей и четвертой схем сравнения 29, 30 с первым входом шестого блока вычитания 33 и с первым входом пятого сумматора 22. Выход первого блока вычислителя модуля 20 соединен со вторым входом пятого сумматора 22 и с первым входом второго умножителя 23, на второй вход которого введен постоянный коэффициент l , а выход соединен с первым входом пятого блока вычитания 25 и первым входом шестого сумматора 26. Выход третьего умножителя 32 соединен со вторыми входами пятого блока вычитания 25 и шестого сумматора 26, а также с первым входом второй схемы сравнения 28, а выходы пятого блока вычитания 25 и шестого сумматора 26 подключены ко вторым входам третьей и четвертой схем сравнения 29, 30 соответственно. Выход пятого сумматора 22 соединен с первым входом первой схемы сравнения 24, на второй вход которой подан с выхода третьего умножителя 32 сигнал, умноженный на два за счет смещения разрядной сетки (связь на чертеже не показана), а выход подключен к первому входу логического элемента «2И-НЕ» 27. Выход дешифратора 21 соединен со вторым входом логического элемента «2И-НЕ» 27, выходы второй, третьей и четвертой схем сравнения 28, 29, 30 соединены со вторым, третьим и четвертым входами логического элемента «И» 31 и выход логического элемента «2И-НЕ» 27 соединен с первым входом логического элемента «И» 31, выход логического элемента «И» 31 является выходом устройства Y .

Устройство работает следующим образом. На первые входы фазовых детекторов 1, 2 поступает информационный эхо-сигнал на частоте когерентного гетеродина, на вторые входы S фазовых детекторов 1, 2 подается опорное напряжение когерентного гетеродина со сдвигом на 90° . При этом информационный эхо-сигнал разбивается на квадратуры. С выходов фазовых детекторов 1, 2 видеосигналы

поступают на аналого-цифровые преобразователи 3, 4, где дескретизируются по времени и преобразуются в цифровую форму. Затем цифровые сигналы поступают на первые блоки памяти - цифровые линии задержки (запоминающие устройства) 6, 8. Сначала записывается первый сигнал и задерживается на период T_1 . В момент записи второго сигнала происходит считывание первого сигнала, который затем поступает во вторые блоки памяти - цифровые линии задержки (запоминающее устройство) 5, 7 и задерживается на период T_2 .

Адреса блоков памяти - цифровых линий задержек вырабатываются от тактовой частоты в самих блоках памяти - цифровых линиях задержки и обеспечивают последовательную запись сигналов всех элементов дальности каждого периода повторения. В момент прихода третьего сигнала считывается первый сигнал, задержанный на (T_1+T_2) , и второй сигнал, задержанный на T_1 . При этом на блоках вычитания 37, 38 из третьего сигнала вычитается доплеровское приращение фазы за счет скорости движения корабля

$$\Phi_2 = \frac{2V_k}{\lambda}(T_1 + T_2),$$

где V_k - радиальная скорость корабля

λ - длина волны излучаемого сигнала,

На блоках вычитания 35, 36 из второго сигнала вычитается доплеровское приращение фазы за счет скорости движения корабля

$$\Phi_1 = \frac{2V_k}{\lambda}T_2$$

в каждом канале соответственно.

Затем все три сигнала одновременно поступают в суммарно-разностную схему обработки. Тройки квадратурных составляющих сигналов с амплитудами U_1, U_2, U_3 поступают на блоки вычитания 11, 12, 13, 14 и сумматоры 15, 16, 17, 18, где вычисляются разности и суммы проекций векторов: (a_1-a_2) 11, (a_2-a_3) 12, (a_1+a_2) 15, (a_2+a_3) 16, (b_1-b_2) 13, (b_2-b_3) 14, (b_1+b_2) 17, (b_2+b_3) 18.

Составляющие первого импульса с двух квадратур, задержанные на время T_1+T_2 , поступают на вычислитель модуля 9, где вычисляется амплитуда первого импульса по формуле:

$$|U_1| = \sqrt{a_1^2 + b_1^2} \quad (1)$$

где a_1, b_1 - проекции вектора U_1 , соответствующие квадратурам. Амплитуды импульсов U_1, U_2, U_3 равны, поэтому для нормирования выбран модуль амплитуды первого импульса U_1 , который проходит приемный тракт в то время, когда нет неоднозначных сигналов. Обозначим $|U_1| = M$.

При этом признаком пассивной помехи является выражение

$$|U_1 - U_2| < K \times M \leq q \times M, \quad (2)$$

причем K поступает с интегратора 34. Модуль M умножается на коэффициент K в умножителе 10. Интегратор 34 за определенное время накапливает K , определяемый минимальным значением остатка выходного напряжения на блоке вычитания 33. Время адаптации к пассивной помехе не превышает максимального времени, определяемого динамическим диапазоном устройства и устанавливается с учетом длительности зондирующего сигнала. Обычно пассивные помехи, например берег или облака, имеют большую отражающую поверхность, чем цель. И за время облучения

пассивной помехи интегратор набирает определенный весовой коэффициент, который практически не изменяется за малое время воздействия сигнала от движущейся цели, т.е. происходит селекция помехи и цели.

В зависимости от ширины спектра пассивной помехи соответственно модулю разности сигналов $|U_1 - U_2|$ весовой коэффициент автоматически перестраивается

под необходимую зону режекции, определяемую из отношения

$$\frac{|U_1 - U_2|}{M} = \left| 2 \sin \frac{\Delta\varphi}{2} \right|, \quad (3)$$

где $\Delta\varphi$ - разность фаз между $|U_1$ и $U_2|$ для данной ширины спектра пассивной помехи с учетом вращения антенны.

Для дисперсии доплеровского спектра $\delta_{c_{max}}=100$ Гц и периода повторения $T_{п}=1,4$ мс сдвиг фазы составляет $\Delta\varphi=50^\circ$. Для $\delta_{min}=20$ Гц, соответственно $\Delta\varphi=10^\circ$. Исходя из этого К может плавно изменяться от $K_{max}=1$ (при $\Delta\varphi=60^\circ$) до $K_{min}=3 \times 2^{-4}$ (при $\Delta\varphi=10^\circ$).

Выражение пассивной помехи (2) анализируется на обычной схеме сравнения 28, после чего сигнал о наличии пассивной помехи поступает на логический элемент «И» 31.

Модуль разности двух сигналов $|U_1 - U_2|$ вычисляется на вычислителе модуля 19, на выходы которого поступают с блоков вычитания 11, 13 двух квадратур значения (a_1-a_2) , (b_1-b_2) . Модуль разности $|U_2 - U_3|$ вычисляется на вычислителе модуля 20, на выходы которого поступают с блоков вычитания 12, 14 двух квадратур значения (a_2-a_3) , (b_2-b_3) . На сумматоре 22 производится суммирование модулей разности: $(|U_1 - U_2|) + (|U_2 - U_3|)$. На умножителе 32 происходит умножение $q \times M$. На

схеме сравнения 24 происходит сравнение:

$$|U_1 - U_2| + |U_2 - U_3| > 2q \times M, \quad (4)$$

где коэффициент q определяет модуль максимальной разности фаз за счет шумового отклонения векторов при заданном соотношении «сигнал/шум». Например, при соотношении «сигнал/шум»: $U_c / U_{ш} = 2^5$

при $|U_c| = 1$ значение $q = |U_{ш}| = 2^{-5}$.

Если модули разности фаз сигналов (U_1-U_2) , (U_2-U_3) не превышают заданного шумового разброса векторов, указанные разности фаз могут принимать любой знак. При этом со схем сравнения 24 через логический элемент «2И-НЕ» 27 выдается сигнал отсутствия цели на логический элемент «И» 31, к которому через логический элемент «2И-НЕ» 27 подключается и знаковый дешифратор 21. Знаковый дешифратор 21, который анализирует направление и очередность векторов U_1, U_2, U_3 за счет знаков суммы и разности проекций, поступающих на дешифратор 21 с сумматоров 15, 16, 17 и 18 и блоков вычитания 11, 12, 13 и 14. Дешифратор 21 может быть построен на постоянном запоминающем устройстве (ПЗУ), состоящем из микросхем 556РТ5, прошитых согласно данным таблицы.

a_1-a_2	b_1-b_2	a_1+a_2	b_1+b_2	a_2-a_3	b_2-b_3	a_2+a_3	b_2+b_3	
X_1	X_2	X_3	X_4	X_5	X_6	X_7	X_8	Y
-		+	-	+	+	+	-	1
-	-	+	-	+	-	-	-	1

	-	+	-	-	+	-	-	-	1
	-	+	-	-	-	-	-	+	1
	+	+	-	+	-	-	-	+	1
	+	+	-	+	-	+	+	+	1
5	+	-	+	+	-	+	+	+	1
	+	-	+	+	+	+	+	-	1
	+	+	+	-	-	-	+	-	1
	+	+	+	-	+	-	+	+	1
	-	+	+	+	+	-	+	+	1
10	-	+	+	+	+	+	-	+	1
	-	-	-	+	+	+	-	+	1
	-	-	-	+	-	+	-	-	1
	+	-	-	-	-	+	-	-	1
	-	-	-	-	-	-	+	-	1

15 Согласно данной таблице учитывается положение векторов в зонах «слепых» скоростей амплитудно-частотной характеристики (АЧХ) двукратной СДЦ. При несовпадении вырабатывается признак пассивной помехи.

В умножителе 23 модуль разности амплитуд $|U_2 - U_3|$ умножается на

20 коэффициент l , равный $l=T_1/T_2$ и учитывающий вобуляцию периода повторения зондирующих импульсов. Коэффициент l можно менять при изменении вобуляции периода повторения зондирующих импульсов или автоматически менять согласно программе работы станции. В сумматоре 26 вычисляется сумма: , а в блоке
 25 вычитания 25 - разность: $1 \times |U_2 - U_3| - q \times M$.

Затем в схемах сравнения 30 и 29 происходит сравнение:

$$1 \times |U_2 - U_3| + q \times M > |U_1 - U_2|; 1 \times |U_2 - U_3| - q \times M < |U_1 - U_2|. \quad (5)$$

30 При этом учитывается отклонение векторов за счет шумового отклонения векторов в области нуля скоростной характеристики и выдается признак пассивной помехи на логический элемент «И» 31. При совпадении всех перечисленных выше четырех признаков пассивной помехи на входах логического элемента «И» 31 на его выходе формируется сигнал, поступающий на выход Y и указывающий на наличие пассивной
 35 помехи, в которой отсутствует цель. Таким образом, можно избежать выноса на экран информации о пассивных помехах и улучшить наблюдаемость полезных сигналов, в том числе и на фоне пассивной помехи.

40 Возможность изменения параметра l при изменении вобуляции периода повторения в процессе работы станции позволяет увеличить вероятность обнаружения цели на фоне пассивной помехи.

45 Возможность адаптироваться под ширину спектра пассивной помехи, т.е. накапливать коэффициент K в процессе работы станции, позволяет находить оптимальную наблюдаемость на экране индикатора с учетом реальной ширины спектра пассивной помехи и с учетом различных метеорологических условий. В связи с тем, что в вычислениях участвует модуль первого импульса $|U_1|$, появляется
 возможность освободиться от неоднозначных сигналов.

50 В зоне первой «слепой» скорости векторы U_1, U_2, U_3 занимают такое положение, при котором модули разности фаз $|U_1 - U_2|, |U_2 - U_3|$ минимальны, и обнаружитель может принять скоростную цель за пассивную помеху. Но при таком положении векторов эхо-сигналов от скоростной цели имеется отличие от расположения векторов эхо-сигналов от пассивной помехи, т.е. имеется отличие по совокупности знаков

суммы и разности векторов. Таким образом, сущность работы предлагаемого устройства основана на изменении частоты и фазы сигнала, отраженного от цели, относительно частоты и фазы сигнала от пассивной помехи. При этом учитывается ширина спектра пассивной помехи и расширение спектра за счет вращения антенны.

5 При вобуляции периода повторения учитывается направление векторов разности фаз сигнала, отраженного от цели, и фаз сигнала, отраженного от пассивной помехи, причем направление вектора разности фаз сигнала, отраженного от цели, полученного в зоне «слепых» скоростей, противоположно направлению вектора
10 разности фаз сигнала, отраженного от пассивной помехи. Квадратурные составляющие доплеровского приращения частоты от скорости движения платформы исключаются из квадратурной обработки сигнала, отраженного от цели. Т.е. при последующей обработке сигнал, отраженный от неподвижной пассивной
15 помехи, не имеет доплеровского приращения частоты, а сигнал, отраженный от движущейся цели, имеет доплеровское приращение частоты, пропорциональное скорости цели, что повышает эффективность СДЦ.

Таким образом, в предложенной структурной электрической схеме устройства предварительно компенсируется скорость движения корабля, поэтому повышается
20 точность последующих вычислений, за счет этого повышается вероятность обнаружения цели на фоне пассивной помехи, при этом появляется возможность увеличивать вероятность обнаружения цели на фоне пассивной помехи в процессе обнаружения за счет компенсации скорости движения корабля, возникает реальная
25 возможность повысить эффективность селекции движущейся цели.

Формула изобретения

Устройство для обработки сигнала, содержащее два канала, каждый из которых состоит из последовательно соединенных фазового детектора, аналого-цифрового
30 преобразователя, первого и второго блоков памяти, содержащее первый и второй блоки вычитания в обоих каналах соответственно, первый и второй сумматоры в каждом канале соответственно, первый, второй и третий блоки вычислителя модуля, пятый и шестой блоки вычитания, интегратор, пятый и шестой сумматоры,
35 дешифратор, первый, второй и третий умножители, первую, вторую, третью и четвертую схемы сравнения, логический элемент «2И-НЕ», логический элемент «И», причем первые входы фазовых детекторов каналов объединены и являются информационными входами эхо-сигнала, а на вторые входы фазовых детекторов
40 поданы опорные сигналы, в каждом канале выходы второго блока памяти - цифровой линии задержки соединены со вторыми входами второго блока вычитания и второго сумматора соответственно, выходы первых блоков вычитания первого и второго каналов соединены с первым и вторым входами первого блока вычислителя модуля
45 соответственно, выходы вторых блоков вычитания первого и второго каналов соединены с первым и вторым входами второго блока вычислителя модуля соответственно, выходы знакового разряда первого и второго блоков вычитания первого и второго каналов и первого и второго сумматоров первого и второго
50 каналов соединены со входом дешифратора, выходы вторых блоков памяти - цифровых линий задержки первого и второго каналов соединены с первым и вторым входами третьего блока вычислителя модуля соответственно, выход третьего блока вычислителя модуля соединен с первыми входами первого и третьего умножителей, выход интегратора соединен со вторым входом первого умножителя, а на второй вход третьего умножителя вводится постоянный коэффициент q , выход первого

умножителя соединен со вторым входом шестого блока вычитания, выход шестого блока вычитания соединен со вторым входом второй схемы сравнения и с входом интегратора, выход второго блока вычислителя модуля соединен с первыми входами третьей и четвертой схем сравнения, с первым входом шестого блока вычитания и с 5 первым входом пятого сумматора, выход первого блока вычислителя модуля соединен со вторым входом пятого сумматора и с первым входом второго умножителя, на второй вход которого введен постоянный коэффициент 1, а выход соединен с первым входом пятого блока вычитания и первым входом шестого 10 сумматора, выход третьего умножителя соединен со вторыми входами пятого блока вычитания и шестого сумматора, а также с первым входом второй схемы сравнения, выходы пятого блока вычитания и шестого сумматора подключены к вторым входам третьей и четвертой схем сравнения соответственно, выход пятого сумматора соединен с первым входом первой схемы сравнения, на второй вход которой подан с 15 выхода третьего умножителя сигнал, умноженный на два за счет смещения разрядной сетки, а выход подключен к первому входу логического элемента «2И-НЕ», выход дешифратора соединен с вторым входом логического элемента «2И-НЕ», выходы второй, третьей, четвертой схем сравнения соединены с вторым, третьим и четвертым 20 входами логического элемента «И» и выход логического элемента «2И-НЕ» соединен с первым входом логического элемента «И», выход логического элемента «И» является выходом устройства Y, отличающееся тем, что введены седьмой и восьмой блоки вычитания в оба канала, причем в каждом канале выходы аналогово-цифрового преобразователя соединены с первыми входами седьмых блоков 25 вычитания, на вторые входы седьмых блоков вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_2 , выходы седьмых блоков вычитания соединены с первыми входами первых блоков вычитания и первых сумматоров соответственно, в каждом канале выходы первого блока памяти - цифровой линии задержки соединены с первыми входами восьмого блока вычитания, 30 на вторые входы восьмого блока вычитания введен цифровой код доплеровского приращения фазы от скорости движения корабля φ_1 , выходы восьмого блока вычитания соединены со вторыми входами первого блока вычитания и первого сумматора, с первыми входами второго блока вычитания и второго сумматора 35 соответственно.

40

45

50