



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I751487 B

(45) 公告日：中華民國 111 (2022) 年 01 月 01 日

(21) 申請案號：109103934

(22) 申請日：中華民國 108 (2019) 年 01 月 04 日

(51) Int. Cl. : H04B1/10 (2006.01)

H04B1/16 (2006.01)

(71) 申請人：瑞鼎科技股份有限公司 (中華民國) RAYDIUM SEMICONDUCTOR CORPORATION
(TW)

新竹市科學工業園區力行路 23 號 2 樓

(72) 發明人：張家華 CHANG, CHIA HUA (TW)

(74) 代理人：李貞儀

(56) 參考文獻：

TW 200824314A

TW 200931796A

審查人員：陳宇超

申請專利範圍項數：2 項 圖式數：9 共 26 頁

(54) 名稱

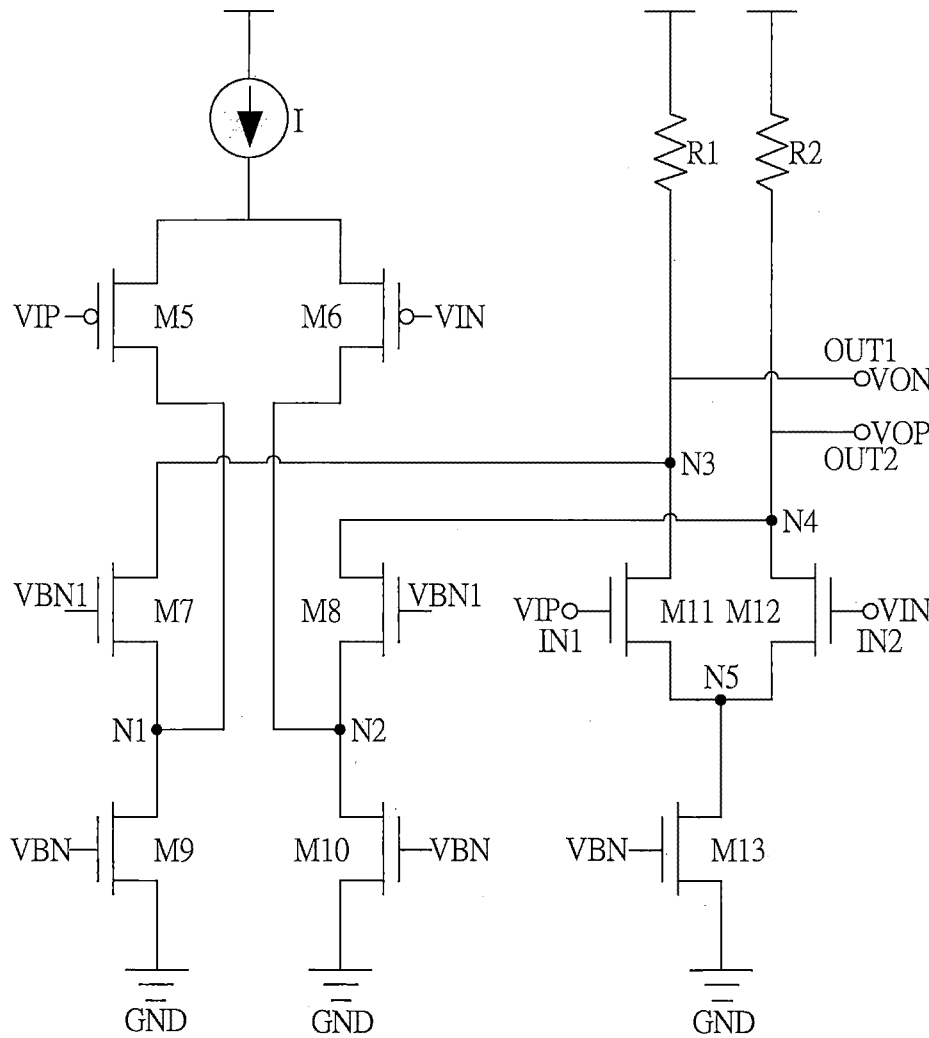
接收器前端電路及其運作方法

(57) 摘要

本發明揭露一種接收器前端電路及其運作方法。接收器前端電路包含軌對軌輸入級及後級電路。軌對軌輸入級用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號並進行放大處理後輸出內部輸入共模電壓訊號。後級電路耦接軌對軌輸入級，用以接收內部輸入共模電壓訊號。軌對軌輸入級之輸入共模電壓接收範圍大於後級電路之輸入共模電壓接收範圍。

A receiver front-end circuit and an operating method thereof are disclosed. The receiver front-end circuit includes a rail-to-rail input stage and a rear stage circuit. The rail-to-rail input stage is configured to increase an input common-mode voltage receiving range to completely receive an external input common-mode voltage signal with dynamic common-mode voltage disturbance, perform an amplifying processing on the external input common-mode voltage signal and output an internal input common-mode voltage signal. The rear-stage circuit is coupled to the rail-to-rail input stage and configured to receive the internal input common-mode voltage signal. The input common-mode voltage receiving range of the rail-to-rail input stage is larger than the input common-mode voltage receiving range of the rear-stage circuit.

指定代表圖：



符號簡單說明：

50:軌至軌輸入級

I:電流源

M5~M13:第五電晶體~第十三電晶體

R1~R2:第一電阻~第二電阻

IN1~IN2:第一輸入端~第二輸入端

OUT1~OUT2:第一輸出端~第二輸出端

N1~N5:第一接點~第五接點

VIP:第一輸入電壓

VIN:第二輸入電壓

VON:第一輸出電壓

VOP:第二輸出電壓

VBN、VBN1:控制電壓

GND:接地端

圖 6

I751487

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】(中文/英文)

接收器前端電路及其運作方法 /RECEIVER FRONT-END
CIRCUIT AND OPERTING METHOD THEREOF

【中文】

本發明揭露一種接收器前端電路及其運作方法。接收器前端電路包含軌對軌輸入級及後級電路。軌對軌輸入級用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號並進行放大處理後輸出內部輸入共模電壓訊號。後級電路耦接軌對軌輸入級，用以接收內部輸入共模電壓訊號。軌對軌輸入級之輸入共模電壓接收範圍大於後級電路之輸入共模電壓接收範圍。

【英文】

A receiver front-end circuit and an operating method thereof are disclosed. The receiver front-end circuit includes a rail-to-rail input stage and a rear stage circuit. The rail-to-rail input stage is configured to increase an input common-mode voltage receiving range to completely receive an external input common-mode voltage signal with dynamic common-mode voltage disturbance, perform an amplifying processing on the external input common-mode voltage signal and output an internal input common-mode voltage signal. The rear-stage circuit is coupled to the rail-to-rail input stage and configured to receive the internal input common-mode voltage signal. The input common-mode voltage receiving range of the rail-to-rail

input stage is larger than the input common-mode voltage receiving range of the rear-stage circuit.

【代表圖】

【本案指定代表圖】：第(6)圖。

【本代表圖之符號簡單說明】：

50：軌至軌輸入級

I：電流源

M5~M13：第五電晶體~第十三電晶體

R1~R2：第一電阻~第二電阻

IN1~IN2：第一輸入端~第二輸入端

OUT1~OUT2：第一輸出端~第二輸出端

N1~N5：第一接點~第五接點

VIP：第一輸入電壓

VIN：第二輸入電壓

VON：第一輸出電壓

VOP：第二輸出電壓

VBN、VBN1：控制電壓

GND：接地端

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

接收器前端電路及其運作方法 /RECEIVER FRONT-END
CIRCUIT AND OPERATING METHOD THEREOF

【技術領域】

【0001】 本發明係與接收器有關，尤其是關於一種接收器前端電路及其運作方法。

【先前技術】

【0002】 請參照圖1，圖1繪示傳統的接收器前端等化器的示意圖。如圖1所示，傳統的接收器前端等化器1可將其接收到的訊號放大並消除符號間干擾 (Inter-Symbol Interference, ISI) 效應，但傳統的接收器前端等化器1對於輸入訊號的共模電壓範圍有其操作限制。

【0003】 一般而言，共模電壓可分為靜態共模電壓及動態共模電壓。對於靜態共模電壓範圍限制通常可透過選擇使用P型輸入級或是N型輸入級來對應。在正常的使用狀態下，動態共模電壓通常會維持在一個很小的擾動範圍內。

【0004】 然而，一旦輸入訊號受到干擾時很可能會造成大量的動態共模電壓擾動，因而導致接收器前端等化器1失效。

【0005】 舉例而言，如圖2所示，當接收器前端等化器1正常操作時，輸入訊號突然受到雜訊干擾而造成動態共模電壓擾動的現象。其中，共模電壓CV的區域R1為穩定的共模電壓CV1且共模

電壓CV的區域R2為具有動態共模電壓擾動的共模電壓CV2，因而導致接收器前端等化器1無法正常運作，亟待改善。

【發明內容】

【0006】 有鑑於此，本發明提出一種接收器前端電路及其運作方法，以有效解決先前技術所遭遇到之上述問題。

【0007】 根據本發明之一具體實施例為一種接收器前端電路。於此實施例中，接收器前端電路包含軌對軌輸入級及後級電路。軌對軌輸入級用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號並進行放大處理後輸出內部輸入共模電壓訊號。後級電路耦接軌對軌輸入級，用以接收內部輸入共模電壓訊號。其中，軌對軌輸入級之輸入共模電壓接收範圍大於後級電路之輸入共模電壓接收範圍。

【0008】 於一實施例中，後級電路為接收器前端等化器，包含第一電阻、第二電阻、第一電晶體、第二電晶體、第三電晶體、第四電晶體、電阻及電容。第一電晶體耦接第一電阻，第一電晶體之閘極耦接至軌對軌輸入級。第二電晶體耦接第二電阻，第二電晶體之閘極耦接至軌對軌輸入級。第三電晶體耦接於第一電晶體與接地端之間。第四電晶體耦接於第二電晶體與接地端之間。電阻之一端耦接至第一電晶體與第三電晶體之間且其另一端耦接至第二電晶體與第四電晶體之間。電容之一端耦接至第一電晶體與第三電晶體之間且其另一端耦接至第二電晶體與第四電晶體之間。

【0009】 於一實施例中，軌對軌輸入級包含電流源、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體、第十電晶體、第十一電晶體、第十二電晶體、第十三電晶體、第一電阻及第二電阻。第五電晶體耦接電流源。第六電晶體耦接電流源。第七電晶體耦接第五電晶體於第一接點。第八電晶體耦接第六電晶體於第二接點。第九電晶體耦接於第一接點與接地端之間。第十電晶體耦接於第二接點與接地端之間。第十一電晶體耦接第三接點且其閘極耦接第一輸入端。第十二電晶體耦接第四接點且其閘極耦接第二輸入端。第十三電晶體耦接於第五接點與接地端之間。第一電阻耦接第三接點及第一輸出端。第二電阻耦接第四接點及第二輸出端。

【0010】 根據本發明之另一具體實施例為一種接收器前端電路運作方法。於此實施例中，接收器前端電路運作方法用以運作接收器前端電路。接收器前端電路包含軌對軌輸入級及後級電路。接收器前端電路運作方法包含下列步驟：軌對軌輸入級增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號並進行放大處理後輸出內部輸入共模電壓訊號；以及後級電路自軌對軌輸出級接收內部輸入共模電壓訊號；其中，軌對軌輸入級之輸入共模電壓接收範圍大於後級電路之輸入共模電壓接收範圍。

【0011】 於一實施例中，後級電路為接收器前端等化器或放大級電路。

【0012】 相較於先前技術，本發明的接收器前端電路及其運作方法可大幅改善接收器前端電路對於輸入訊號的靜態共模電壓範圍及動態共模電壓範圍的限制，尤其是在系統受到動態共模電壓擾動的情況下，本發明的接收器前端電路還能正確地接收處理含有大量動態共模電壓擾動的輸入訊號，故可有效避免傳統的接收器前端電路由於大量動態共模電壓擾動而失效之情事發生。

【0013】 關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

【圖式簡單說明】

【0014】 圖1繪示傳統的接收器前端電路的示意圖。

【0015】 圖2繪示當接收器前端電路正常操作時，突然受到雜訊干擾而造成動態共模電壓擾動的示意圖。

【0016】 圖3繪示根據本發明之一較佳具體實施例之接收器前端電路的示意圖。

【0017】 圖4繪示圖3中之共模抑制電路之一實施例。

【0018】 圖5繪示根據本發明之另一較佳具體實施例之接收器前端電路的示意圖。

【0019】 圖6繪示圖5中之軌至軌(Rail-to-rail)輸入級之一實施例。

【0020】 圖7繪示透過軌至軌輸入級電路擴大輸入共模電壓接收範圍之示意圖。

【0021】 圖8繪示根據本發明之另一較佳具體實施例之接收

器前端電路運作方法的流程圖。

【0022】 圖9繪示根據本發明之另一較佳具體實施例之接收器前端電路運作方法的流程圖。

【實施方式】

【0023】 根據本發明之一具體實施例為一種接收器前端電路。請參照圖3，圖3繪示此實施例之接收器前端電路的示意圖。

【0024】 如圖3所示，接收器前端電路3包含共模抑制電路30及後級電路32。後級電路32耦接共模抑制電路30。共模抑制電路30用以接收外部輸入共模電壓訊號並對外部輸入共模電壓訊號進行共模雜訊抑制處理後輸出內部輸入共模電壓訊號。後級電路32用以接收內部輸入共模電壓訊號。其中，內部輸入共模電壓訊號之動態擺幅小於外部輸入共模電壓訊號之動態擺幅。

【0025】 於此實施例中，後級電路32為接收器前端等化器，但不以此為限，亦可以是一般的放大級電路。後級電路32包含第一電阻R1、第二電阻R2、第一電晶體M1、第二電晶體M2、第三電晶體M3、第四電晶體M4、電阻R及電容C。

【0026】 第一電晶體M1耦接第一電阻R1，第一電晶體M1之閘極耦接至共模抑制電路30且受控於第一輸入電壓VIP。第二電晶體M2耦接第二電阻R2，第二電晶體M2之閘極耦接至共模抑制電路30且受控於第二輸入電壓VIN。第三電晶體M3耦接於第一電晶體M1與接地端GND之間且其閘極受控於控制電壓VBS。第四電晶體M4耦接於第二電晶體M2與接地端GND之間且其閘極受控於控制電壓

VBS。

【0027】 電阻R之一端耦接至第一電晶體M1與第三電晶體M3之間且其另一端耦接至第二電晶體M2與第四電晶體M4之間。電容C之一端耦接至第一電晶體M1與第三電晶體M3之間且其另一端耦接至第二電晶體M2與第四電晶體M4之間。第一輸出電壓VON係由第一電阻R1與第一電晶體M1之間輸出。第二輸出電壓VOP係由第二電阻R2與第二電晶體M2之間輸出。

【0028】 接著，請參照圖4，於一實施例中，共模抑制電路30可包含第一電容C1、第二電容C2、第一電阻R1、第二電阻R2、第三電阻R3、第四電阻R4、第五電晶體M5、第六電晶體M6、第七電晶體M7、第八電晶體M8、第五電阻R5及第六電阻R6。於此實施例中，第一電晶體M1、第二電晶體M2、第三電晶體M3及第四電晶體M4均為N型電晶體，但不以此為限。

【0029】 第一電容C1耦接於第一輸入端IN1與第一接點N1之間。第二電容C2耦接於第二輸入端IN2與第二接點N2之間。第一電阻R1耦接第一接點N1。第二電阻R2耦接於第一接點N1與接地端GND之間。第三電阻R3耦接第二接點N2。第四電阻R4耦接於第二接點N2與接地端GND之間。

【0030】 第五電晶體M5之閘極耦接第一接點N1。第六電晶體M6之閘極耦接第二接點N2。第七電晶體M7耦接第五電晶體M5及第六電晶體M6於第三接點N3。第八電晶體M8耦接於第七電晶體M7與接地端GND之間。第七電晶體M7及第八電晶體M8分別受控於

控制電壓VBS2及控制電壓VBS1。第五電阻R5耦接第五電晶體M5於第一輸出端OUT1。第六電阻R6耦接第六電晶體M6於第二輸出端OUT2。

【0031】 需說明的是，當共模抑制電路30之第一輸入端IN1及第二輸入端IN2接收到外部輸入共模電壓訊號時，先藉由第一電容C1及第二電容C2阻絕外部輸入共模電壓訊號之直流電壓，再藉由串接的第一電阻R1與第二電阻R2以及串接的第三電阻R3與第四電阻R4進行分壓，或是採用電流源搭配電阻串之方式，或是採用回授放大器產生偏壓之方式，以產生內部輸入共模電壓訊號。

【0032】 此外，流經串接的第七電晶體M7與第八電晶體M8之串疊尾端電流(cascode tail current)可提供共模雜訊抑制能力，藉以消除內部輸入共模電壓訊號的動態擺幅。

【0033】 根據本發明之另一具體實施例亦為一種接收器前端電路。請參照圖5，圖5繪示此實施例之接收器前端電路的示意圖。

【0034】 如圖5所示，接收器前端電路5包含軌對軌輸入級50及後級電路52。軌對軌輸入級50用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號並進行放大處理後輸出內部輸入共模電壓訊號。後級電路52耦接軌對軌輸入級50，用以接收內部輸入共模電壓訊號。其中，軌對軌輸入級50之輸入共模電壓接收範圍大於後級電路52之輸入共模電壓接收範圍。

【0035】 於此實施例中，後級電路52為接收器前端等化器，

但不以此為限，亦可以是一般的放大級電路。

【0036】 後級電路52包含第一電阻R1、第二電阻R2、第一電晶體M1、第二電晶體M2、第三電晶體M3、第四電晶體M4、電阻R及電容C。

【0037】 第一電晶體M1耦接第一電阻R1，第一電晶體M1之閘極耦接至軌對軌輸入級50且受控於第一輸入電壓VIP。第二電晶體M2耦接第二電阻R2，第二電晶體M2之閘極耦接至軌對軌輸入級50且受控於第二輸入電壓VIN。第三電晶體M3耦接於第一電晶體M1與接地端GND之間且受控於控制電壓VBS。第四電晶體M4耦接於第二電晶體M2與接地端GND之間且受控於控制電壓VBS。

【0038】 電阻R之一端耦接至第一電晶體M1與第三電晶體M3之間且其另一端耦接至第二電晶體M2與第四電晶體M4之間。電容C之一端耦接至第一電晶體M1與第三電晶體M3之間且其另一端耦接至第二電晶體M2與第四電晶體M4之間。

【0039】 接著，請參照圖6，於一實施例中，軌對軌輸入級50包含電流源I、第五電晶體M5、第六電晶體M6、第七電晶體M7、第八電晶體M8、第九電晶體M9、第十電晶體M10、第十一電晶體M11、第十二電晶體M12、第十三電晶體M13、第一電阻R1及第二電阻R2。

【0040】 第五電晶體M5耦接電流源I及第一接點N1且受控於第一輸入電壓VIP。第六電晶體M6耦接電流源I及第二接點N2且受控於第二輸入電壓VIN。第七電晶體M7耦接於第三接點N3與第一

接點N1之間且受控於控制電壓VBN1。第八電晶體M8耦接於第四接點N4與第二接點N2之間且受控於控制電壓VBN1。第九電晶體M9耦接於第一接點N1與接地端GND之間且受控於控制電壓VBN。第十電晶體M10耦接於第二接點N2與接地端GND之間且受控於控制電壓VBN。

【0041】 第十一電晶體M11耦接於第三接點N3與第五接點N5之間且其閘極耦接第一輸入端IN1而受控於第一輸入電壓VIP。第十二電晶體M12耦接於第四接點N4與第五接點N5之間且其閘極耦接第二輸入端IN2而受控於第二輸入電壓VIN。第十三電晶體M13耦接於第五接點N5與接地端GND之間且受控於控制電壓VBN。

【0042】 第一電阻R1耦接第三接點N3及第一輸出端OUT1。第二電阻R2耦接第四接點N4及第二輸出端OUT2。第一輸出端OUT1及第二輸出端OUT2分別輸出第一輸出電壓VON及第二輸出電壓VOP。

【0043】 請參照圖7，圖7繪示透過軌至軌輸入級電路擴大輸入共模電壓接收範圍之示意圖。

【0044】 如圖7所示，第一電晶體M1耦接等化器EQ與第二電流源I2且受控於第一輸入電壓VIP。第二電晶體M2耦接第一電流源I1與等化器EQ且受控於第一輸入電壓VIP。第三電晶體M3耦接第一電流源I1與等化器EQ且受控於第二輸入電壓VIN。第四電晶體M4耦接等化器EQ與第二電流源I2且受控於第二輸入電壓VIN。第二電流源I2耦接至接地端GND。等化器EQ耦接第一電流源I1與第二電流

源I2。

【0045】 需說明的是，由於軌至軌輸入級電路的輸入共模電壓範圍VCM可包含N型輸入級NIS的輸入共模電壓範圍以及P型輸入級PIS的輸入共模電壓範圍，故可有效擴大軌至軌輸入級電路接收輸入共模電壓的電壓範圍。因此，即使輸入訊號具有動態共模電壓擾動，軌對軌輸入級50仍能完整接收並對其進行放大處理後輸出至後級電路52。

【0046】 根據本發明之另一具體實施例為一種接收器前端電路運作方法。於此實施例中，接收器前端電路運作方法用以運作接收器前端電路。接收器前端電路包含共模抑制電路及後級電路。後級電路可以是接收器前端等化器或放大級電路。

【0047】 請參照圖8，圖8係繪示根據本發明之另一較佳具體實施例之接收器前端電路運作方法的流程圖。如圖8所示，接收器前端電路運作方法可包含下列步驟：

【0048】 步驟S10：共模抑制電路接收外部輸入共模電壓訊號；

【0049】 步驟S12：共模抑制電路對外部輸入共模電壓訊號進行共模雜訊抑制處理後輸出內部輸入共模電壓訊號；以及

【0050】 步驟S14：後級電路自共模抑制電路接收內部輸入共模電壓訊號。

【0051】 其中，內部輸入共模電壓訊號之動態擺幅小於外部輸入共模電壓訊號之動態擺幅。

【0052】 於實際應用中，步驟S12可先藉由電容阻絕外部輸入共模電壓訊號之直流電壓，再藉由電阻串進行分壓，或是電流源搭配電阻串，或是回授放大器產生偏壓之方式產生內部輸入共模電壓訊號，以及藉由流經串接的兩電晶體之串疊尾端電流(cascode tail current)提供共模雜訊抑制能力，以消除內部輸入共模電壓訊號的動態擺幅。

【0053】 根據本發明之另一具體實施例為一種接收器前端電路運作方法。於此實施例中，接收器前端電路運作方法用以運作接收器前端電路。接收器前端電路包含軌對軌輸入級及後級電路。後級電路可以是接收器前端等化器或放大級電路。

【0054】 請參照圖9，圖9係繪示根據本發明之另一較佳具體實施例之接收器前端電路運作方法的流程圖。如圖9所示，接收器前端電路運作方法可包含下列步驟：

【0055】 步驟S20：軌對軌輸入級增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之外部輸入共模電壓訊號

【0056】 步驟S22：軌對軌輸入級進行放大處理後輸出內部輸入共模電壓訊號；以及

【0057】 步驟S24：後級電路自軌對軌輸出級接收內部輸入共模電壓訊號。

【0058】 其中，軌對軌輸入級之輸入共模電壓接收範圍大於後級電路之輸入共模電壓接收範圍。

【0059】 相較於先前技術，本發明的接收器前端電路及其運

作方法可大幅改善接收器前端電路對於輸入訊號的靜態共模電壓範圍及動態共模電壓範圍的限制，尤其是在系統受到動態共模電壓擾動的情況下，本發明的接收器前端電路還能正確地接收處理含有大量動態共模電壓擾動的輸入訊號，故可有效避免傳統的接收器前端電路由於大量動態共模電壓擾動而失效之情事發生。

【0060】 由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。

【符號說明】

【0061】

S10~S14：步驟

S20~S24：步驟

1：接收器前端等化器

CV：共模電壓

R1~R2：區域

CV1：穩定的共模電壓

CV2：劇烈擺幅的共模電壓

3、5：接收器前端電路

30：共模抑制電路

32、52：後級電路

50：軌至軌輸入級

M1~M13：第一電晶體~第十三電晶體

R1~R6：第一電阻~第六電阻

IN1~IN2：第一輸入端~第二輸入端

OUT1~OUT2：第一輸出端~第二輸出端

C1~C2：第一電容~第二電容

N1~N5：第一接點~第五接點

VIP：第一輸入電壓

VIN：第二輸入電壓

VON：第一輸出電壓

VOP：第二輸出電壓

VBS、VBS1~VBS2、VBN、VBN1：控制電壓

GND：接地端

I：電流源

EQ：等化器

I1：第一電流源

I2：第二電流源

VCM：輸入共模電壓範圍

NIS : N型輸入級

PIS : P型輸入級

申請專利範圍

- 1、一種接收器前端電路，包含：
 - 一軌對軌輸入級，用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之一外部輸入共模電壓訊號並進行放大處理後輸出一內部輸入共模電壓訊號；以及
 - 一後級電路，耦接該軌對軌輸入級，用以接收該內部輸入共模電壓訊號；其中，該軌對軌輸入級之輸入共模電壓接收範圍大於該後級電路之輸入共模電壓接收範圍，該後級電路為一接收器前端等化器，該接收器前端等化器包含：
 - 一第一電阻；
 - 一第二電阻；
 - 一第一電晶體，耦接該第一電阻，該第一電晶體之閘極耦接至該軌對軌輸入級；
 - 一第二電晶體，耦接該第二電阻，該第二電晶體之閘極耦接至該軌對軌輸入級；
 - 一第三電晶體，耦接於該第一電晶體與一接地端之間；
 - 一第四電晶體，耦接於該第二電晶體與該接地端之間；
 - 一電阻，其一端耦接至該第一電晶體與該第三電晶體之間且其另一端耦接至該第二電晶體與該第四電晶體之間；
 - 以及
 - 一電容，其一端耦接至該第一電晶體與該第三電晶體之間且其另一端耦接至該第二電晶體與該第四電晶體之間。
- 2、一種接收器前端電路，包含：
 - 一軌對軌輸入級，用以增大輸入共模電壓接收範圍，以完整接收具有動態共模電壓擾動之一外部輸入共模電壓訊號並進行放大處理後輸出一內部輸入共模電壓訊號；以及

一後級電路，耦接該軌對軌輸入級，用以接收該內部輸入共模電壓訊號；

其中該軌對軌輸入級之輸入共模電壓接收範圍大於該後級電路之輸入共模電壓接收範圍，該軌對軌輸入級包含：

一電流源；

一第五電晶體，耦接該電流源；

一第六電晶體，耦接該電流源；

一第七電晶體，耦接該第五電晶體於一第一接點；

一第八電晶體，耦接該第六電晶體於一第二接點；

一第九電晶體，耦接於該第一接點與接地端之間；

一第十電晶體，耦接於該第二接點與接地端之間；

一第十一電晶體，耦接一第三接點且其閘極耦接一第一輸入端；

一第十二電晶體，耦接一第四接點且其閘極耦接一第二輸入端；

一第十三電晶體，耦接於一第五接點與接地端之間；

一第一電阻，耦接該第三接點及一第一輸出端；以及

一第二電阻，耦接該第四接點及一第二輸出端。

圖式

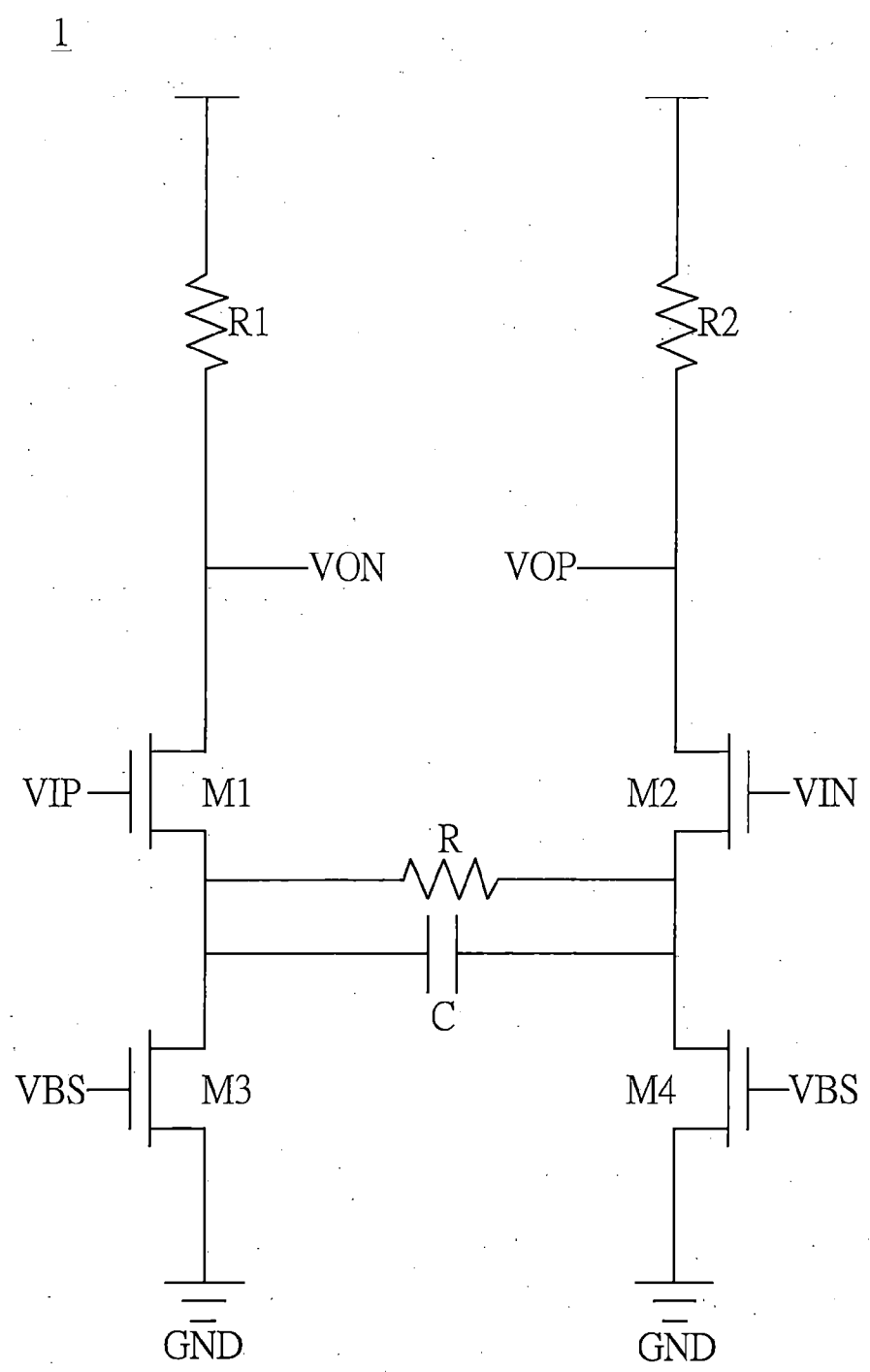


圖 1

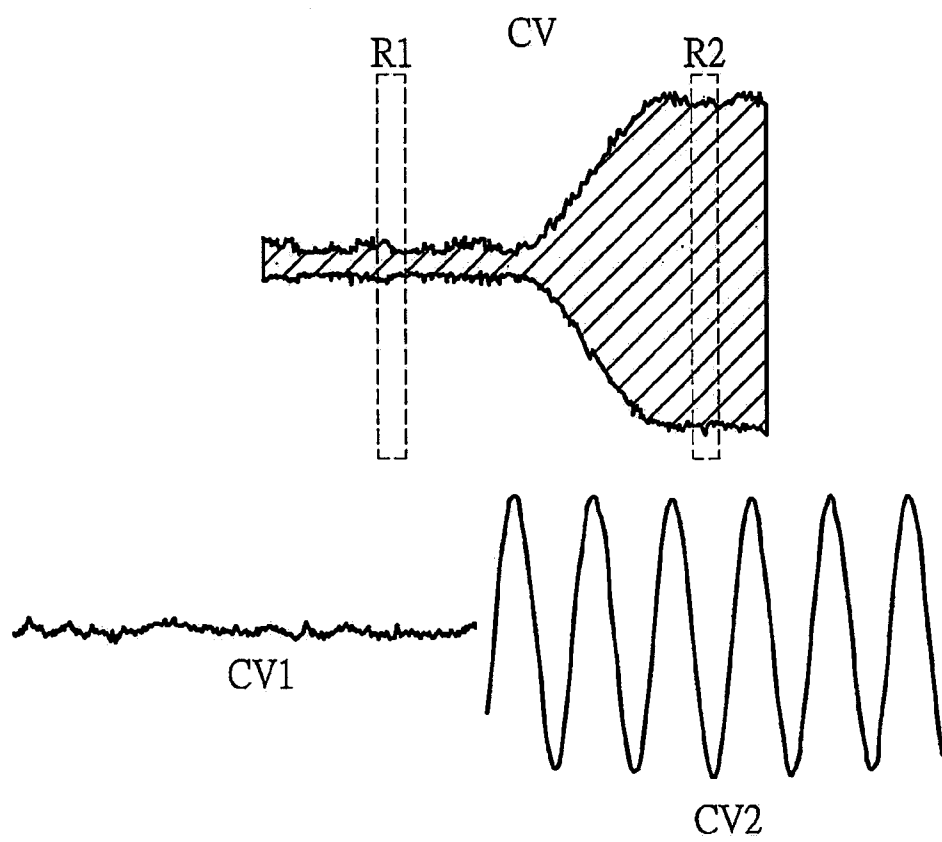


圖 2

3

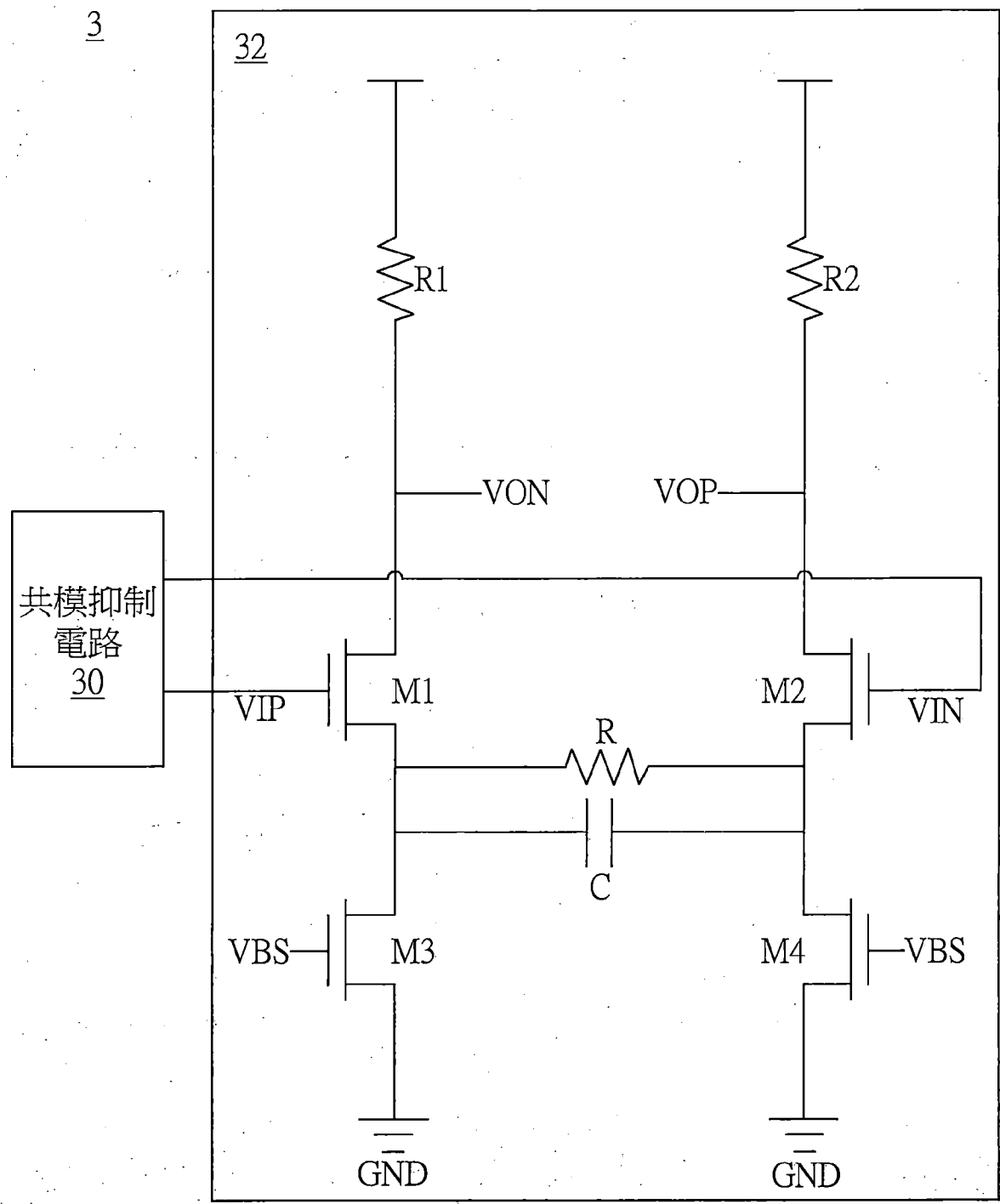


圖 3

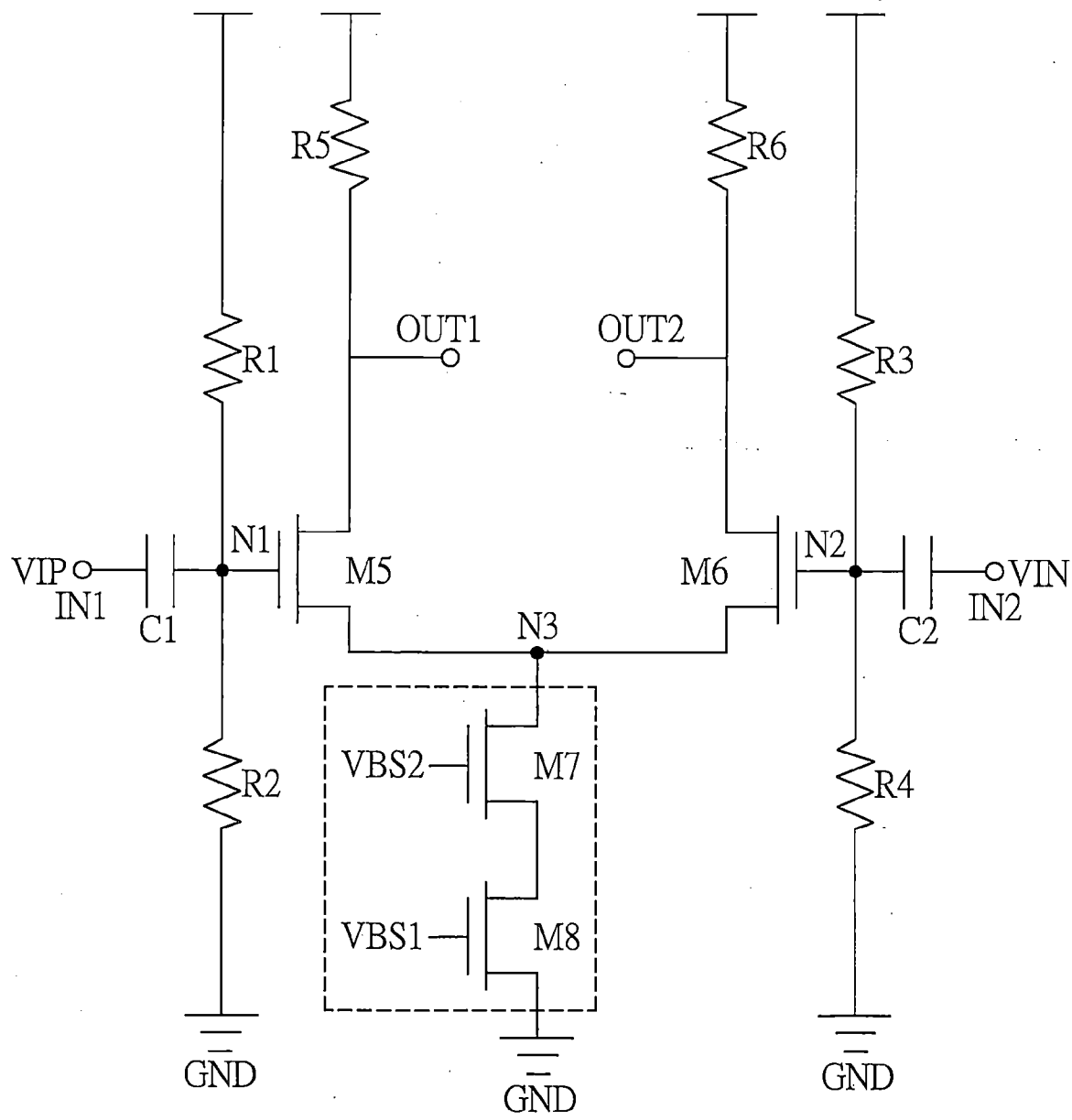


圖 4

5

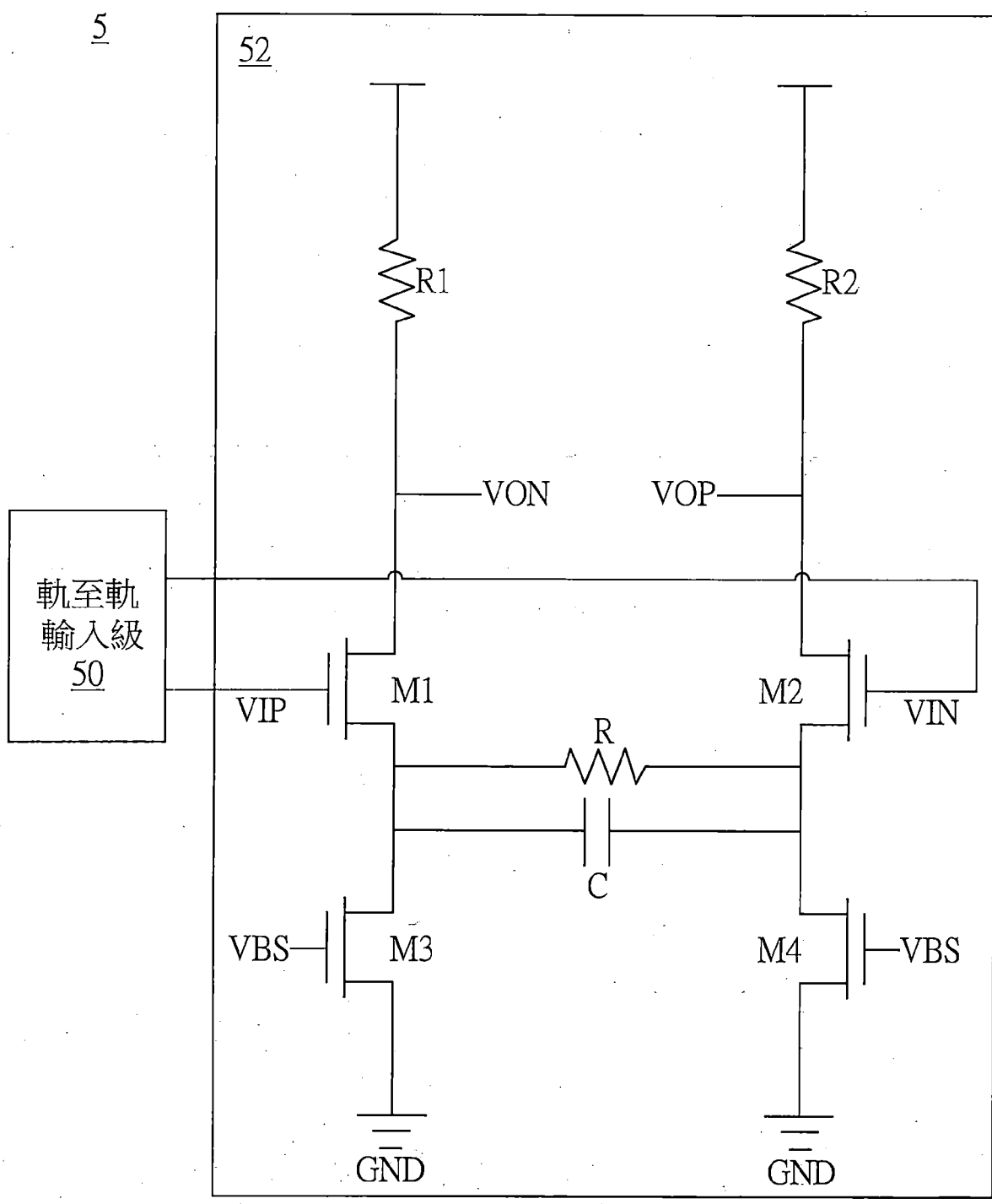


圖 5

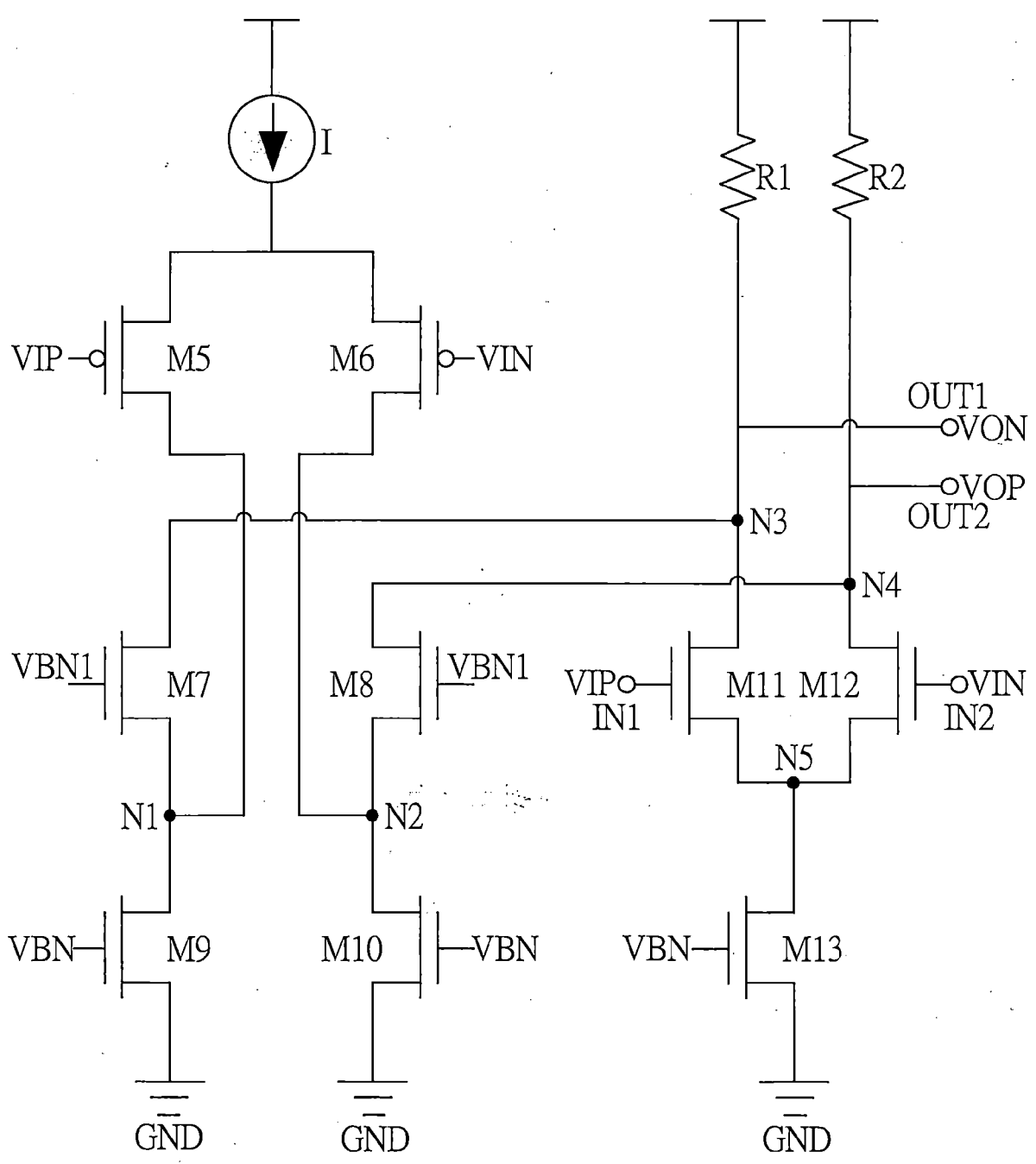


圖 6

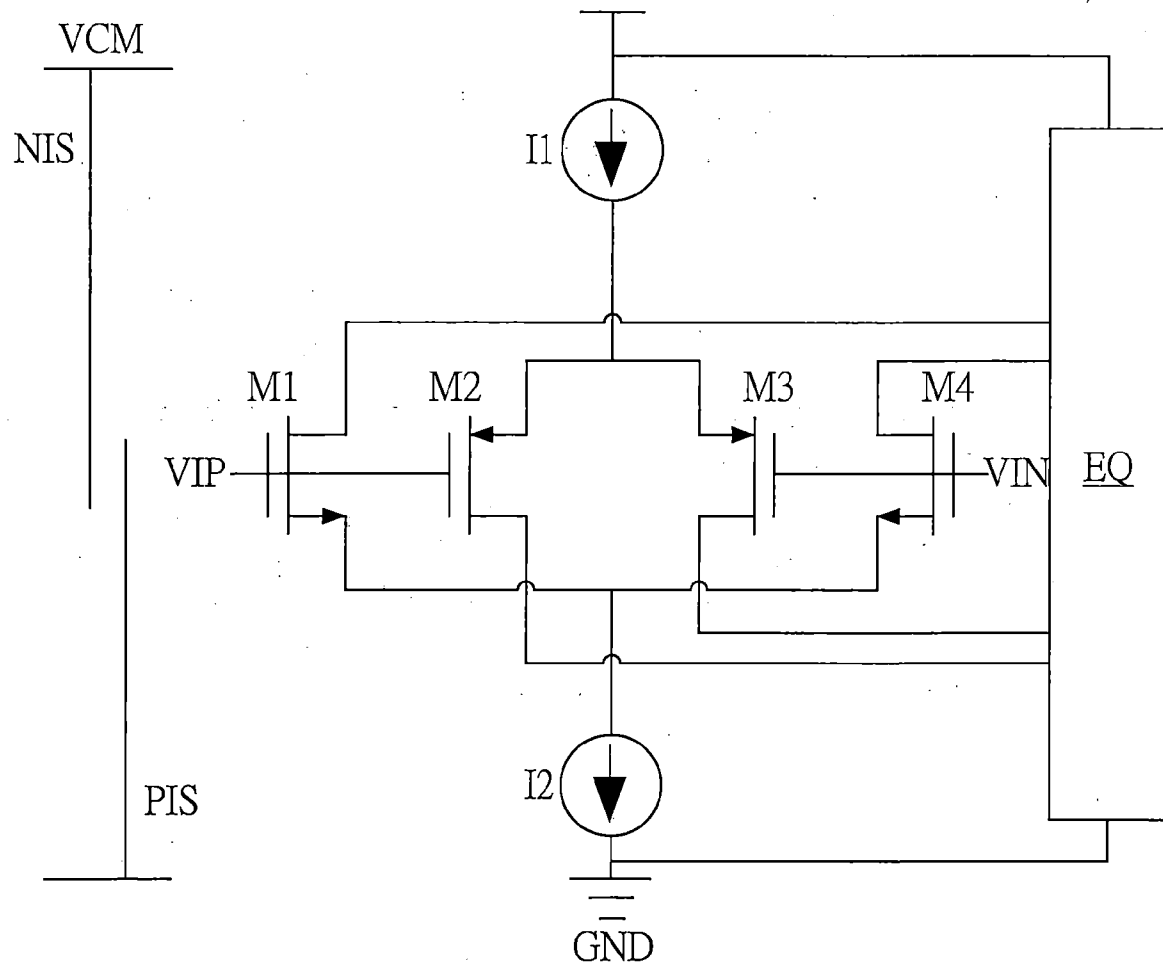


圖 7

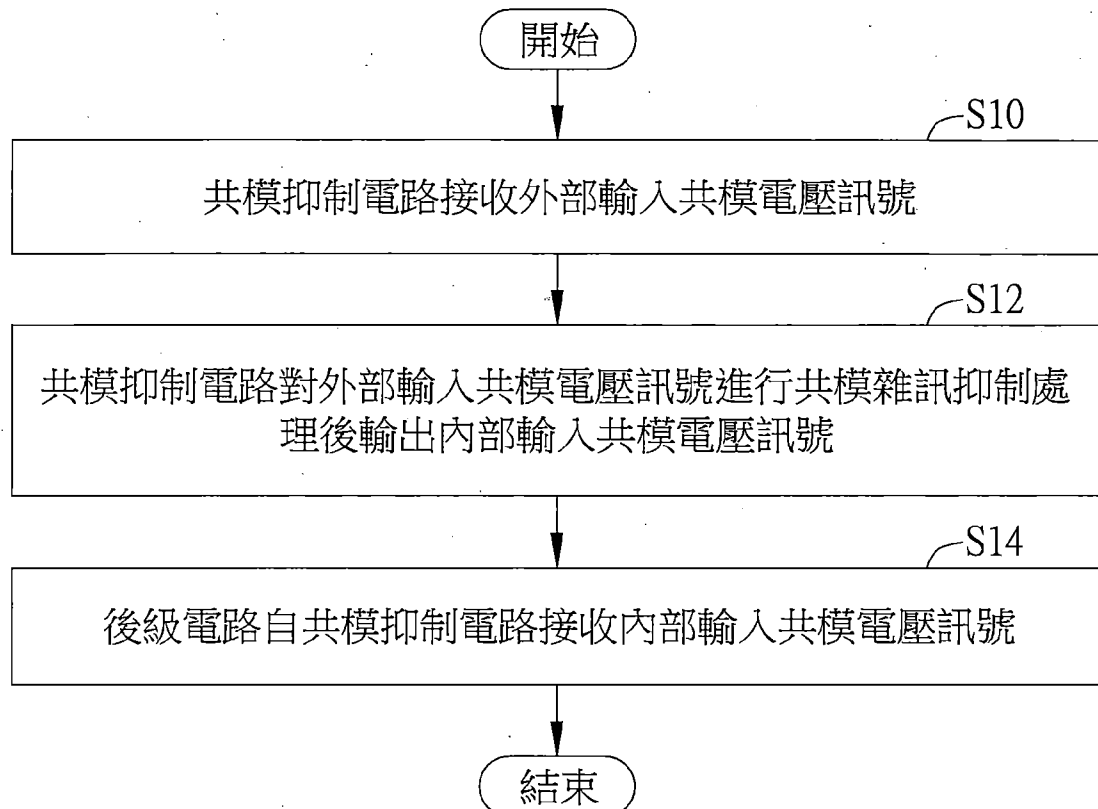


圖 8

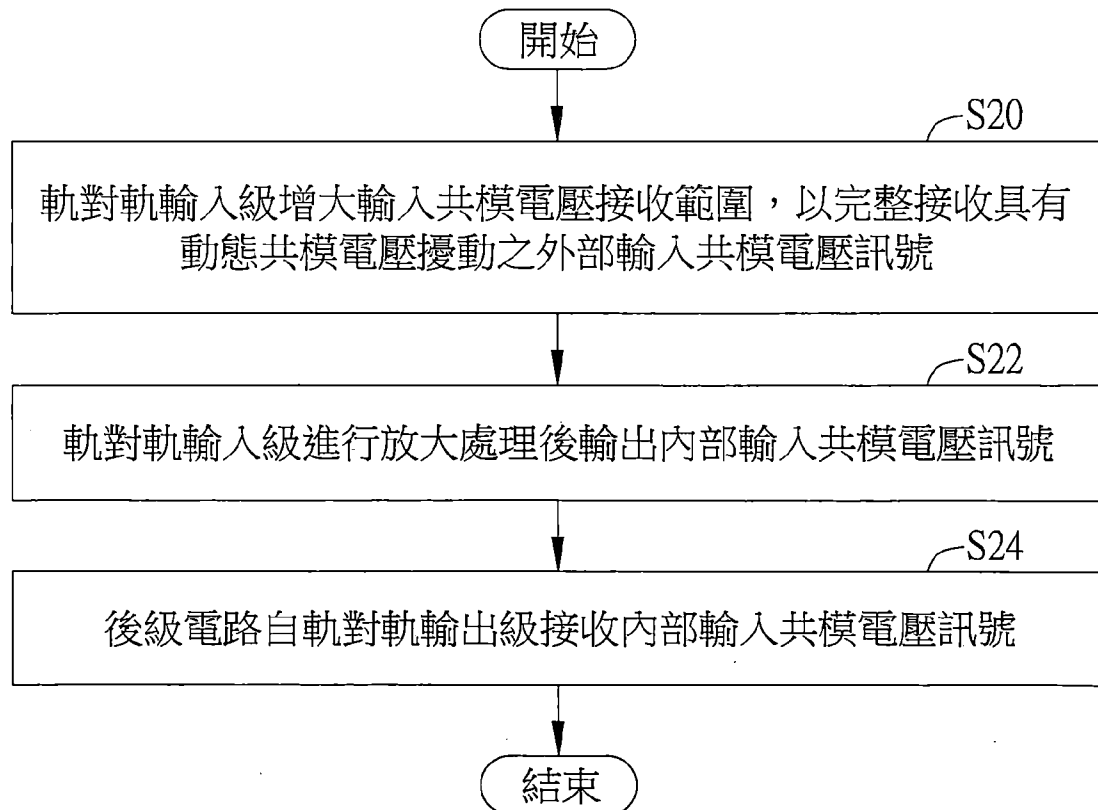


圖 9