



(12) 发明专利

(10) 授权公告号 CN 102142954 B

(45) 授权公告日 2014. 11. 05

(21) 申请号 201010566514. 5

(22) 申请日 2010. 11. 30

(73) 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法务部

(72) 发明人 陈晖

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄乃雷

(51) Int. Cl.

H04L 7/00(2006. 01)

(56) 对比文件

CN 101741853 A, 2010. 06. 16,

CN 1384692 A, 2002. 12. 11,

审查员 行朝霞

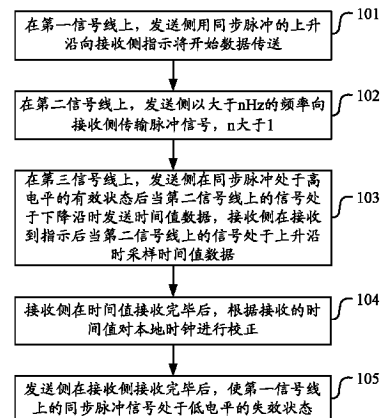
权利要求书2页 说明书6页 附图2页

(54) 发明名称

一种机架内的时间同步方法及设备

(57) 摘要

本发明公开了一种机架内的时间同步方法及设备,包括:在第一信号线上,发送侧用同步脉冲的上升沿向接收侧指示将开始数据传送;在第二信号线上,发送侧以大于nHz的频率向接收侧传输脉冲信号,n大于1;在第三信号线上,发送侧在同步脉冲处于高电平的有效状态后当第二信号线上的信号处于下降沿时发送时间值数据,接收侧在接收到指示后当第二信号线上的信号处于上升沿时采样时间值数据;接收侧在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。本发明累计误差小,精度高,对硬件资源要求不高。总体来说简便可靠,比较容易实现。



1. 一种机架内的时间同步方法,其特征在于,包括如下步骤:

在同步信号线上,发送侧用同步脉冲的上升沿向接收侧指示将开始数据传送;

在时钟信号线上,发送侧以大于 $n\text{Hz}$ 的频率向接收侧传输脉冲信号, n 大于 1;

在数据信号线上,发送侧在同步脉冲处于高电平的有效状态后当时钟信号线上的信号处于下降沿时发送时间值数据,接收侧在接收到指示后当时钟信号线上的信号处于上升沿时采样时间值数据;

接收侧在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

2. 如权利要求 1 所述的方法,其特征在于,发送侧发送的时间值为发送侧在同步信号线上进行指示的时间值加上时钟周期校正值后,再加上发送侧与接收侧之间的线路延时,其中,时钟周期校正值为: $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期。

3. 如权利要求 2 所述的方法,其特征在于, n 为 $2M$;和 / 或,时间值为 80bit ,每次传送 1bit 。

4. 如权利要求 1 或 2 或 3 所述的方法,其特征在于,进一步包括:

发送侧在接收侧接收完毕后,使同步信号线上的同步脉冲信号处于低电平的失效状态。

5. 如权利要求 4 所述的方法,其特征在于,发送侧在接收侧接收完毕后,从同步脉冲的上升沿开始,再经过 $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期后使同步信号线上的同步脉冲信号处于低电平的失效状态。

6. 一种机架内的时间同步接口设备,其特征在于,包括:发送模块与接收模块,发送模块中的同步发送单元与接收模块中的同步接收单元相连,发送模块中的时钟发送单元与接收模块中的时钟接收单元相连,发送模块中的数据发送单元与接收模块中的数据接收单元相连,接收模块还包括校正单元,其中:

同步发送单元,用于在同步信号线上,用同步脉冲的上升沿向同步接收单元指示将开始数据传送;

时钟发送单元,用于在时钟信号线上,以大于 $n\text{Hz}$ 的频率向时钟接收单元传输脉冲信号, n 大于 1;

数据发送单元,用于在数据信号线上,在同步发送单元发送的同步脉冲处于高电平的有效状态后当时钟信号线上的信号处于下降沿时发送时间值数据;

数据接收单元,用于在数据信号线上,在同步接收单元接收的同步脉冲处于高电平的有效状态后当时钟信号线上的信号处于上升沿时采样时间值数据;

校正单元,用于在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

7. 如权利要求 6 所述的设备,其特征在于,数据发送单元进一步用于确定发送的时间值为同步发送单元在同步信号线上进行指示的时间值加上时钟周期校正值后,再加上发送模块与接收模块之间的线路延时,其中,时钟周期校正值为: $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期。

8. 如权利要求 7 所述的设备,其特征在于,时钟发送单元进一步用于采用 n 为 $2M$ 的频率;

和 / 或,数据发送单元进一步用于确定发送的时间值为 80bit ,每次传送 1bit 。

9. 如权利要求 6 或 7 或 8 所述的设备,其特征在于,发送模块进一步包括:

失效单元,用于在数据接收单元接收完毕后,使同步信号线上的同步脉冲信号处于低电平的失效状态。

10. 如权利要求 9 所述的设备,其特征在于,失效单元进一步用于在数据接收单元接收完毕后,从同步脉冲的上升沿开始,再经过 $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期后使同步信号线上的同步脉冲信号处于低电平的失效状态。

一种机架内的时间同步方法及设备

技术领域

[0001] 本发明涉及通信设备,特别涉及一种机架内的时间同步方法及设备。

背景技术

[0002] 目前中国 3G 网络建设规模日益扩大,时间同步是 3G 网络建设的非常重要的技术指标,时间同步要求的精度也越来越高。

[0003] 网络设备的时间源,主时钟可以从 GPS(Global Positioning System,全球定位系统)获取或通过其它方式获取(如通过 1588 报文获取),然后通过报文下发其它网络节点,网络节点之间时间同步由 1588 协议来实现和保证;机架内部(如主控与线卡之间的时间同步)通常使用标准的 TOD(time of day,通常翻译为“年月日时分秒”或“当前时间”)接口来实现,TOD 接口是由 1pps 信号(1Pulse per Second,-秒脉冲)+232 串口组成,可以实现每秒钟校正一次时间。

[0004] 其不足在于:校正时间间隔长(1 秒钟),无法满足高精度场合的应用。

发明内容

[0005] 本发明所解决的技术问题在于提供了一种机架内的时间同步方法及设备。

[0006] 本发明实施例中提供了一种机架内的时间同步方法,包括如下步骤:

[0007] 在第一信号线上,发送侧用同步脉冲的上升沿向接收侧指示将开始数据传送;

[0008] 在第二信号线上,发送侧以大于 $n\text{Hz}$ 的频率向接收侧传输脉冲信号, n 大于 1;

[0009] 在第三信号线上,发送侧在同步脉冲处于高电平的有效状态后当第二信号线上的信号处于下降沿时发送时间值数据,接收侧在接收到指示后当第二信号线上的信号处于上升沿时采样时间值数据;

[0010] 接收侧在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

[0011] 本发明实施例中提供了一种机架内的时间同步接口设备,包括:发送模块与接收模块,发送模块中的同步发送单元与接收模块中的同步接收单元相连,发送模块中的时钟发送单元与接收模块中的时钟接收单元相连,发送模块中的数据发送单元与接收模块中的数据接收单元相连,接收模块还包括校正单元,其中:

[0012] 同步发送单元,用于在第一信号线上,用同步脉冲的上升沿向同步接收单元指示将开始数据传送;

[0013] 时钟发送单元,用于在第二信号线上,以大于 $n\text{Hz}$ 的频率向时钟接收单元传输脉冲信号, n 大于 1;

[0014] 数据发送单元,用于在第三信号线上,在同步发送单元发送的同步脉冲处于高电平的有效状态后当第二信号线上的信号处于下降沿时发送时间值数据;

[0015] 数据接收单元,用于在第三信号线上,在同步接收单元接收的同步脉冲处于高电平的有效状态后当第二信号线上的信号处于上升沿时采样时间值数据;

[0016] 校正单元,用于在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

[0017] 本发明有益效果如下：

[0018] 由于发送侧以大于 $n\text{Hz}$ 的频率向接收侧传输脉冲信号, n 大于 1 ;并且在处于下降沿时发送时间值数据,接收侧在处于上升沿时采样时间值数据。而当脉冲信号频率大于 1Hz 时,第二信号线上的信号周期必定小于 1 秒,也即:用于同步校正的时间值发送周期必定小于 1 秒,相对普通的 TOD 接口 1 秒钟校对一次时间而言,其同步精度必定更高。也易知,当确定各种通信系统的时间误差需要后,容易采用本发明实施例提供的技术方案来满足各种通信系统的应用要求。

附图说明

[0019] 图 1 为本发明实施例中机架内的时间同步方法实施流程示意图；

[0020] 图 2 为本发明实施例中信号发送时序示意图；

[0021] 图 3 为本发明实施例中发送侧和接收侧时间同步实施流程示意图；

[0022] 图 4 为本发明实施例中机架内的时间同步接口设备结构示意图。

具体实施方式

[0023] 下面结合附图对本发明的具体实施方式进行说明。

[0024] 图 1 为机架内的时间同步方法实施流程示意图,如图所示,可以包括如下步骤：

[0025] 步骤 101、在第一信号线上,发送侧用同步脉冲的上升沿向接收侧指示将开始数据传送；

[0026] 步骤 102、在第二信号线上,发送侧以大于 $n\text{Hz}$ 的频率向接收侧传输脉冲信号, n 大于 1 ；

[0027] 步骤 103、在第三信号线上,发送侧在同步脉冲处于高电平的有效状态后当第二信号线上的信号处于下降沿时发送时间值数据,接收侧在接收到指示后当第二信号线上的信号处于上升沿时采样时间值数据；

[0028] 步骤 104、接收侧在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

[0029] 实施中,还可以进一步包括：

[0030] 步骤 105、发送侧在接收侧接收完毕后,使第一信号线上的同步脉冲信号处于低电平的失效状态。

[0031] 具体实施中,在时间同步过程中,可以由 3 根线信号组成: $\text{Psync} + \text{Time_data} + \text{Time_clk}$ 。三根信号线分别是第一信号线 Psync (synchronous signal, 同步信号), 第三信号线 Time_data (时间数据), 第二信号线 Time_clk (时钟), 为说明方便,第二信号线上的时钟采用 2MHz 。

[0032] 在机架内实施时,对主控而言(本申请中称为发送侧),三根信号都是输出信号;对接收的线卡(本申请中称为接收侧)来说,三根信号都是输入信号。或反过来,主控接收,线卡发送,其效果也是一样的。

[0033] Psync 是同步脉冲,用于提示随后的 Time_clk 上升沿开始数据传送; Time_data 上传送的是时间信息,可以依次传送年月日时分秒,具体实践中可以根据需要精确到 ns 等级别; Time_clk 是发送时钟,接收侧在上升沿采样数据。图 2 为信号发送时序示意图,三条信号线的时序配合如图 2 所示,发送侧发送时间信息,接收侧有本地时钟模块,再根据接收到

时间值进行调节、校正即可。

[0034] 从发送侧来看, Psync 信号生效(高电平)后, Time_data 上开始依次传送时间信息:年月日,时分秒(为说明方便,以固定 80bit 内容为例进行说明),每次传送 1bit,在 Time_clk 的上升沿数据有效,累计传送 80bit 完毕,再让 Psync 信号失效。

[0035] 从接收侧来看,收到 Psync 信号脉冲(采样到上升沿)后,开始进入接收程序,在 Time_clk 的上升沿,采样 Time_data 上的数据,直到 80bit 全部接收完毕。

[0036] 为更好的理解,下面以实例进行说明。

[0037] 在本实施例中,在第二信号线上,发送侧以 2MHz 的频率向接收侧传输脉冲信号,在第三信号线上,发送侧发送的时间值为 80bit,每次传送 1bit。

[0038] 在实施中 2MHz、80bit 等取值仅用于教导本领域技术人员具体如何实施本发明,但不意味仅能使用本实施例中的取值,实际上,只要频率大于 1,即可优于现有技术中普通的 TOD 接口 1 秒钟校对一次时间的方案;当然,具体实践中还需考虑实际传输的时间值数据长度来确定具体选用的频率,例如在传输 80bit 长度的时间值时,频率只需大于 100Hz 即可,对本领域技术人员来说,根据本发明实施例提供的技术方案的技术构思选用相应的时间值长度以及频率是容易实现的。同时,可以根据时间精度需要确定时间值的精度,那么当然时间值也就并不一定是 80bit 了,同样,每次传输也不仅限于 1bit。因此,本领域技术人员易知,可以参考本实施例在实施过程中结合实践需要来确定相应的取值。

[0039] 图 3 为发送侧和接收侧时间同步实施流程示意图,如图 3 所示,参考图 2 所示,可以包括如下步骤:

[0040] 步骤 301:在 T1 时刻 Psync 有效信号生效,后面发送时间值加上发送到接收延时 Δt 。

[0041] 本步骤中,在图 2 所示的 T1 时刻,发送侧给出 Psync 有效信号,从低变高。通知接收侧做好接收时间值的准备工作。随后发送的时间值并不是 T1 时刻的时间值,而是需要加上从发送到接收的固定延时 Δt , Time_clk 在本实施例中暂选用 2M 时钟时, Δt 则为 79.5 个 Time_clk 时钟周期(3975ns)+线路延时。如果 Time_clk 频率改变, Δt 值也作相应改变即可。对于同一个系统,线路延时基本是固定的,可以用测量的方法获取具体值(ns 级)。

[0042] 步骤 302:Time_data 发送数据,在 Time_clk 下降沿发送数据,接收侧在上升沿采样。

[0043] 本步骤中,发送侧,在 Time_clk 下降沿后,在 Time_data 上发送时间值,按照年月日,时分秒的顺序,依次传送,直到 80bit 传送完毕。接收侧,在 Time_clk 上升沿,采样 Time_data 线上的数据。

[0044] 步骤 303:判断 80bit 是否传送结束,是则转入步骤 304,否则转入步骤 302。

[0045] 本步骤中,发送侧,判断 80bit 是否发送完毕,没有结束的话,回到步骤 302。80bit 发送完毕的话,转到步骤 304;接收侧,80bit 没有接收完毕的话,继续等待后面数据位,直到 80bit 接收完毕。

[0046] 步骤 304:发送侧在 T2 时刻后再等待半个 Time_clk 周期,使 Psync 信号失效。

[0047] 本步骤中,发送侧在图 2 所示的 T2 时刻后再等待半个 Time_clk 周期,使 Psync 信号失效,从高变为低电平。接收侧基本在 T2 时刻完成全部时钟值的采样和校正。

[0048] 具体实施中,在其它情况下,对于失效的情况处理也可以是:发送侧在接收侧接收

完毕后,在 $[1/2]$ 个时钟周期后使第一信号线上的同步脉冲信号处于低电平的失效状态,或,如图 2 所示的 T1 时刻开始,再经过 $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期后使第一信号线上的同步脉冲信号处于低电平的失效状态。

[0049] 通过以上方式即可实现机架内部发送侧和接收侧时间的同步。

[0050] 基于同一发明构思,本发明实施例中还提供了机架内的时间同步接口设备,由于该设备解决问题的原理与机架内的时间同步方法相似,因此该设备的实施可以参见方法的实施,重复之处不再赘述。

[0051] 图 4 为机架内的时间同步接口设备结构示意图,如图所示,在接口设备中可以包括:

[0052] 发送模块 401 与接收模块 402;

[0053] 发送模块中的同步发送单元 4011 与接收模块中的同步接收单元 4021 相连,发送模块中的时钟发送单元 4012 与接收模块中的时钟接收单元 4022 相连,发送模块中的数据发送单元 4013 与接收模块中的数据接收单元 4023 相连,接收模块还包括校正单元 4024,其中:

[0054] 同步发送单元,用于在第一信号线上,用同步脉冲的上升沿向同步接收单元指示将开始数据传送;

[0055] 时钟发送单元,用于在第二信号线上,以大于 nHz 的频率向时钟接收单元传输脉冲信号, n 大于 1;

[0056] 数据发送单元,用于在第三信号线上,在同步发送单元发送的同步脉冲处于高电平的有效状态后当第二信号线上的信号处于下降沿时发送时间值数据;

[0057] 数据接收单元,用于在第三信号线上,在同步接收单元接收的同步脉冲处于高电平的有效状态后当第二信号线上的信号处于上升沿时采样时间值数据;

[0058] 校正单元,用于在时间值接收完毕后,根据接收的时间值对本地时钟进行校正。

[0059] 实施中,数据发送单元还可以进一步用于确定发送的时间值为同步发送单元在第一信号线上进行指示的时间值加上时钟周期校正值后,再加上发送模块与接收模块之间的线路延时,其中,时钟周期校正值为: $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期,或, $[(\text{时间值的 bit 位数} - 0.5)]$ 个时钟周期个时钟周期。

[0060] 实施中,时钟发送单元还可以进一步用于采用 n 为 2M 的频率;

[0061] 和 / 或,数据发送单元可以进一步用于确定发送的时间值为 80bit,每次传送 1bit。

[0062] 实施中,发送模块 401 中还可以进一步包括:

[0063] 失效单元 4014,用于在数据接收单元接收完毕后,使第一信号线上的同步脉冲信号处于低电平的失效状态。

[0064] 实施中,失效单元还可以进一步用于在数据接收单元接收完毕后,在 $[1/2]$ 个时钟周期后使第一信号线上的同步脉冲信号处于低电平的失效状态,或,如图 2 的 T1 时刻开始,再经过 $[(\text{时间值的 bit 位数} / \text{时间值每个周期传输的数量}) - 0.5]$ 个时钟周期后使第一信号线上的同步脉冲信号处于低电平的失效状态。

[0065] 为了描述的方便,以上所述装置的各部分以功能分为各种模块或单元分别描述。当然,在实施本发明时可以把各模块或单元的功能在同一个或多个软件或硬件中实现,例

如：利用 CPU 的 IO 或可编程器件 IO 脚来实现。

[0066] 普通的 TOD 接口，一般是 1 秒钟发送一次 TOD 报文，接收侧 1 秒钟校对一次时间。如果主控是从 1588 报文方式获取时间信息，主控的时钟频率和 1588master 的频率相差 1PPM 时（这种情况应该存在），由于 1 秒时间间隔太长，1 秒时间反应在线卡上的时间误差就是 1 μ s，多级时间节点传递后，误差累积更大，这也导致了无法满足应用要求。比如：不能满足 TD-SCDMA (Time Division Synchronized Code Division Multiple Access, 时分同步码分多址接入) 要求基站之间时间差在 1.5 μ s 以内的应用要求，不能满足 CDMA (Code Division Multiple Access, 码分多址接入) 要求是 3 μ s 以内的应用要求。

[0067] 而采用发明实施例中提供的技术方案，采用提高时间校对频率的办法来弥补上面的缺陷，例如可以提高到每秒钟发送 490 次，这显然也大大缩短调整时间的间隔。具体实施中只需用软件对每秒下发的次数进行设置即可。

[0068] 发明实施例提供的技术方案中，只需采用三线接口便可实现机架内部时间同步，而校正时间间隔可以通过软件修改设置即可，并且累计误差小，精度高（机架内部是纳秒级误差），具体实施中利用 CPU 的 IO 或可编程器件 IO 脚实现即可，不需要使用专门的 232 串口，对硬件资源要求不高。总体来说简便可靠，比较容易实现。

[0069] 本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

[0070] 本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和 / 或方框图来描述的。应理解可由计算机程序指令实现流程图和 / 或方框图中的每一流程和 / 或方框、以及流程图和 / 或方框图中的流程和 / 或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的装置。

[0071] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制品，该指令装置实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能。

[0072] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的步骤。

[0073] 尽管已描述了本发明的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0074] 显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精

神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

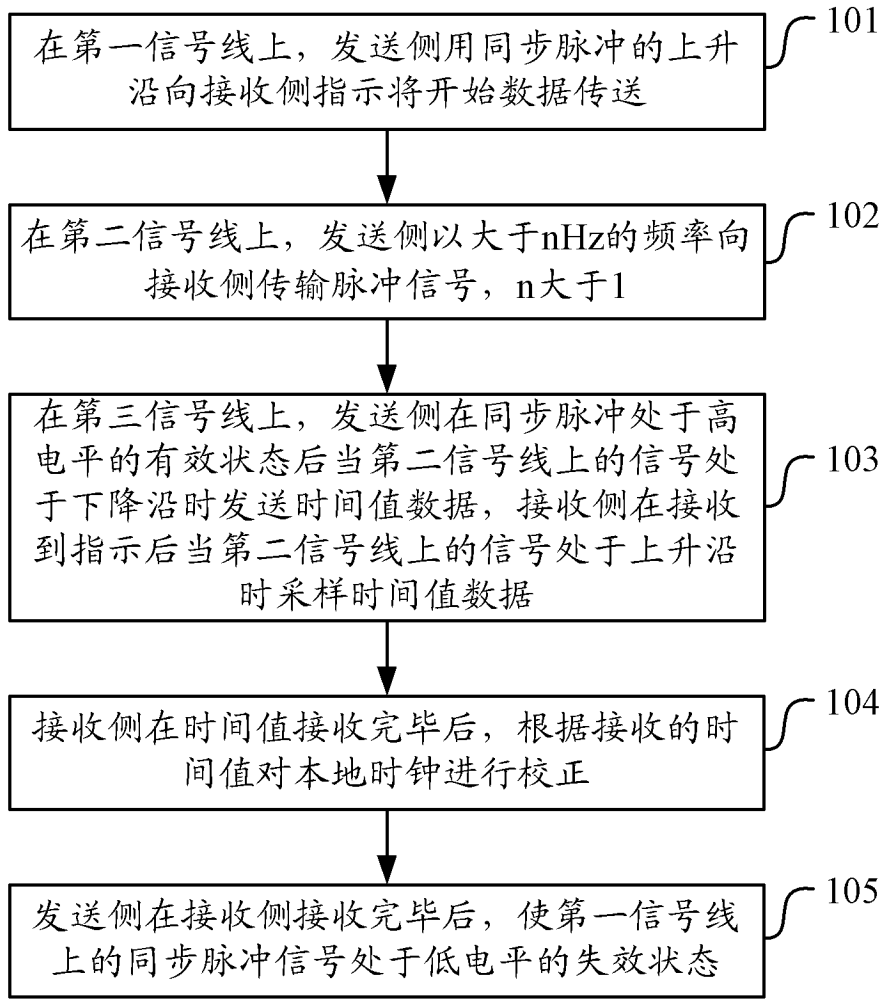


图 1

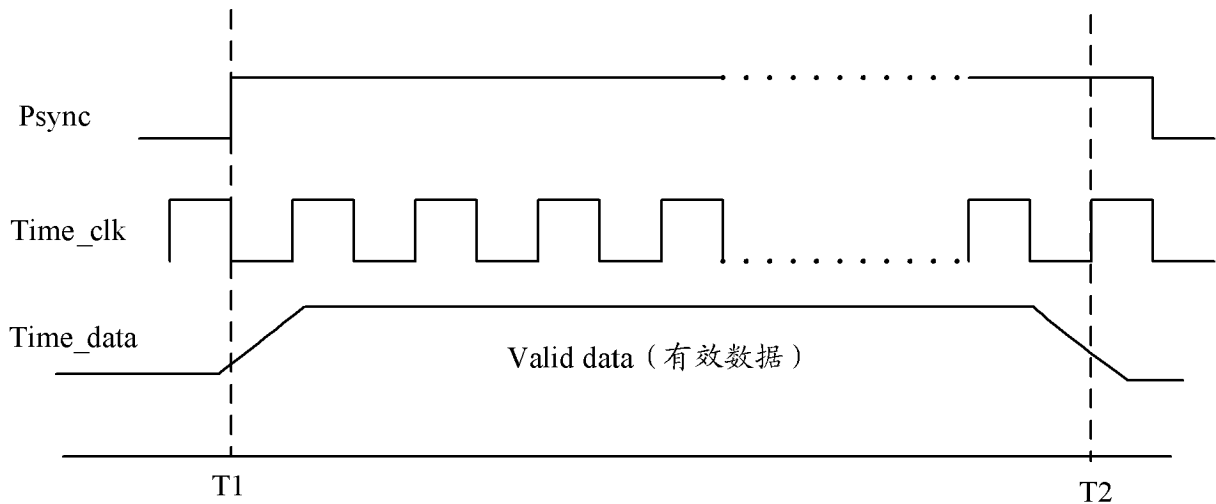


图 2

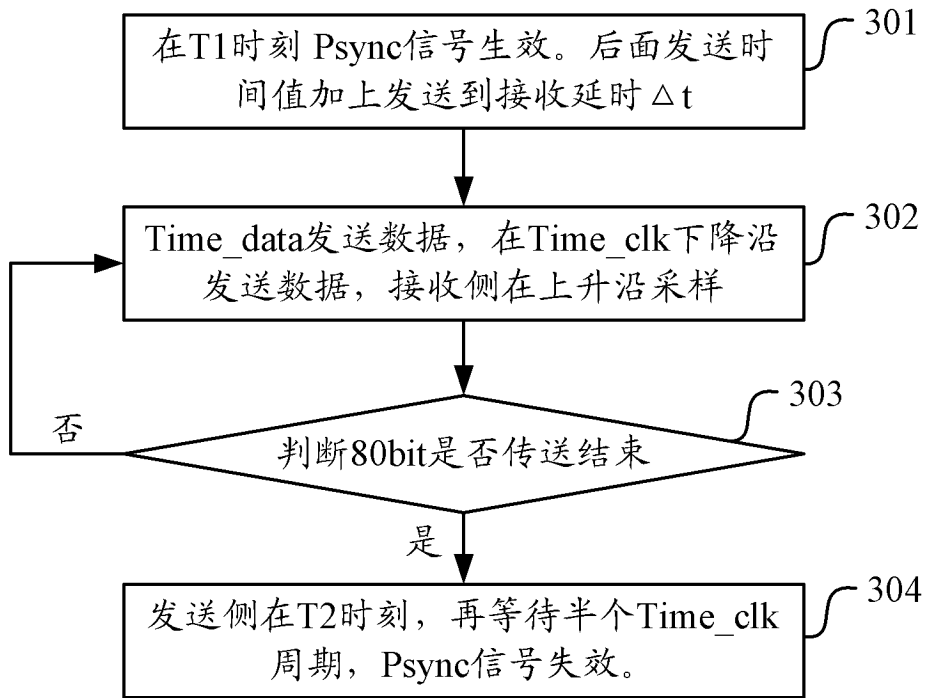


图 3

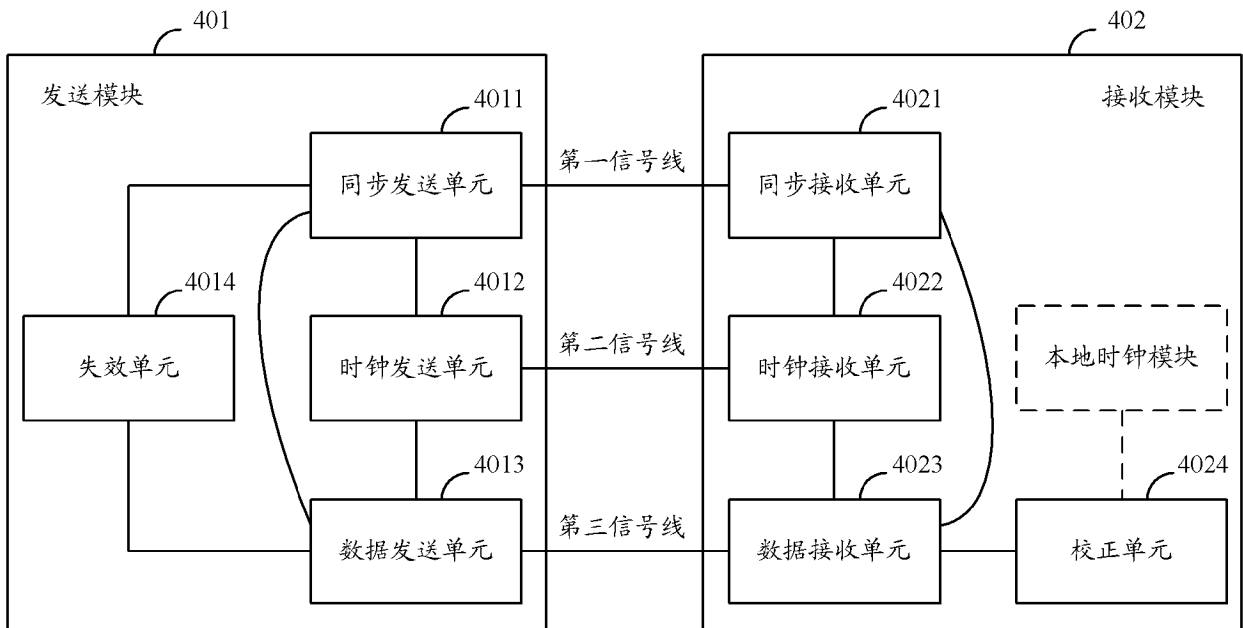


图 4