

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/336

(45) 공고일자 2005년09월02일
(11) 등록번호 10-0511908
(24) 등록일자 2005년08월25일

(21) 출원번호 10-1999-0060299
(22) 출원일자 1999년12월22일

(65) 공개번호 10-2001-0063269
(43) 공개일자 2001년07월09일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 여인석
경기도성남시분당구서현동한신아파트124-202호

(74) 대리인 강성배

심사관 : 정회환

(54) 다마신 및 자기 정렬 콘택 공정을 이용한 반도체 소자의 제조방법

요약

본 발명은 반도체 소자의 제조방법을 개시한다. 개시된 본 발명의 반도체 소자의 제조방법은, 반도체 기판 상에 열산화막과 텅스텐막을 차례로 형성하는 단계; 상기 텅스텐막을 식각해서, 희생 게이트 전극을 형성하는 단계; 이온주입 공정을 수행해서, 상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 저도핑 드레인 영역을 형성하는 단계; 상기 희생 게이트 전극의 양 측벽에 스페이서를 형성하는 단계; 이온주입 공정을 수행해서, 상기 스페이서를 갖는 희생 게이트 전극 양측의 반도체 기판 부분에 저도핑 드레인 구조의 소오스/드레인 영역을 형성하는 단계; 상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 상기 희생 게이트 전극과 동일한 높이로 절연막을 형성하는 단계; 게이트 전극이 형성될 영역을 한정하는 홈이 형성되도록, 상기 희생 게이트 전극을 제거하는 단계; 상기 홈 저면의 상기 열산화막 부분을 제거하는 단계; 상기 홈의 내벽에 게이트 산화막을 형성하고, 상기 홈 내에 텅스텐 재질의 게이트 전극을 형성하는 단계; 상기 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막을 형성하는 단계; 및 상기 결과물 상에 층간절연막을 형성하는 단계를 포함한다.

대표도

도 2d

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 다마신 공정을 이용한 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 각 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

- 1 : 반도체 기판 2 : 열산화막
 3 : 희생 게이트 전극 4 : 산화막
 5 : 저도핑 드레인 영역 6 : 스페이서
 7 : 소오스/드레인 영역 8 : CVD 산화막
 9 : 홈 10 : 게이트 산화막
 11 : 텅스텐막 11a : 게이트 전극
 12 : 층간절연막 20 : 텅스텐 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 다마신 공정 및 자기 정렬 콘택(self aligned contact) 공정을 이용한 반도체 소자의 제조방법에 관한 것이다.

다마신(Damascence) 공정을 이용한 반도체 집적 기술은 반도체 소자의 고집적화가 진행됨에 따라, 그 이용이 더욱 증가되고 있다. 한 예로, 게이트 전극용 물질로서 텅스텐을 이용하는 반도체 제조 공정에서, 상기 다마신 공정을 이용하게 되면, 산화 공정에 기인된 게이트 전극의 결함을 방지할 수 있는 잇점이 있다.

도 1a 내지 도 1e는 다마신 공정을 이용한 종래 기술에 따른 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도이다.

도 1a를 참조하면, 소자 형성 영역이 한정된 반도체 기판(1)의 전면 상에 열산화막(2)과 도핑된 실리콘막을 차례로 형성하고, 그런다음, 공지된 포토, 식각 공정으로 상기 도핑된 실리콘막을 식각하여 희생 게이트 전극(3)을 형성한다. 이어서, 상기 결과물을 산화시켜서, 상기 식각 공정 동안에 상기 희생 게이트 전극(3) 및 상기 열산화막(2)에 인가된 데미지(damage)를 회복시키고, 아울러, 상기 희생 게이트 전극(3)의 표면에 후속에서 수행될 LDD(Lightly Doped Drain) 이온주입시에 필요한 박막의 산화막(4)을 형성시킨다. 그리고나서, 상기 산화막(4)을 포함한 희생 게이트 전극(3) 양측의 반도체 기판 부분에 LDD 영역(5)을 형성한다.

도 1b를 참조하면, 상기 결과물 상에 CVD 절연막을 전면 증착하고, 그런다음, 상기 CVD 절연막 및 열산화막(2) 식각하여, 희생 게이트 전극(3)의 양 측벽에 스페이서(6)를 형성한다. 이때, 상기 희생 게이트 전극(3)의 상부면에 형성되어 있던 산화막 부분은 제거된다. 그런다음, 상기 스페이서(6)를 갖는 희생 게이트 전극(3)을 마스크로 하는 이온주입 공정을 통해, 상기 희생 게이트 전극(3) 양측의 반도체 기판 부분에 LDD 구조를 갖는 소오스/드레인 영역(7)을 형성한다.

도 1c를 참조하면, 반도체 기판(1)의 전면 상에 CVD 산화막(8)을 증착하고, 그런다음, 상기 희생 게이트 전극이 노출되도록, 상기 CVD 산화막(8)을 화학적기계연마(Chemical Mechanical Polishing : 이하, CMP) 공정으로 연마하고, 이어서, 노출된 희생 게이트 전극을 건식 또는 습식 식각 공정을 통해 제거하여, 게이트 전극이 형성될 영역을 한정하는 홈(9)을 형성한다.

도 1d를 참조하면, 홈(9)의 저면(bottom surface)에 잔류되어 있는 열산화막 부분을 제거하고, 상기 결과물의 표면을 따라서 게이트 산화막(10)을 형성한다. 그런다음, 상기 홈이 완전히 매립될 정도의 두께로 상기 게이트 산화막(10) 상에 텅스텐막(11)을 증착한다.

도 1e를 참조하면, CMP 공정으로 상기 텅스텐막을 연마하여 상기 홈(9) 내에 실질적인 텅스텐 재질의 게이트 전극(11a)을 형성한다. 그런다음, 상기 결과물 상에 상기 게이트 전극(11a)과 후속에서 형성될 비트라인 또는 금속배선간의 전기적 절연을 위하여 층간절연막(12)을 형성한다.

상기 다마신 공정을 이용한 종래의 게이트 전극 형성방법은 텅스텐막의 식각 공정없이도 게이트 전극을 형성할 수 있기 때문에, 식각 공정에 기인된 게이트 전극의 특성 저하를 방지할 수 있으며, 아울러, 기존의 제조 공정을 그대로 이용할 수 있다는 장점이 있다.

발명이 이루고자 하는 기술적 과제

그러나, 다마신 공정을 이용한 종래의 게이트 전극 형성방법에 있어서, 희생 게이트 전극용 물질인 실리콘막은, 전술한 바와 같이, 건식 또는 습식 식각 공정을 통해 제거하게 되는데, 건식 식각을 이용할 경우에는 건식 식각의 방향성 문제로 인하여 상기 실리콘막이 스페이서 형태로 잔류될 수 있기 때문에, 이를 해결하기 위해서는 등방성 건식 식각 장비를 필요로 하게 되므로, 장비 투자 비용이 추가되는 문제점이 있다. 반면, 습식 식각을 이용할 경우에는 기존의 실리콘 에천트(etchant)가 불산(HF)을 포함하고 있는 것에 기인하여 CVD 산화막이 같이 식각되는 문제점이 있다.

또한, 텅스텐 재질의 게이트 전극을 형성한 상태에서, 공지된 후속 공정을 수행할 경우, 콘택 공정의 마진(margin)을 확보할 수 없기 때문에, 만약, 콘택 공정시에 마스크의 오정렬이 발생될 경우에는 상기 게이트 전극과 비트라인, 또는, 상기 게이트 전극과 금속배선 사이에서 쇼트가 발생하는 문제점이 있다.

한편, 상기한 쇼트 문제는 공지된 자기 정렬 콘택(self aligned contact) 공정을 이용하는 것에 의해 극복될 수 있다. 상기 자기 정렬 콘택 공정을 이용할 경우, 다마신 공정에 의해 형성된 텅스텐 재질의 게이트 전극 상에 절연막, 예를들어, 질화막을 형성하게 되며, 이러한 질화막을 후속의 콘택 공정에서 식각 정지층으로 이용함으로써, 마스크의 오정렬에 기인된 쇼트 불량량을 방지한다.

그러나, 주지된 바와 같이, 상기 자기 정렬 콘택 공정, 그 자체만을 이용하여 반도체 소자를 제조할 경우, 식각 정지층으로 이용되는 질화막은 반도체 기판의 전면 상에 증착되므로, 그 형성이 용이하지만, 다마신 공정을 이용해서 텅스텐 재질의 게이트 전극을 형성한 상태에서는, 상기 텅스텐 재질의 게이트 전극 상에만 질화막을 형성시켜야 하므로, 그 형성이 매우 어렵고, 아울러, 안정적이지 못한 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 희생 게이트 전극의 제거를 용이하게 수행함과 동시에, 다마신 공정으로 형성된 텅스텐 재질의 게이트 전극 상에만 자기 정렬 콘택 공정에서 필요한 식각 정지층용 절연막을 용이하게 형성시킬 수 있는 반도체 소자의 제조방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 제조방법은, 반도체 기판 상에 열산화막과 텅스텐막을 차례로 형성하는 단계; 상기 텅스텐막을 식각해서, 희생 게이트 전극을 형성하는 단계; 이온주입 공정을 수행해서, 상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 저도핑 드레인 영역을 형성하는 단계; 상기 희생 게이트 전극의 양 측벽에 스페이서를 형성하는 단계; 이온주입 공정을 수행해서, 상기 스페이서를 갖는 희생 게이트 전극 양측의 반도체 기판 부분에 저도핑 드레인 구조의 소오스/드레인 영역을 형성하는 단계; 상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 상기 희생 게이트 전극과 동일한 높이로 절연막을 형성하는 단계; 게이트 전극이 형성될 영역을 한정하는 홈이 형성되도록, 상기 희생 게이트 전극을 제거하는 단계; 상기 홈 저면의 상기 열산화막 부분을 제거하는 단계; 상기 홈의 내벽에 게이트 산화막을 형성하고, 상기 홈 내에 텅스텐 재질의 게이트 전극을 형성하는 단계; 상기 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막을 형성하는 단계; 및 상기 결과물 상에 층간절연막을 형성하는 단계를 포함한다.

본 발명에 따르면, 희생 게이트 전극을 텅스텐으로 형성시킴으로써, 후속에서 상기 희생 게이트 전극의 제거를 용이하게 수행할 수 있다. 또한, 텅스텐으로 이루어진 게이트 전극의 표면을 O₂ 플라즈마에 노출시켜 그 표면에 산화막과 식각 선택비를 갖는 텅스텐 산화막(WO₃)을 형성시킴으로써, 후속의 콘택 공정에서 식각 정지층으로 이용하기 위한 절연막을 매우 용이하게 형성시킬 수 있으며, 이에 따라, 쇼트에 기인된 불량량을 방지할 수 있고, 아울러, 제조 공정의 어려움을 극복할 수 있다.

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다. 여기서, 도 1a 내지 도 1e와 동일한 부분은 동일한 도면부호로 표시한다.

도 2a를 참조하면, 소자 형성 영역이 한정된 반도체 기판(1)의 전면 상에 열산화막(2)과 텅스텐막을 각각 100 내지 500Å, 1,500 내지 3,000Å 두께로 차례로 형성하고, 상기 텅스텐막을 식각해서 텅스텐으로 이루어진 희생 게이트 전극(3)을 형성한다. 그런다음, 상기 희생 게이트 전극(3)을 형성하기 위한 식각 공정에 의해 상기 희생 게이트 전극(3) 및 상기 열산화막(2)에 인가된 데미지를 회복시키고, 그리고, 상기 희생 게이트 전극(3)의 표면에 후속에서 수행될 LDD 이온주입시에 필요한 박막의 산화막(4)이 형성되도록, 상기 결과물을 산화시킨다. 그리고나서, 상기 산화막(4)을 포함한 희생 게이트 전극(3) 양측의 반도체 기판 부분에 LDD 영역(5)을 형성한다. 여기서, 도시되지는 않았으나, 상기 텅스텐막의 형성 이전, 상기 열산화막(2) 상에 티타늄질화막(TiN)을 형성시킴으로써, 상기 텅스텐막의 식각시에 식각 정지층으로 사용할 수도 있다. 상기 티타늄질화막은 100 내지 200Å 두께로 형성함이 바람직하다.

도 2b를 참조하면, 상기 결과물 상에 CVD 절연막을 전면 증착하고, 그런다음, 상기 CVD 절연막 및 열산화막(2) 식각하여, 박막의 산화막(4)을 갖는 희생 게이트 전극(3)의 양 측벽에 스페이서(6)를 형성한다. 이때, 상기 CVD 절연막이 식각되는 동안, 상기 희생 게이트 전극(3)의 상부면에 형성되어 있던 산화막 부분은 제거된다. 그런다음, 상기 스페이서(6)를 갖는 희생 게이트 전극(3) 양측의 반도체 기판 부분에 소정 불순물을 이온주입하여 LDD 구조를 갖는 소오스/드레인 영역(7)을 형성한다.

도 2c를 참조하면, 반도체 기판(1)의 전면 상에 CVD 산화막(8)을 증착하고, 상기 희생 게이트 전극이 노출되도록, 상기 CVD 산화막(8)을 CMP 공정으로 연마한다. 그런다음, 노출된 텅스텐 재질의 희생 게이트 전극을 H₂O₂를 함유한 케미컬, 예를들어, H₂O₂, H₂SO₄/H₂O₂ 또는 NH₄OH/H₂O₂/H₂O 중에서 선택되는 하나의 케미컬을 이용한 습식 식각 공정을 통해 제거하여 게이트 전극이 형성될 영역을 한정하는 홈(9)을 형성한다. 여기서, 텅스텐막은 H₂O₂를 함유한 케미컬에 쉽게 식각되는 반면, 실리콘 및 실리콘산화막은 상기 H₂O₂를 함유한 케미컬에 의해 식각되지 않는다. 따라서, 텅스텐 재질의 희생 게이트 전극의 제거를 용이하게 수행할 수 있으며, 특히, 상기 H₂O₂를 함유한 케미컬은 통상의 반도체 제조 공정에서 세정용 케미컬로서 사용되고 있기 때문에, 별도의 투자 비용이 추가되지 않는다.

계속해서, 홈(9)의 저면에 잔류되어 있는 열산화막 부분을 제거하고, 상기 결과물의 표면을 따라서 20 내지 100Å 두께로 열산화막이나 알루미늄산화막(Al₂O₃) 또는 탄탈륨산화막(Ta₂O₅) 등의 고유전율을 갖는 산화막으로 이루어진 게이트 산화막(10)을 형성한 후, 상기 홈(9)이 완전히 매립될 정도의 두께, 예를들어, 3,000 내지 5,000Å 두께로 상기 게이트 산화막(10) 상에 텅스텐막(11)을 증착한다. 여기서, 도시되지는 않았으나, 상기 텅스텐막(11)의 증착 이전에, TiN 또는 WN과 같은 확산방지막을 형성시킬 수도 있다. 이때, 상기 확산방지막은 50 내지 150Å 두께로 증착함이 바람직하다.

도 2d를 참조하면, 상기 결과물을 O₂ 플라즈마 분위기에서 처리하여, 노출된 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막(WO₃: 20)을 형성시키고, 그런다음, 상기 결과물 상에 상기 텅스텐 재질의 게이트 전극(11a)과 후속에서 형성될 비트라인 또는 금속배선간의 전기적 절연을 위하여 층간절연막(12)을 형성한다. 이때, 상기 텅스텐 산화막(20)은 O₂ 대신에 N₂O, NO 등 다른 산소 소오스를 이용한 플라즈마 처리로 형성시킬 수 있으며, 또한, O₂ 플라즈마 처리 대신에, UV 오존 처리를 수행하여 형성시킬 수도 있다. 게다가, 텅스텐 재질의 게이트 전극(11a)을 형성한 상태에서, O₂ 플라즈마를 이용한 산화막 증착 공정을 수행함으로써, 상기 텅스텐 산화막(20)과 산화막 재질의 층간절연막(12)을 동시에 형성시킬 수도 있다.

여기서, 상기 텅스텐 산화막(20)은 후속에서 형성되는 층간절연막(12), 즉, 산화막과 식각 선택비를 갖기 때문에, 후속의 콘택 공정시에 식각 정지층으로서 이용 가능하다. 따라서, 종래에는 식각 정지층으로 이용하기 위한 질화막을 상기 텅스텐 재질의 게이트 전극 상에만 형성시켜야 하는 것에 기인하여 그 형성이 매우 어렵고, 아울러, 안정하지 못하지만, 본 발명의 실시예에서는, 단지, 텅스텐 재질의 게이트 전극의 표면을 O₂ 플라즈마에 노출시키는 것을 통해 식각 정지층으로서 기능하는 산화막을 형성시키기 때문에, 그 형성이 매우 용이하며, 아울러, 안정하다.

발명의 효과

이상에서와 같이, 본 발명은 희생 게이트 전극을 텅스텐으로 형성시킴으로써, 후속에서 상기 희생 게이트 전극의 제거를 용이하게 수행할 수 있고, 이에 따라, 실리콘 또는 실리콘 산화막이 식각되는 것에 기인된 제조수율의 제하를 방지할 수 있다.

또한, 다마신 공정을 통해 텅스텐 재질의 게이트 전극을 형성하고, 그런다음, 상기 텅스텐 재질의 게이트 전극을 O₂ 플라즈마에 노출시켜, 그 표면에 자기 정렬 콘택 공정에서 식각 정지층으로서 기능하는 텅스텐 산화막을 형성시킴으로써, 후속의 콘택 공정의 마진을 확보할 수 있으며, 이에 따라, 소자의 제조수율 및 그 신뢰성을 향상시킬 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 열산화막과 텅스텐막을 차례로 형성하는 단계;

상기 텅스텐막을 식각해서, 희생 게이트 전극을 형성하는 단계;

이온주입 공정을 수행해서, 상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 저도핑 드레인 영역을 형성하는 단계;

상기 희생 게이트 전극의 양 측벽에 스페이서를 형성하는 단계;

이온주입 공정을 수행해서, 상기 스페이서를 갖는 희생 게이트 전극 양측의 반도체 기판 부분에 저도핑 드레인 구조의 소오스/드레인 영역을 형성하는 단계;

상기 희생 게이트 전극 양측의 상기 반도체 기판 부분에 상기 희생 게이트 전극과 동일한 높이로 절연막을 형성하는 단계;

게이트 전극이 형성될 영역을 한정하는 홈이 형성되도록, 상기 희생 게이트 전극을 제거하는 단계;

상기 홈 저면의 상기 열산화막 부분을 제거하는 단계;

상기 홈의 내벽에 게이트 산화막을 형성하고, 상기 홈 내에 텅스텐 재질의 게이트 전극을 형성하는 단계;

상기 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막을 형성하는 단계; 및

상기 결과물 상에 층간절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 열산화막을 형성하는 단계와 상기 텅스텐막을 형성하는 단계 사이에,

티타늄질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제 2 항에 있어서, 상기 티타늄질화막은 100 내지 200Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

제 1 항에 있어서, 상기 희생 게이트 전극을 형성하는 단계와 상기 저도핑 드레인 영역을 형성하는 단계 사이에,

상기 희생 게이트 전극을 형성하기 위한 식각 동안에, 상기 희생 게이트 전극 및 열산화막에 인가된 데미지가 회복되고, 그리고, 상기 저도핑 드레인 영역을 형성하기 위한 이온주입 공정에서 필요한 산화막이 상기 희생 게이트 전극의 표면에 형성되도록, 산화 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 희생 게이트 전극을 제거하는 단계는,

H_2O_2 , H_2SO_4/H_2O_2 또는 $NH_4OH/H_2O_2/H_2O$ 중에서 선택되는 하나의 케미컬을 이용한 습식 식각 공정으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 게이트 산화막과 게이트 전극을 형성하는 단계는,

상기 절연막 및 홈의 내벽 상에 게이트 산화막을 형성하는 단계; 상기 게이트 산화막 상에 상기 홈이 매립될 정도의 두께로 텅스텐막을 형성하는 단계; 및 상기 절연막이 노출되도록, 상기 텅스텐막과 게이트 산화막을 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 게이트 산화막을 형성하는 단계와 상기 텅스텐막을 형성하는 단계 사이에,

확산방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8.

제 7 항에 있어서, 상기 확산방지막은 티타늄질화막 또는 텅스텐질화막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9.

제 7 항에 있어서, 상기 확산방지막은 50 내지 150Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막을 형성하는 단계는, O_2 , N_2O , NO 등과 같은 산소 소오스를 이용한 플라즈마 처리로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11.

제 1 항에 있어서, 상기 텅스텐 재질의 게이트 전극의 표면에 텅스텐 산화막을 형성하는 단계는, UV 오존 처리를 수행하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

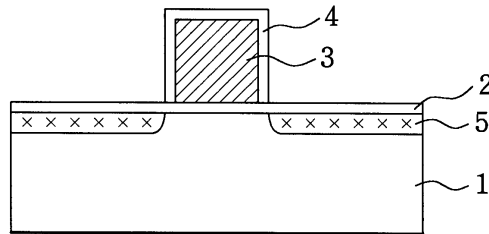
청구항 12.

제 1 항에 있어서, 상기 텅스텐 산화막을 형성하는 단계와 층간절연막을 형성하는 단계는,

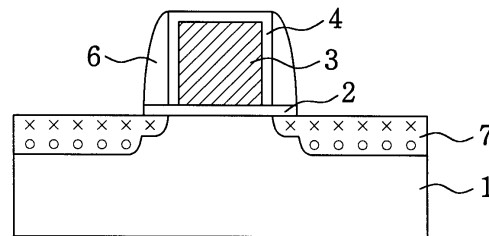
O₂ 플라즈마를 이용한 산화막 증착 공정으로 동시에 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

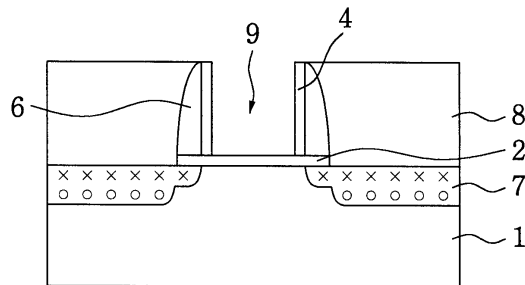
도면1a



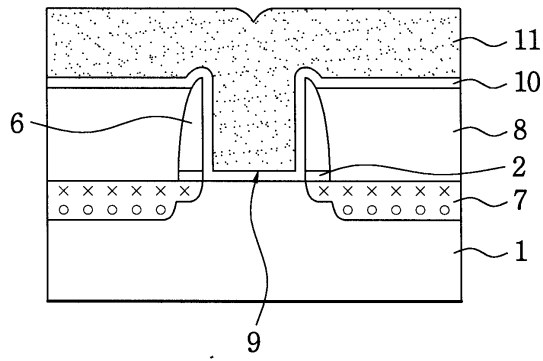
도면1b



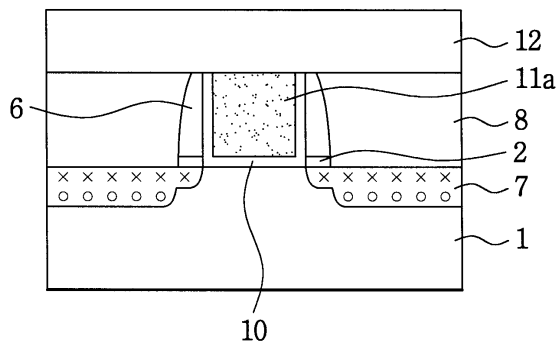
도면1c



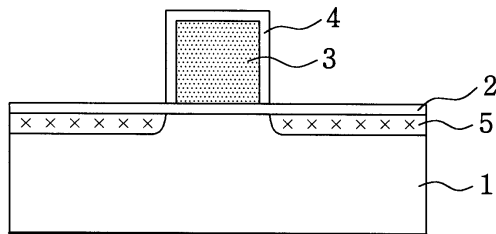
도면1d



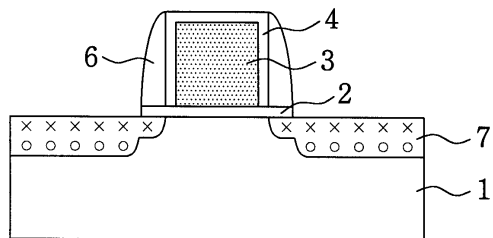
도면1e



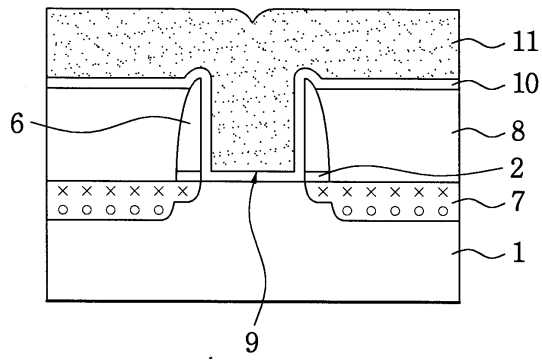
도면2a



도면2b



도면2c



도면2d

