



(12) 发明专利申请

(10) 申请公布号 CN 115497907 A

(43) 申请公布日 2022. 12. 20

(21) 申请号 202210685884.3

H01L 21/48 (2006.01)

(22) 申请日 2022.06.17

(30) 优先权数据

17/350345 2021.06.17 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫西门子大街2号

(72) 发明人 M·贝宁格-比纳 M·哈里森

P·因里希 E·纳佩施尼格

A·贝伦特 R·哈特尔

R·林德纳

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

专利代理师 申屠伟进 周学斌

(51) Int. Cl.

H01L 23/498 (2006.01)

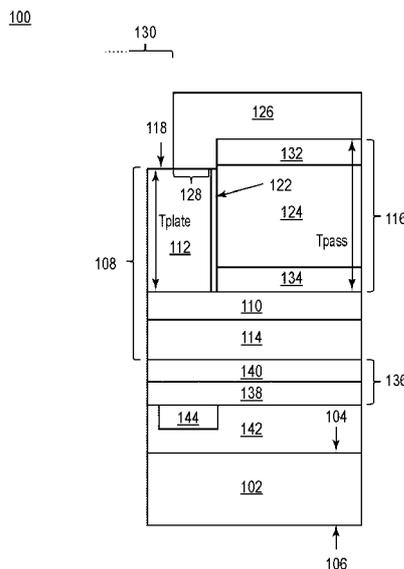
权利要求书3页 说明书8页 附图16页

(54) 发明名称

半导体器件和制造半导体器件的方法

(57) 摘要

描述半导体器件和制造该半导体器件的方法。该半导体器件包括：半导体衬底；在半导体衬底上的金属化层；在所述金属化层上的镀层，所述镀层包括NiP；钝化层，在所述金属化层上并且与所述镀层横向相邻，使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出，其中，沿着所述钝化层与所述镀层之间的界面存在缝隙；以及，结构，所述结构沿着镀层的周边覆盖缝隙并界定用于镀层的可接合区域。该结构从镀层的周边延伸到钝化层上。该结构包括固化温度低于NiP的再结晶温度的酰亚胺或沉积温度低于NiP的再结晶温度的氧化物。



1. 一种半导体器件,包括:
半导体衬底;
在所述半导体衬底上的金属化层;
在所述金属化层上的镀层,所述镀层包括NiP;
钝化层,在所述金属化层上并且与所述镀层横向相邻,使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出,其中,沿着所述钝化层与所述镀层之间的界面存在缝隙;
以及
结构,所述结构沿着所述镀层的周边覆盖所述缝隙并界定用于所述镀层的可接合区域,
其中,所述结构从所述镀层的周边延伸到所述钝化层上,
其中,所述结构包括固化温度低于所述NiP的重结晶温度的酰亚胺或沉积温度低于所述NiP的重结晶温度的氧化物。
2. 根据权利要求1所述的半导体器件,其中,所述钝化层包括电绝缘层的堆叠,其中,所述电绝缘层的堆叠的最上层是氧化物或氮化硅层,并且其中,所述结构从所述镀层的周边延伸到所述氧化物或氮化硅层上。
3. 根据权利要求1所述的半导体器件,其中,所述钝化层包括所述电绝缘层的堆叠,其中,所述电绝缘层的堆叠的最上层是聚酰亚胺层,其中,所述聚酰亚胺层回撤以形成台阶,并且其中,所述结构从所述镀层的周边延伸到所述台阶上。
4. 根据权利要求3所述的半导体器件,其中,紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层,其中,所述结构包括固化温度低于所述NiP的再结晶温度的所述酰亚胺,并且其中,所述结构接触所述氧化物或氮化硅层的被所述聚酰亚胺层露出且形成所述台阶的区段。
5. 根据权利要求3所述的半导体器件,其中,紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层,其中,所述结构包括沉积温度低于所述NiP的再结晶温度的所述氧化物,并且其中,所述结构插入在所述氧化物或氮化硅层与所述聚酰亚胺层之间。
6. 根据权利要求3所述的半导体器件,其中,所述结构比所述聚酰亚胺层薄,并且其中,所述结构接触界定所述台阶的所述聚酰亚胺层的侧壁。
7. 根据权利要求3所述的半导体器件,其中,所述结构比所述聚酰亚胺层厚,并且其中,所述结构从所述镀层的周边延伸到所述聚酰亚胺层的背向所述半导体衬底的表面上。
8. 根据权利要求1所述的半导体器件,其中,所述钝化层的最上层是聚酰亚胺层,其中,所述聚酰亚胺层回撤,使得在所述镀层的侧壁与所述聚酰亚胺层的侧壁之间存在间隙,其中,所述间隙比所述缝隙宽,并且其中,所述结构填充所述镀层的侧壁与所述聚酰亚胺层的侧壁之间的间隙。
9. 根据权利要求1所述的半导体器件,其中,所述钝化层的最上层是氧化物或氮化硅层,其中,所述结构包括固化温度低于所述NiP的再结晶温度的所述酰亚胺,并且其中,所述结构覆盖整个钝化层。
10. 根据权利要求1所述的半导体器件,其中,所述镀层还包括所述NiP上的贵金属。
11. 根据权利要求1所述的半导体器件,其中,所述金属化层包括铝化合物。

12. 一种制造半导体器件的方法,所述方法包括:

在半导体衬底上形成金属化层;

在所述金属化层上形成钝化层;

在所述金属化层上形成包括NiP的镀层,其中,所述钝化层与所述镀层横向相邻,使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出,其中,沿着所述钝化层与所述镀层之间的界面存在缝隙;以及

形成结构,所述结构沿着所述镀层的周边覆盖缝隙并界定用于所述镀层的可接合区域,

其中,所述结构从所述镀层的周边延伸到所述钝化层上,

其中,形成所述结构包括在低于所述NiP的重结晶温度的固化温度下固化酰亚胺或在低于所述NiP的重结晶温度的沉积温度下沉积氧化物。

13. 根据权利要求12所述的方法,其中:

形成所述钝化层包括在所述金属化层上形成电绝缘层的堆叠,所述电绝缘层的堆叠的最上层是氧化物或氮化硅层;以及

所述结构形成为从所述镀层的周边延伸到所述氧化物或氮化硅层上。

14. 根据权利要求12所述的方法,其中:

形成所述钝化层包括在所述金属化层上形成电绝缘层的堆叠,所述电绝缘层的堆叠的最上层是聚酰亚胺层,所述聚酰亚胺层回撤以形成台阶;以及

所述结构形成为从所述镀层的周边延伸到所述台阶上。

15. 根据权利要求14所述的方法,其中:

紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层;

形成所述结构包括在低于所述NiP的重结晶温度的固化温度下固化所述酰亚胺;以及

所述结构接触所述氧化物或氮化硅层的被所述聚酰亚胺层露出且形成所述台阶的区段。

16. 根据权利要求14所述的方法,其中:

紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层;以及

形成所述结构包括在形成所述聚酰亚胺层之前在低于所述NiP的再结晶温度的所述沉积温度下在所述氧化物或氮化硅层上沉积所述氧化物,使得所述结构插入在所述氧化物或氮化硅层与所述聚酰亚胺层之间。

17. 根据权利要求14所述的方法,其中,所述结构比所述聚酰亚胺层薄,并且其中,所述结构形成为接触界定所述台阶的所述聚酰亚胺层的侧壁。

18. 根据权利要求14所述的方法,其中,所述结构比所述聚酰亚胺层厚,并且其中,所述结构形成为从所述镀层的周边延伸到所述聚酰亚胺层的背向所述半导体衬底的表面上。

19. 根据权利要求12所述的方法,其中:

形成所述钝化层包括在氧化物或氮化硅层上形成聚酰亚胺层,所述聚酰亚胺层是所述钝化层的最上层,所述聚酰亚胺层回撤,使得在所述镀层的侧壁与所述聚酰亚胺层的侧壁之间存在间隙,所述间隙比所述缝隙宽;以及

所述结构形成为填充所述镀层的侧壁和所述聚酰亚胺层的侧壁之间的间隙。

20. 根据权利要求12所述的方法, 其中:

形成所述钝化层包括形成氧化物或氮化硅层, 所述氧化物或氮化硅层是所述钝化层的最上层; 以及

形成所述结构包括在低于所述NiP的再结晶温度的所述固化温度下固化所述酰亚胺, 使得所述酰亚胺覆盖整个钝化层。

半导体器件和制造半导体器件的方法

技术领域

[0001] 本公开涉及半导体器件的领域，具体地涉及半导体器件和制造半导体器件的方法。

背景技术

[0002] 许多类型的半导体器件使用电镀AlCu金属化。例如，AlCu可以用NiP、Pd和Au来电镀。然后，将诸如未掺杂硅酸盐玻璃、氮化硅、聚酰亚胺等的钝化层施加到器件，其中，电镀金属化堆叠的部分被钝化层覆盖，而电镀金属化堆叠的另一部分被暴露以形成一个或多个接触焊盘。接触焊盘用于例如通过引线接合、带接合、金属夹附着、焊料凸块化等而形成到器件的外部电连接。然而，常见的电镀材料诸如NiP、Pd和Au未很好地粘附到常见的钝化层材料（尤其是玻璃）。沿着金属化堆叠和钝化层之间的界面通常出现例如几百纳米的间隙或缝隙。该缝隙为水和其他腐蚀性气体或液体穿透半导体管芯的布线层提供路径。例如，腐蚀性液体可以与AlCu反应，其中，对应的电化学反应腐蚀在NiP下方的AlCu。由于腐蚀性化合物通过沿着金属化堆叠-钝化层界面的缝隙进入，在器件内可能出现其他不利的化学反应。

[0003] 因此，存在如下需要：用于半导体器件的改进的金属化堆叠-钝化层界面。

发明内容

[0004] 根据半导体器件的实施例，半导体器件包括：半导体衬底；在半导体衬底上的金属化层；在所述金属化层上的镀层，所述镀层包括NiP；钝化层，在所述金属化层上并且与所述镀层横向相邻，使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出，其中，沿着所述钝化层与所述镀层之间的界面存在缝隙；以及结构，该结构沿着镀层的周边覆盖缝隙并界定用于镀层的可接合的区域，其中，该结构从镀层的周边延伸到钝化层上，其中，该结构包括固化温度低于NiP的再结晶温度的酰亚胺或沉积温度低于NiP的再结晶温度的氧化物。

[0005] 根据制造半导体器件的方法的实施例，该方法包括：在半导体衬底上形成金属化层；在金属化层上形成钝化层；在所述金属化层上形成包括NiP的镀层，其中，所述钝化层与所述镀层横向相邻，使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出，其中，沿着所述钝化层与所述镀层之间的界面存在缝隙；以及，形成沿着镀层的周边覆盖缝隙并界定用于镀层的可接合区域的结构，其中，该结构从镀层的周边延伸到钝化层上，其中，形成该结构包括在低于NiP的再结晶温度的固化温度下固化酰亚胺或者在低于NiP的再结晶温度的沉积温度下沉积氧化物。

[0006] 本领域技术人员在阅读以下详细描述时并在查看附图时将认识到附加特征和优点。

附图说明

[0007] 附图中的元件不一定相对于彼此成比例。相同的附图标记指定对应的类似部分。

各种示出的实施例的特征可以组合,除非它们彼此排斥。实施例在附图中描绘并在随后的描述中详细描述。

- [0008] 图1示出半导体器件的部分剖面图。
- [0009] 图2A到2C示出在不同制造阶段期间图1的半导体器件的相应部分剖面图。
- [0010] 图3示出半导体器件的另一实施例的部分剖面图。
- [0011] 图4A到4D示出在不同制造阶段期间图3的半导体器件的相应部分剖面图。
- [0012] 图5示出半导体器件的另一实施例的部分剖面图。
- [0013] 图6A到6D示出在不同制造阶段期间图5的半导体器件的相应部分剖面图。
- [0014] 图7示出半导体器件的另一实施例的部分剖面图。
- [0015] 图8示出半导体器件的另一实施例的部分剖面图。

具体实施方式

[0016] 在本文中描述用于覆盖在半导体器件的电镀金属化堆叠和钝化层之间的缝隙的结构实施例。还描述制造该结构的对应方法。该结构沿着金属化镀层的周边覆盖缝隙,以便界定用于镀层的可接合区域,其中,镀层包括NiP(镍磷)。可接合区域可以用于例如通过引线接合、带接合、金属夹附着、焊料凸块化等而形成到器件的外部电连接。该结构从镀层的周边延伸到钝化层上以覆盖但不必填充缝隙。

[0017] 镀层的NiP成分的再结晶可以在电镀金属堆叠内引起高度的应力,这可以导致结构损坏。NiP的再结晶主要取决于温度、时间和磷含量。例如,根据磷含量,Ni-P团簇(cluster)可能在275°C与300°C之间开始出现。因此,NiP镀层的再结晶温度可以在275°C到350°C的范围中。完成结晶过程所需的时间量可以是数分钟至数小时,这取决于温度。

[0018] 覆盖在电镀金属化堆叠和钝化层之间的缝隙的结构包括固化温度低于NiP的再结晶温度的酰亚胺或沉积温度低于NiP的再结晶温度的氧化物。因此,沿着金属化堆叠和钝化层之间的界面的缝隙可以被该结构覆盖,而不在该结构的形成期间使镀层中包含的NiP再结晶。

[0019] 参考附图接下来描述制造如下结构的示例性实施例:该结构覆盖在金属化堆叠的含NiP镀层和钝化层之间的缝隙,而不使NiP再结晶。

[0020] 图1示出半导体器件100的部分剖面图。半导体器件100包括半导体衬底102。半导体衬底102可以包括任何类型的半导体材料,诸如Si、SiC、GaN等。半导体衬底102可以包括基底半导体和生长在基底半导体上的一个或多个外延层。半导体器件100可以包括并联电连接以形成晶体管的10个、100个、1000个或甚至更多晶体管单元。例如,晶体管单元可以共享源极或发射极连接、漏极或集电极连接以及栅极连接。所得到的晶体管可以是垂直器件,因为主电流流动方向在半导体衬底102的前表面104和背表面106之间。晶体管可以替代地是横向器件,因为主电流流动方向是沿着半导体衬底102的前表面104。晶体管可以是功率MOSFET(金属氧化物半导体场效应晶体管)、IGBT(绝缘栅双极晶体管)、HEMT(高电子迁移率晶体管)等。从图1中省略晶体管的细节,以强调形成在半导体衬底102上的层。

[0021] 形成在半导体衬底102上的层包括最终金属化堆叠108。最终金属化堆叠108是半导体器件100的最上布线结构。最终金属化堆叠108包括金属化层110和形成在金属化层110上的镀层112。金属化层110用作布线结构,并且镀层112包括NiP。镀层112可以包括一种或

多种附加金属或金属合金。例如，镀层112可以包括NiP和贵金属，诸如Pd（钯）或Au（金）。

[0022] 镀层112可以被结构化以形成一个或多个接触焊盘，所述接触焊盘提供接触点以例如通过引线接合、带接合、金属夹附着、焊料凸块化等而形成到半导体器件100的外部电连接。例如，在垂直功率晶体管的情况下，镀层112可以被结构化以包括源极/发射极和栅极接触焊盘，而漏极/集电极焊盘可以形成在半导体衬底102的背表面106处。在横向功率晶体管的情况下，镀层112可以被结构化以包括用于半导体器件100的所有接触焊盘。金属化层110可以被结构化以确保在接触焊盘处的不同电位之间的适当隔离。

[0023] 在一个实施例中，金属化层110包括铝化合物。例如，金属化层110可以包括AlCu或AlSiCu。其他金属系统可以用于金属化层110，例如Cu，并且一个或多个附加金属化层114可以形成在金属化层110下方并与金属化层110接触。例如，在AlCu或AlSiCu作为金属化层110的情况下，一个或多个附加金属化层114可以包括TiN（氮化钛）和/或Ti（钛）。通常，最终金属化堆叠108可以包括多个金属化层以增强电迁移稳健性、增加粘附力、改进热稳定性、降低薄层电阻（sheet resistance）等。在每一种情况下，金属化层110充当半导体器件100的最上布线结构。

[0024] 在图1中仅示出金属化层110和电镀层112的部分，以强调电镀层112的边缘与形成在金属化层110上的钝化层116的边缘之间的界面。钝化层116设置在金属化层110上并且与镀层112横向相邻，使得镀层112的背向半导体衬底102的表面118被钝化层116露出。被钝化层116露出的镀层112的表面118可以例如用Au来电镀。在任一情况下，沿着钝化层116与镀层112之间的界面存在缝隙（间隙）122。钝化层116可以包括玻璃124，诸如USG（未掺杂硅酸盐玻璃）。NiP和Pd未很好地粘附到玻璃（因此缝隙122）。例如，在镀层112的边缘和钝化层116的边缘之间，缝隙122可以在几百纳米的范围中。

[0025] 为了防止腐蚀性气体和/或液体穿透半导体器件100的最终金属化堆叠108，提供结构126，该结构126沿着镀层112的周边128覆盖缝隙122并且界定用于镀层112的可接合区域130。（一个或多个）接触焊盘位于可接合区域130中。

[0026] 结构126从镀层112的周边128延伸到钝化层116上。结构126可以形成密封环或框架，其覆盖并密封在钝化层116与镀层112之间的缝隙122但不填充缝隙122，其中，结构126粘附到镀层112和钝化层116两者。

[0027] 根据图1中示出的实施例，结构126包括固化温度低于镀层112中包含的NiP的再结晶温度的酰亚胺。如上所述，NiP的再结晶温度可以在275°C到350°C的范围中。因此，形成覆盖镀层112与钝化层116之间的缝隙122的结构126的酰亚胺具有低于该范围的固化温度。否则，NiP可能开始再结晶，这导致最终金属化堆叠108内的应力增加。例如，在低于镀层112中包含的NiP的再结晶温度的温度下被酰亚胺化（固化）的聚酰亚胺可以用于结构126。

[0028] 结构126延伸到其上的钝化层116可以包括不同材料的多于一层的单个材料层。例如，钝化层116可以包括一层或多层氧化物和/或氮化物。在一个实施例中，电绝缘层的堆叠的最上层132可以是氧化物或氮化硅层，其中，结构126从镀层112的周边128延伸到氧化物或氮化硅层132上。电绝缘层的堆叠的最下层134也可以是氧化物或氮化硅层。根据该实施例，玻璃层124插入在钝化层的最上层132和最下层134之间。如图1中所示，钝化层116可以比镀层112厚（ $T_{pass} > T_{plate}$ ）。

[0029] 图1示出作为形成在半导体衬底102上的唯一布线层/结构的最终金属化堆叠108。

然而,一个或多个附加布线层可以形成在最终金属化堆叠108和半导体衬底102之间,并通过ILD(层间电介质)136彼此分离。最下ILD 136提供与上覆布线层/结构和半导体衬底102的分离。每个ILD 136可以包括单个绝缘层或两个或多个不同的绝缘层。例如,图1中示出的ILD 136包括诸如TEOS(原硅酸四乙酯)的下氧化物层138和诸如BPSG(硼磷硅酸盐玻璃)的上玻璃层140。

[0030] 在平面栅极器件的情况下,栅极氧化物142形成在半导体衬底102的前表面104上,并且栅极电极144通过栅极氧化物142与半导体衬底102分离。对于沟槽栅极器件,栅极电极144将设置在形成在半导体衬底102中的沟槽中,并且栅极氧化物142将铺衬(line)沟槽的侧壁和底部,以将栅极电极144与半导体衬底102分离。如上所述,半导体器件100可以包括并联电连接以形成诸如功率MOSFET、IGBT、HEMT等的晶体管的10个、100个、1000个或甚至更多平面栅极或沟槽栅极晶体管单元。

[0031] 图2A至2C示出形成镀层112、钝化层116和覆盖镀层112和钝化层116之间的缝隙122的结构126的实施例。

[0032] 图2A示出在最终金属化堆叠108的金属化层110上形成钝化层116之后、但在金属化层110上形成镀层112之前的半导体器件100。可以通过如下步骤来形成钝化层116:在金属化层110上沉积电绝缘层134、124、132的堆叠,在钝化层134、124、132的堆叠上形成抗蚀剂200,使用掩模将抗蚀剂200曝光以图案化抗蚀剂,显影抗蚀剂200,通过固化来结构化抗蚀剂200,以及使用结构化的抗蚀剂200来蚀刻钝化层134、124、132的堆叠。在钝化层116被结构化之后,去除抗蚀剂200。

[0033] 图2B示出在电镀(plating)112最终金属化堆叠108的金属化层110之后的半导体器件100。如上所述,镀层(plating)112包括至少NiP。镀层112可以包括一种或多种附加金属或金属合金,诸如贵金属,如Pd或Au。镀层112的上表面118可以例如用Au来电镀。

[0034] 图2C示出在形成沿着镀层112的周边128覆盖在镀层112和钝化层116之间的缝隙122的结构126之后的半导体器件100。根据该实施例,结构126包括固化温度低于镀层112中包含的NiP的再结晶温度的酰亚胺202。此外,根据该实施例,结构126从镀层112的周边128延伸到钝化层116上。因此,结构126可以形成密封环或框架,其覆盖并密封在钝化层116和镀层112之间的缝隙122但不填充缝隙122。低温酰亚胺202可以在低于NiP的再结晶温度的固化温度下固化,使得所得到的结构126覆盖整个钝化层116。

[0035] 低温酰亚胺202可以通过印刷来形成,其中,低温酰亚胺202仅施加在期望的区中并且然后固化。在另一实施例中,低温酰亚胺202通过旋涂工艺来形成,并且在结构126将不保留的区域中显影。然后,固化旋涂材料,并去除显影的材料,以形成最终结构126。

[0036] 图3示出半导体器件300的另一实施例的部分剖面图,该半导体器件300具有在最终金属化堆叠108的镀层112和相邻的钝化层116之间的缝隙122。图3中示出的实施例类似于图1中示出的实施例。因此,参考图1中示出的半导体器件100描述的材料和结构特征也可以应用于图3中示出的半导体器件300。然而,不同的是,图3中示出的半导体器件300的钝化层116还包括聚酰亚胺层302作为最上钝化层。

[0037] 聚酰亚胺层302可以被提供以为半导体器件300建立最大电场能力。使用固化温度低于镀层112中包含的NiP的再结晶温度的酰亚胺作为覆盖镀层112和钝化层116之间的缝隙122的结构126提供了有限的耐压保护。在钝化层116中包括聚酰亚胺层302——聚酰亚胺

层302具有比用于形成结构126的低温酰亚胺202更高的固化温度——提供更高的耐压保护。例如,在功率MOSFET的情况下,在钝化层116中具有聚酰亚胺层302的情况下,器件300可以承受高达500V的电压。对于IGBT来说,在钝化层116中具有聚酰亚胺层302的情况下,器件可以承受高于500V的电压。通常,器件击穿电压能力取决于聚酰亚胺层302的厚度和配置。然而,聚酰亚胺层302可以具有处于或高于镀层112中包含的NiP的再结晶温度的固化温度,因此应在镀层112形成之前固化以避免由NiP的再结晶引起的应力诱导损坏。

[0038] 如图3中所示,聚酰亚胺层302可以回撤以形成台阶304。结构126从镀层112的周边128延伸到台阶304上,以覆盖镀层112和钝化层116之间的缝隙122。

[0039] 如在本文中先前所述,紧接在聚酰亚胺层302下方的电绝缘层132可以是氧化物或氮化硅层。在图3中,覆盖镀层112和钝化层116之间的缝隙122的结构126包括固化温度低于镀层112中包含的NiP的再结晶温度的酰亚胺。此外,在图3中,结构126接触氧化物或氮化硅层132的被聚酰亚胺层302露出且形成台阶304的区段306。结构126还接触界定台阶304的聚酰亚胺层302的侧壁308。

[0040] 图4A至4D示出为图3中示出的半导体器件300形成镀层112、钝化层116和覆盖镀层112和钝化层116之间的缝隙122的结构126的实施例。

[0041] 图4A示出在除了聚酰亚胺层302之外的钝化层116的每个电绝缘层134、124、132形成在最终金属化堆叠108的金属化层110上之后并且在金属化层110上形成镀层112之前的半导体器件300。如在本文中先前结合图2A所述,可以形成在聚酰亚胺层302下方的钝化层116的电绝缘层134、124、132。

[0042] 图4B示出在形成聚酰亚胺层302(包括台阶304)之后的半导体器件300。聚酰亚胺层302可以通过将光敏性酰亚胺400旋涂到最终金属化堆叠108的金属化层110上来形成。光敏性酰亚胺400的固化和横向回撤的范围‘W_step’两者可以使用中间掩模(reticle mask)/光刻工艺来执行。横向回撤‘W-Step’限定聚酰亚胺层302中的台阶304的尺寸,并且可以例如在10至20微米的范围中。

[0043] 图4C示出在电镀112最终金属化堆叠108的金属化层110之后的半导体器件300。如上所述,镀层112包括至少NiP。镀层112可以包括一种或多种附加金属或金属合金,诸如贵金属,如Pd或Au。被钝化层116露出的镀层112的表面118可以例如用Au来电镀。

[0044] 图4D示出在形成沿着镀层周边128覆盖镀层112和钝化层116之间的缝隙122的结构126之后的半导体器件300。根据该实施例,结构126包括固化温度低于镀层112中包含的NiP的再结晶温度的酰亚胺,并且结构126从镀层112的周边128延伸到钝化层116上。低温酰亚胺可以例如通过印刷或旋涂工艺来形成,如先前结合图2C所述。

[0045] 图5示出半导体器件500的另一实施例的部分剖面图,该半导体器件500具有在最终金属化堆叠108的镀层112和相邻的钝化层116之间的缝隙122。图5中示出的实施例类似于图1和3中示出的实施例。因此,参考图1和3中示出的半导体器件100、300描述的材料和结构特征也可以应用于图5中示出的半导体器件500。然而,不同的是,沿着镀层112的周边128覆盖缝隙122的结构126是沉积温度低于镀层112中包含的NiP的再结晶温度的氧化物。例如,氧化物600可以是硅酸盐玻璃诸如PSG(磷硅酸盐玻璃)、BPSG(硼磷硅酸盐玻璃)等,金属氧化物诸如氧化钛、氧化铝等。如果钝化层116包括图5中示出的聚酰亚胺层302,则结构126可以插入在钝化层116的最上氧化物或氮化硅层132与钝化层116的聚酰亚胺层302之间。例

如,聚酰亚胺302可以具有低于镀层112中包含的NiP的再结晶温度的固化温度。

[0046] 图6A至6D示出为图5中示出的半导体器件500形成镀层112、钝化层116和覆盖镀层112和钝化层116之间的缝隙122的结构126的实施例。

[0047] 图6A示出在除了聚酰亚胺层302之外的钝化层116的每个电绝缘层134、124、132形成在最终金属化堆叠108的金属化层110上之后并且在镀层112形成在金属化层110上之前的半导体器件300。如在本文中先前结合图2A所述,可以形成在聚酰亚胺层302下方的钝化层116的电绝缘层134、124、132。

[0048] 图6B示出在电镀112最终金属化堆叠108的金属化层110之后的半导体器件300。如上所述,镀层112包括至少NiP。镀层112可以包括一种或多种附加金属或金属合金,诸如贵金属,如Pd或Au。镀层112的上表面118可以例如用Au来电镀。

[0049] 图6C示出在形成沿着镀层112的周边128覆盖镀层112和钝化层材料116之间的缝隙122的结构126之后的半导体器件300。根据该实施例,结构126包括沉积温度低于镀层112中包含的NiP的再结晶温度的氧化物600。例如,氧化物600可以是PSG、BPSG、氧化钛、氧化铝等。低温氧化物600可以通过用于覆盖较大缝隙122的CVD(化学气相沉积)或者用于覆盖几纳米的较小缝隙122的ALD(原子层沉积)来形成。

[0050] 图6D示出在形成聚酰亚胺层302之后的半导体器件300。例如,如在本文中先前结合图4B所述,可以形成最上钝化层302。

[0051] 图6A至图6D中示出的方法的替选实施例可以用来制造图5中示出的结构。例如,从图6A中的器件结构开始,最上钝化层302,例如聚酰亚胺,可以使用标准(高温)工艺在电绝缘层上形成。然后形成镀层112,接着是形成包括氧化物600的结构126,使得覆盖最终金属化堆叠108的镀层112和相邻的钝化层116之间的缝隙122。氧化物600具有低于镀层112中包含的NiP的再结晶温度的沉积温度。可以接着进一步的处理步骤,如例如氧化物600的结构化。

[0052] 图7示出半导体器件700的另一实施例的部分剖面图,该半导体器件700具有在最终金属化堆叠108的镀层112和相邻的钝化层116之间的缝隙122。图7中示出的实施例类似于图1和图3中示出的实施例。因此,参考图1和图3中示出的半导体器件100、300描述的材料和结构特征也可以应用于图7中示出的半导体器件700。然而,不同的是,钝化层116包括单个氧化物或氮化硅层134。而且,沿着镀层112的周边128覆盖缝隙122的结构126比钝化层116的聚酰亚胺层302薄($T_1 < T_2$)。因此,结构126接触钝化层116的聚酰亚胺层302的侧壁,但不延伸到聚酰亚胺层302的背向半导体衬底102的表面702上。

[0053] 图8示出半导体器件800的另一实施例的部分剖面图,该半导体器件800具有在最终金属化堆叠108的镀层112和相邻的钝化层116之间的缝隙122。图8中示出的实施例类似于图7中示出的实施例。因此,参考图7中示出的半导体器件700描述的材料和结构特征也可以应用于图8中示出的半导体器件800。然而,不同的是,沿着镀层112的周边128覆盖缝隙122的结构126比钝化层116的聚酰亚胺层302厚($T_1 > T_2$)。而且,结构126从镀层112的周边128延伸到聚酰亚胺层302的背向半导体衬底102的表面702上。

[0054] 在图7和图8两者中,钝化层116的聚酰亚胺层302回撤,使得在镀层112的侧壁和聚酰亚胺层302的侧壁之间存在间隙804。在一个实施例中,间隙804比最终金属化堆叠108的镀层112和钝化层116之间的缝隙122宽,并且结构126填充在镀层112的侧壁和聚酰亚胺层

302的侧壁之间的间隙804。然而,由于间隙804和缝隙122之间的尺寸差异,结构126可能未填充缝隙112。

[0055] 尽管本公开不限于此,但以下编号的示例例证本公开的一个或多个方面。

[0056] 示例1.一种半导体器件,包括:半导体衬底;在半导体衬底上的金属化层;在所述金属化层上的镀层,所述镀层包括NiP;钝化层,在所述金属化层上并且与所述镀层横向相邻,使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出,其中,沿着所述钝化层与所述镀层之间的界面存在缝隙;以及,结构,该结构沿着镀层的周边覆盖缝隙并界定用于镀层的可接合区域,其中,该结构从镀层的周边延伸到钝化层上,其中,该结构包括固化温度低于NiP的再结晶温度的酰亚胺或沉积温度低于NiP的再结晶温度的氧化物。

[0057] 示例2.根据示例1的半导体器件,其中,钝化层包括电绝缘层的堆叠,其中,电绝缘层的堆叠的最上层是氧化物或氮化硅层,并且其中,该结构从镀层的周边延伸到氧化物或氮化硅层上。

[0058] 示例3.根据示例1的半导体器件,其中,钝化层包括电绝缘层的堆叠,其中,电绝缘层的堆叠的最上层是聚酰亚胺层,其中,聚酰亚胺层回撤以形成台阶,并且其中,该结构从镀层的周边延伸到台阶上。

[0059] 示例4.根据示例3的半导体器件,其中,紧接在聚酰亚胺层下方的、电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层,其中,所述结构包括固化温度低于NiP的再结晶温度的酰亚胺,并且其中,所述结构接触氧化物或氮化硅层的被聚酰亚胺层露出且形成台阶的区段。

[0060] 示例5.根据示例3的半导体器件,其中,紧接在聚酰亚胺层下方的、电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层,其中,所述结构包括沉积温度低于NiP的再结晶温度的氧化物,并且其中,所述结构插入在氧化物或氮化硅层与聚酰亚胺层之间。

[0061] 示例6.根据示例3至5中任一项的半导体器件,其中,所述结构比所述聚酰亚胺层薄,并且其中,所述结构接触界定所述台阶的聚酰亚胺层的侧壁。

[0062] 示例7.根据示例3至5中任一项的半导体器件,其中,所述结构比所述聚酰亚胺层厚,并且其中,所述结构从所述镀层的周边延伸到所述聚酰亚胺层的背向所述半导体衬底的表面上。

[0063] 示例8.根据示例1的半导体器件,其中,所述钝化层的最上层是聚酰亚胺层,其中,所述聚酰亚胺层回撤,使得在所述镀层的侧壁与所述聚酰亚胺层的侧壁之间存在间隙,其中,所述间隙比所述缝宽,并且其中,所述结构填充所述镀层的侧壁与所述聚酰亚胺层的侧壁之间的间隙。

[0064] 示例9.根据示例1的半导体器件,其中,钝化层的最上层是氧化物或氮化硅层,其中,所述结构包括固化温度低于NiP的再结晶温度的酰亚胺,并且其中,所述结构覆盖整个钝化层。

[0065] 示例10.根据示例1至9中任一项的半导体器件,其中,镀层还包括NiP上的贵金属。

[0066] 示例11.根据示例1至10中任一项的半导体器件,其中,金属化层包括铝化合物。

[0067] 示例12.一种制造半导体器件的方法,所述方法包括:在半导体衬底上形成金属化层;在金属化层上形成钝化层;在所述金属化层上形成包括NiP的镀层,其中,所述钝化层与所述镀层横向相邻,使得所述镀层的背向所述半导体衬底的表面被所述钝化层露出,其中,

沿着所述钝化层与所述镀层之间的界面存在缝隙；以及，形成沿着镀层的周边覆盖缝隙且界定用于镀层的可接合区域的结构，其中，该结构从镀层的周边延伸到钝化层上，其中，形成该结构包括在低于NiP的再结晶温度的固化温度下固化酰亚胺，或者在低于NiP的再结晶温度的沉积温度下沉积氧化物。

[0068] 示例13. 根据示例12的方法，其中：形成所述钝化层包括在所述金属化层上形成电绝缘层的堆叠，所述电绝缘层的堆叠的最上层是氧化物或氮化硅层；并且，该结构形成为从镀层的周边延伸到氧化物或氮化硅层上。

[0069] 示例14. 根据示例12的方法，其中：形成所述钝化层包括在所述金属化层上形成电绝缘层的堆叠，所述电绝缘层的堆叠的最上层是聚酰亚胺层，所述聚酰亚胺层回撤以形成台阶；并且，该结构形成为从镀层的周边延伸到台阶上。

[0070] 示例15. 根据示例14的方法，其中：紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层；形成所述结构包括在低于所述NiP的重结晶温度的固化温度下固化所述酰亚胺；并且，该结构接触氧化物或氮化硅层的被聚酰亚胺层露出且形成台阶的区段。

[0071] 示例16. 根据示例14的方法，其中：紧接在所述聚酰亚胺层下方的、所述电绝缘层的堆叠的电绝缘层是氧化物或氮化硅层；并且，形成所述结构包括在形成所述聚酰亚胺层之前在所述氧化物或氮化硅层上在低于所述NiP的再结晶温度的沉积温度下沉积所述氧化物，使得所述结构插入在所述氧化物或氮化硅层与所述聚酰亚胺层之间。

[0072] 示例17. 根据示例14至16中任一项的方法，其中，所述结构比所述聚酰亚胺层薄，并且其中，所述结构形成为接触界定所述台阶的聚酰亚胺层的侧壁。

[0073] 示例18. 根据示例14至16中任一项所述的方法，其中，所述结构比所述聚酰亚胺层厚，并且其中，所述结构形成为从所述镀层的周边延伸到所述聚酰亚胺层的背向所述半导体衬底的表面上。

[0074] 示例19. 根据示例12的方法，其中：形成所述钝化层包括在氧化物或氮化硅层上形成聚酰亚胺层，所述聚酰亚胺层是所述钝化层的最上层，所述聚酰亚胺层回撤，使得在所述镀层的侧壁与所述聚酰亚胺层的侧壁之间存在间隙，所述间隙比所述缝隙宽；并且，该结构形成为填充镀层的侧壁和聚酰亚胺层的侧壁之间的间隙。

[0075] 示例20. 根据示例12的方法，其中：形成所述钝化层包括形成氧化物或氮化硅层，所述氧化物或氮化硅层是所述钝化层的最上层；并且，形成所述结构包括在低于所述NiP的重结晶温度的固化温度下固化所述酰亚胺，使得所述酰亚胺覆盖整个钝化层。

[0076] 诸如“第一”、“第二”等的术语用于描述各种元件、区、区段等，并且也不旨在是限制性的。在整个说明书中，相同的术语指代相同的元件。

[0077] 如在本文中使用的，术语“具有”、“含有”、“包含”、“包括”等是开放式术语，其指示所阐述的元件或特征的存在，但不排除附加元件或特征。冠词“一”、“一个”和“该”旨在包括复数以及单数，除非上下文另外明确指示。

[0078] 尽管在本文中已经示出和描述了特定实施例，但是本领域普通技术人员将理解，在不偏离本发明的范围的情况下可以用各种替选和/或等同实现来替代所示出和描述的特定实施例。本申请旨在覆盖在本文中讨论的特定实施例的任何修改或变化。因此，旨在本发明仅由权利要求及其等同物来限制。

100

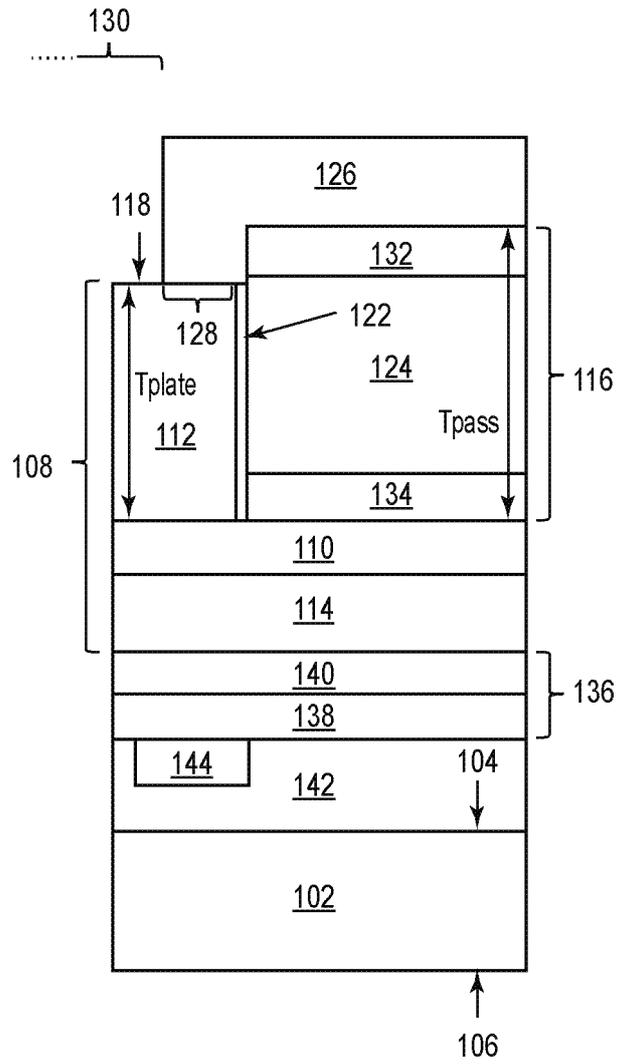


图 1

100

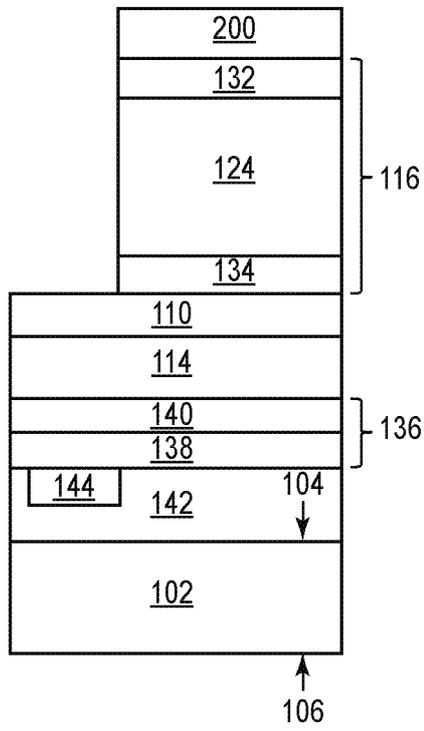


图 2A

100

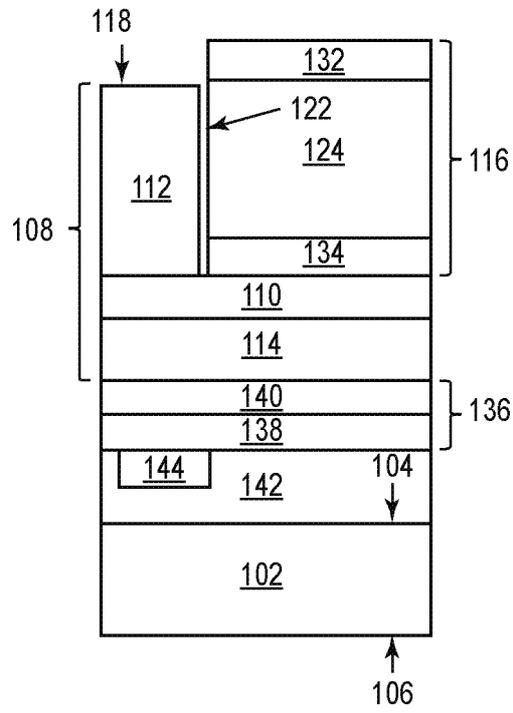


图 2B

100

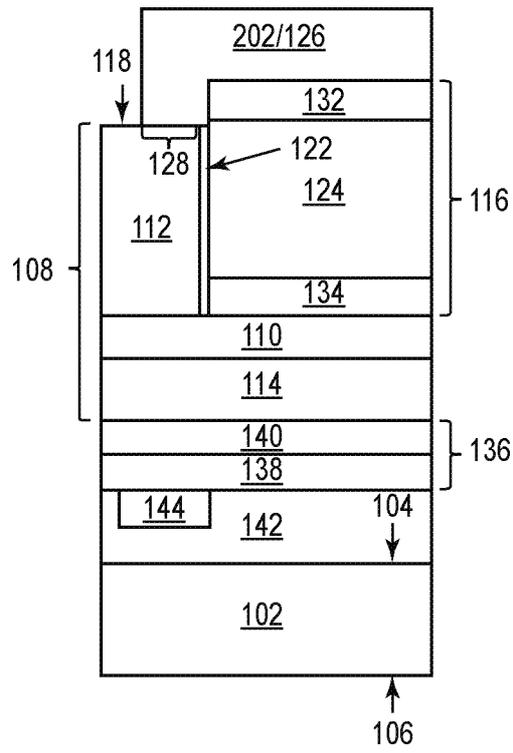


图 2C

300

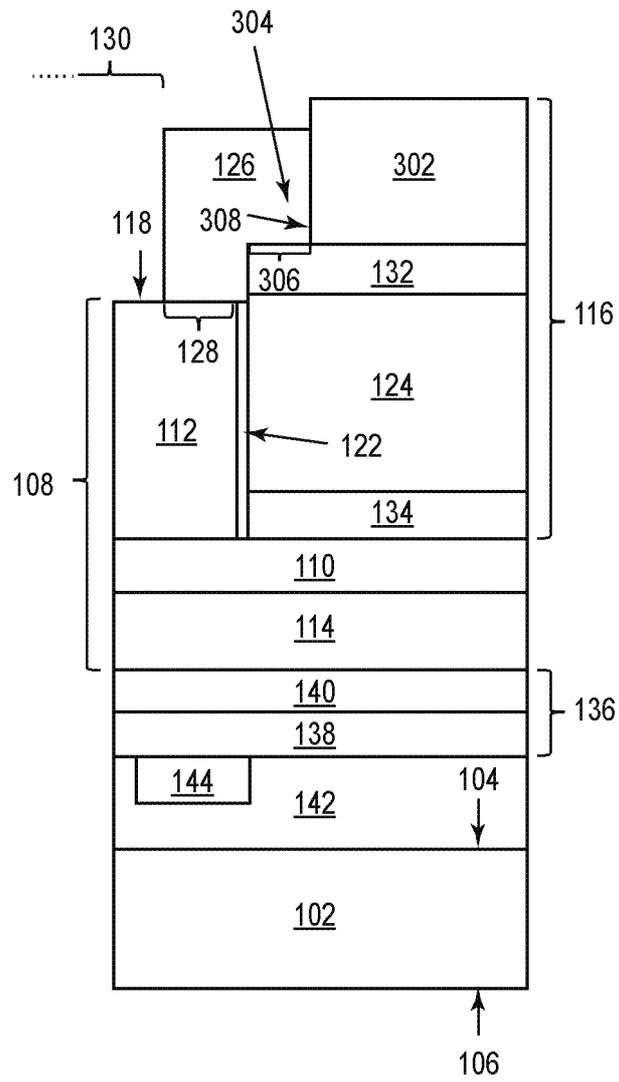


图 3

300

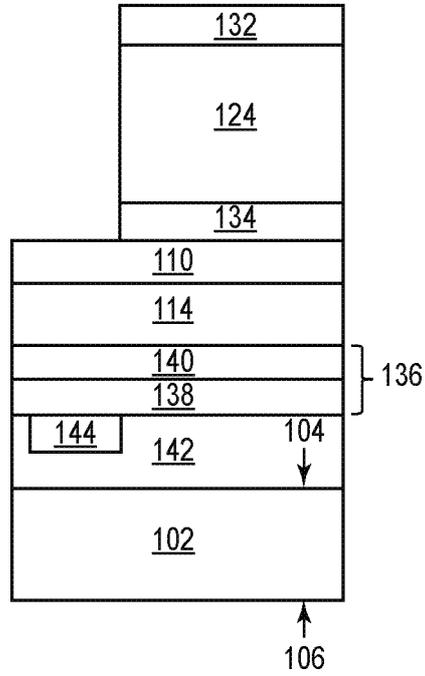


图 4A

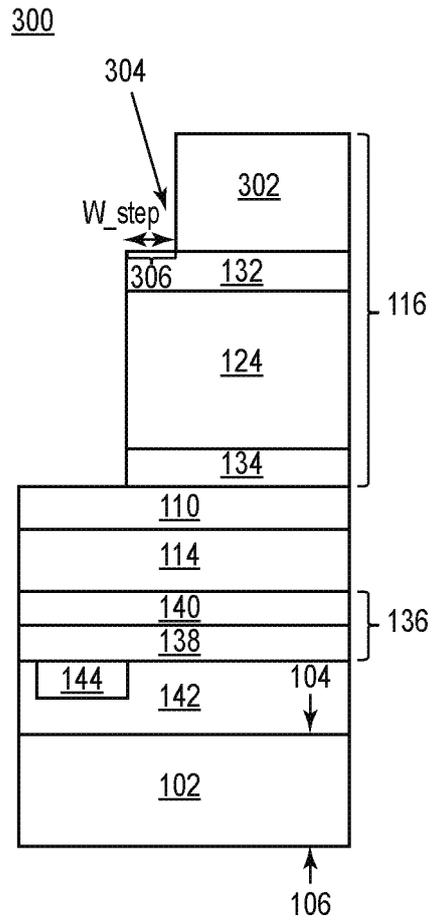


图 4B

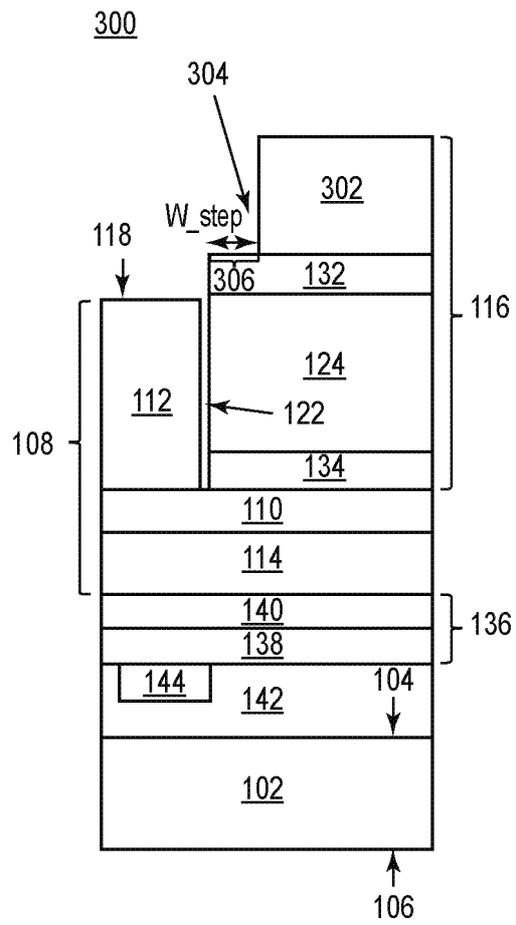


图 4C

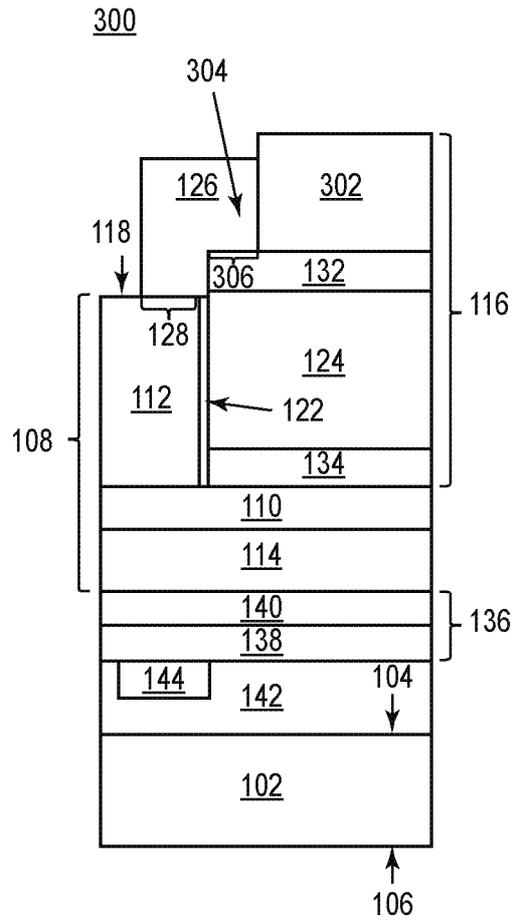


图 4D

500

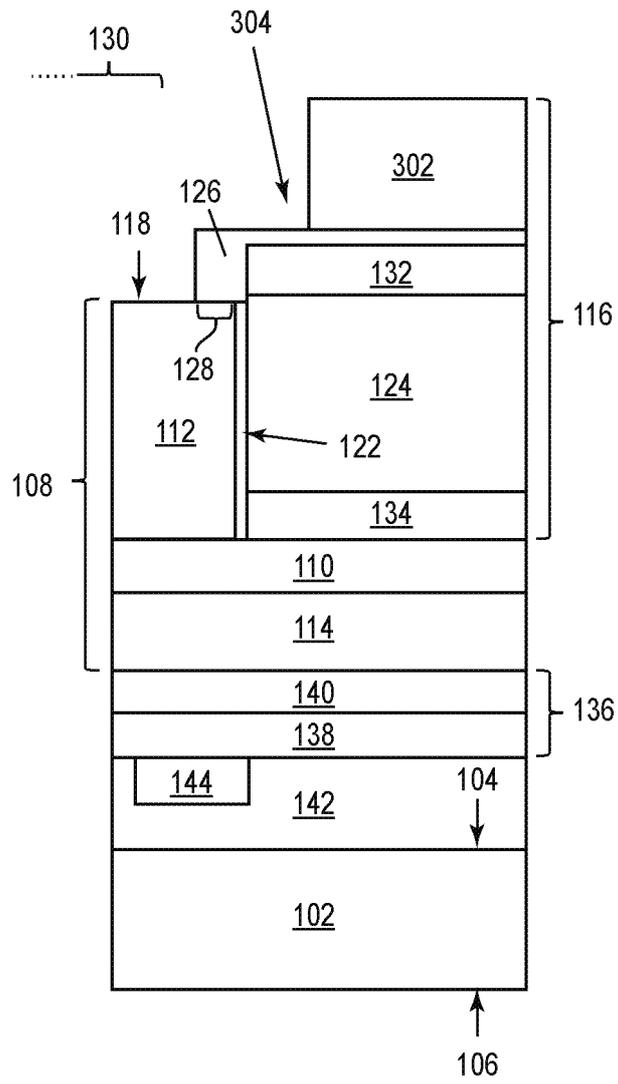


图 5

500

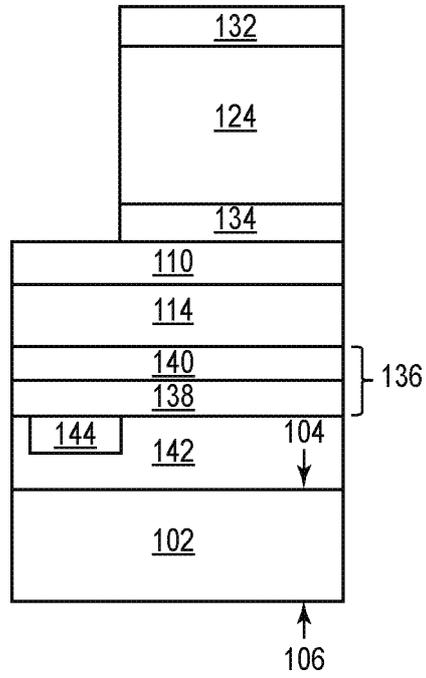


图 6A

500

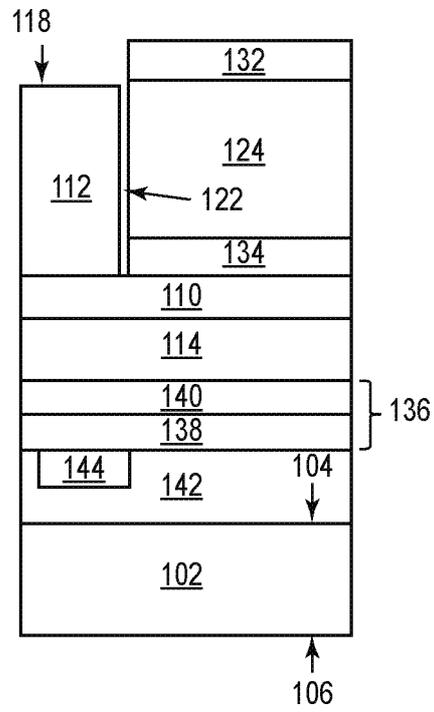


图 6B

500

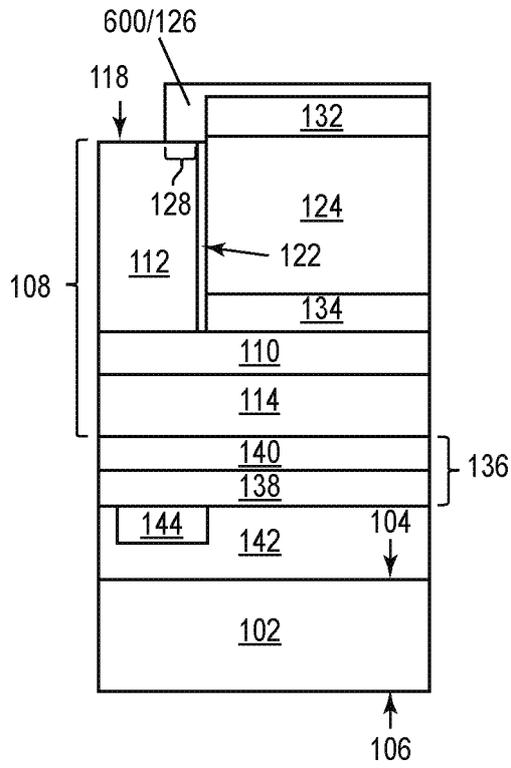


图 6C

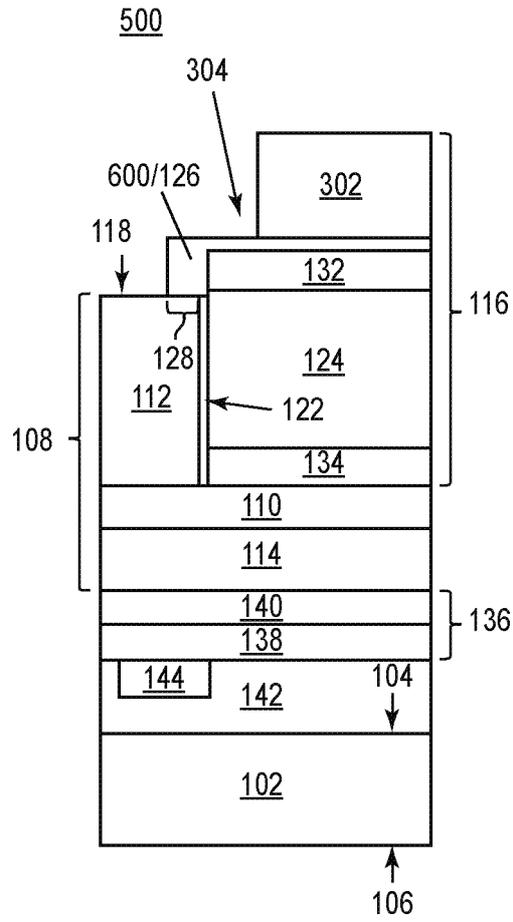


图 6D

700

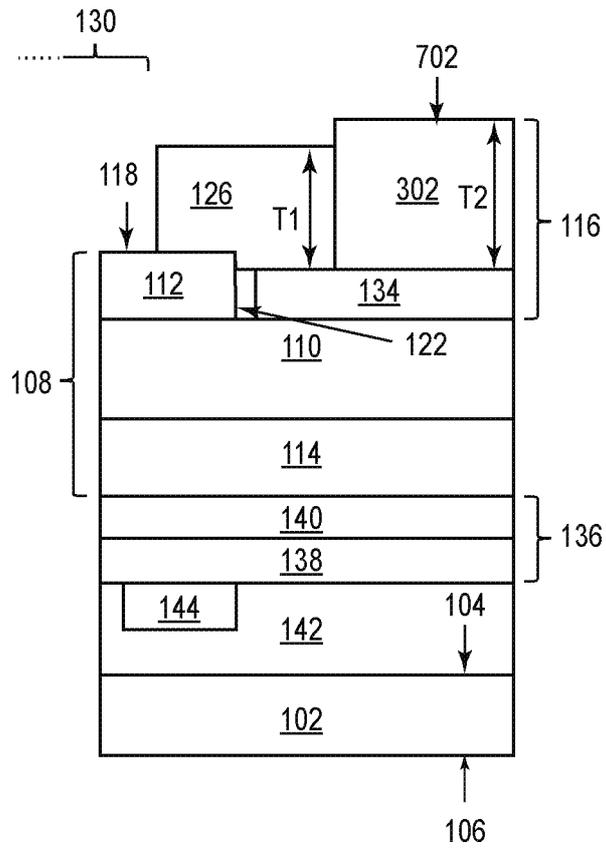


图 7

800

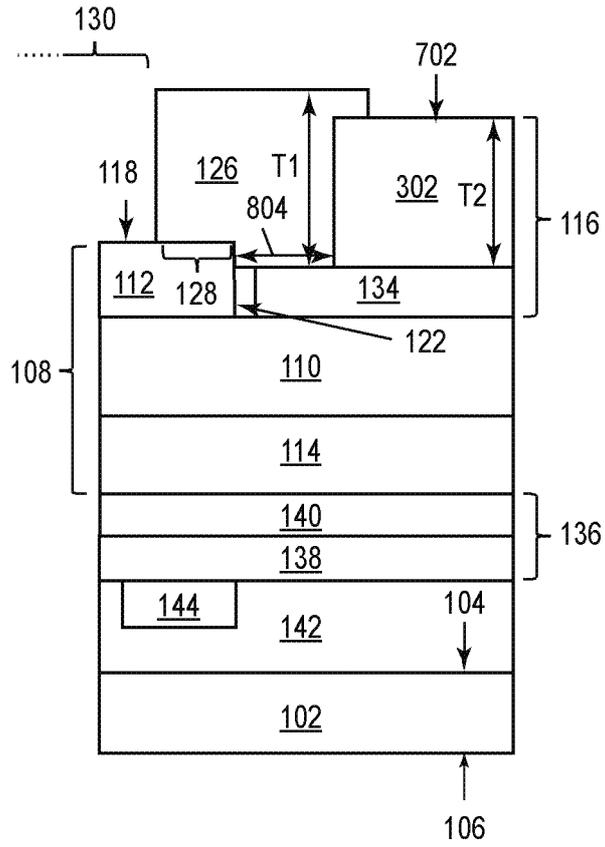


图 8