(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0096188
(43) 공개일자 2022년07월07일

(51) 국제특허분류(Int. Cl.)
*H01L 51/52* (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
*H01L 51/5206* (2013.01)
*H01L 27/3213* (2013.01)
(21) 출원번호 10-2020-0188414
(22) 출원일자 2020년12월30일
심사청구일자 없음

(71) 출원인
**엘지디스플레이 주식회사**
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
**김문수**
경기도 파주시 월롱면 엘지로 245
**이성배**
경기도 파주시 월롱면 엘지로 245
(74) 대리인
**특허법인천문**

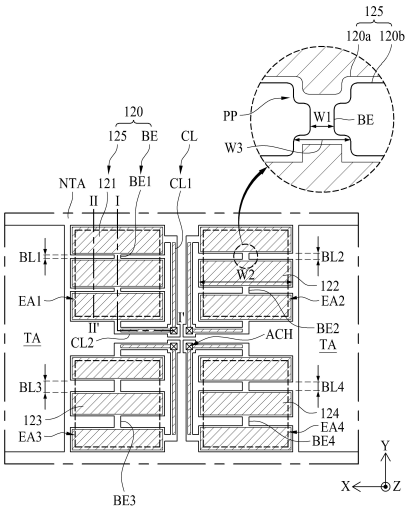
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 **표시 장치**

## (57) 요 약

본 발명은 이물 발생에 의하여 암점화되는 발광 영역의 면적을 최소화시킬 수 있다. 본 발명의 일 실시예에 따른 표시 장치는 복수의 서브 화소들에 의하여 화상을 표시하는 표시 영역이 구비된 기판, 기판 상에 구비된 구동 트랜지스터, 구동 트랜지스터 상에서 복수의 서브 화소들 각각에 구비되고, 복수의 분할 전극들 및 복수의 분할 전극들을 연결하는 브리지 전극으로 이루어진 제1 전극, 일단이 컨택홀을 통해 상기 구동 트랜지스터에 연결되고 타단이 제1 전극에 연결된 연결부, 제1 전극 상에 구비된 발광층, 및 발광층 상에 구비된 제2 전극을 포함한다.

*대 표 도* - 도4



(52) CPC특허분류
*H01L 27/3248* (2013.01)
*H01L 27/3262* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

복수의 서브 화소들에 의하여 화상을 표시하는 표시 영역이 구비된 기판;

상기 기판 상에 구비된 구동 트랜지스터;

상기 구동 트랜지스터 상에서 상기 복수의 서브 화소들 각각에 구비되고, 복수의 분할 전극들 및 상기 복수의 분할 전극들을 연결하는 브리지 전극으로 이루어진 제1 전극;

일단이 컨택홀을 통해 상기 구동 트랜지스터에 연결되고, 타단이 상기 제1 전극에 연결된 연결부;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하는 표시 장치.

### 청구항 2

제1항에 있어서,

상기 연결부는 상기 복수의 분할 전극들 중 어느 하나와 상기 컨택홀에 연결된 제1 연결부, 및 상기 복수의 분할 전극들 중 다른 하나와 상기 컨택홀에 연결된 제2 연결부를 포함하는 표시 장치.

### 청구항 3

제2항에 있어서,

상기 제1 연결부는 상기 복수의 분할 전극들 중 제1 측에서 최외곽에 배치된 분할 전극에 연결되고, 상기 제2 연결부는 상기 복수의 분할 전극들 중 제2 측에서 최외곽에 배치된 분할 전극에 연결된 표시 장치.

### 청구항 4

제1항에 있어서,

상기 제1 전극은 제1 물질로 이루어진 제1 전극층, 및 상기 제1 전극층 상에 구비되고, 제2 물질로 이루어진 제2 전극층을 포함하는 표시 장치.

### 청구항 5

제4항에 있어서,

상기 복수의 분할 전극들은 서로 이격 배치되고,

상기 복수의 분할 전극들 각각은 상기 제1 전극층 및 상기 제2 전극층으로 이루어진 표시 장치.

### 청구항 6

제5항에 있어서,

상기 브리지 전극은 이웃하는 2개의 분할 전극들 사이에 배치되고, 일단이 상기 이웃하는 2개의 분할 전극들 중 어느 하나의 제2 전극층에 연결되고, 타단이 상기 이웃하는 2개의 분할 전극들 중 다른 하나의 제2 전극층에 연결된 표시 장치.

### 청구항 7

제4항에 있어서,

상기 브리지 전극은 상기 제2 전극층으로 이루어지고, 이웃하는 2개의 분할 전극들 각각의 제2 전극층과 연결된 표시 장치.

**청구항 8**

제7항에 있어서,

상기 브리지 전극은 상기 분할 전극과 접하는 측의 제1 폭이 상기 분할 전극의 제2 폭 보다 작은 표시 장치.

**청구항 9**

제4항에 있어서,

상기 제1 물질은 반사 물질이고, 상기 제2 물질은 투명 물질인 표시 장치.

**청구항 10**

제4항에 있어서,

상기 제2 물질은 상기 제1 물질 보다 저항이 높거나 녹는점이 낮은 표시 장치.

**청구항 11**

제1항에 있어서,

이물이 발생한 분할 전극과 연결된 브리지 전극은 줄 히팅(Joule heating)에 의하여 단절되는 표시 장치.

**청구항 12**

제1항에 있어서,

상기 복수의 서브 화소들은 제1 색의 광을 방출하는 제1 서브 화소 및 제2 색의 광을 방출하는 제2 서브 화소를 포함하고,

상기 제1 서브 화소에 구비된 제1 전극은 복수의 제1 분할 전극들 및 상기 복수의 제1 분할 전극들을 연결하는 제1 브리지 전극으로 이루어지고,

상기 제2 서브 화소에 구비된 제1 전극은 복수의 제2 분할 전극들 및 상기 복수의 제2 분할 전극들을 연결하는 제2 브리지 전극으로 이루어진 표시 장치.

**청구항 13**

제12항에 있어서,

상기 제1 브리지 전극 및 상기 제2 브리지 전극은 길이가 서로 다른 표시 장치.

**청구항 14**

제12항에 있어서,

상기 구동 트랜지스터는 상기 제1 화소 전극과 연결된 제1 구동 트랜지스터 및 상기 제2 화소 전극과 연결된 제2 구동 트랜지스터를 포함하고,

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터는 크기가 서로 다른 표시 장치.

**청구항 15**

제12항에 있어서,

상기 제1 구동 트랜지스터가 상기 제2 구동 트랜지스터 보다 크기가 크고,

상기 제1 브리지 전극이 상기 제2 브리지 전극 보다 길이가 짧은 표시 장치.

**청구항 16**

제12항에 있어서,

상기 제1 분할 전극 및 상기 제2 분할 전극은 상기 브리지 전극과 접하는 측과 수직한 측의 폭이 서로 다른 표

시 장치.

**청구항 17**

제16항에 있어서,

상기 제1 브리지 전극이 상기 제2 브리지 전극 보다 길이가 짧고,

상기 제1 분할 전극이 상기 제2 분할 전극 보다 폭이 큰 표시 장치.

**청구항 18**

제1항에 있어서,

상기 복수의 서브 화소들은 적색 서브 화소 및 청색 서브 화소를 포함하고,

상기 적색 서브 화소의 브리지 전극은 상기 청색 서브 화소의 브리지 전극 보다 길이가 짧은 표시 장치.

**청구항 19**

투과 영역 및 상기 투과 영역 사이에 배치된 복수의 서브 화소들이 구비된 기판;

상기 기판 상에서 상기 복수의 서브 화소들 각각에 구비되고, 복수의 분할 전극들 및 이웃하는 2개의 분할 전극들 사이에 배치되어 상기 분할 전극들을 연결하는 브리지 전극으로 이루어진 제1 전극;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하는 표시 장치.

**청구항 20**

제19항에 있어서,

상기 기판과 상기 제1 전극 사이에 구비된 구동 트랜지스터;

일단이 컨택홀을 통해 상기 구동 트랜지스터에 연결되고, 타단이 상기 복수의 분할 전극들 중 어느 하나와 연결된 제1 연결부; 및

일단이 상기 컨택홀을 통해 상기 구동 트랜지스터에 연결되고, 타단이 상기 복수의 분할 전극들 중 다른 하나와 연결된 제2 연결부를 더 포함하는 표시 장치.

**청구항 21**

제20항에 있어서,

상기 제1 연결부, 상기 제2 연결부 및 상기 컨택홀 상에 구비된 뱅크를 더 포함하는 표시 장치.

**청구항 22**

제20항에 있어서,

상기 제1 연결부는 서브 화소들 사이에 구비되고, 상기 제2 연결부는 상기 투과 영역과 서브 화소 상에 구비되는 표시 장치.

**청구항 23**

제19항에 있어서,

상기 제1 전극은 반사 물질로 이루어진 제1 전극층, 및 상기 제1 전극층 상에 구비되고, 투명 물질로 이루어진 제2 전극층을 포함하는 표시 장치.

**청구항 24**

제23항에 있어서,

상기 복수의 분할 전극들은 서로 이격 배치되고,

상기 복수의 분할 전극들 각각은 상기 제1 전극층 및 상기 제2 전극층으로 이루어지고,

상기 브리지 전극은 상기 제2 전극층으로 이루어지고, 이웃하는 2개의 분할 전극들 각각의 제2 전극층과 연결된 표시 장치.

**청구항 25**

제19항에 있어서,

상기 복수의 서브 화소들은 제1 색의 광을 방출하는 제1 서브 화소 및 제2 색의 광을 방출하는 제2 서브 화소를 포함하고,

상기 제1 서브 화소에 구비된 제1 전극은 복수의 제1 분할 전극들 및 상기 복수의 제1 분할 전극들을 연결하는 제1 브리지 전극으로 이루어지고,

상기 제2 서브 화소에 구비된 제1 전극은 복수의 제2 분할 전극들 및 상기 복수의 제2 분할 전극들을 연결하는 제2 브리지 전극으로 이루어진 표시 장치.

**청구항 26**

제25항에 있어서,

상기 제1 브리지 전극 및 상기 제2 브리지 전극은 길이가 서로 다른 표시 장치.

**청구항 27**

제26항에 있어서,

상기 제1 화소 전극과 연결된 제1 구동 트랜지스터; 및

상기 제2 화소 전극과 연결된 제2 구동 트랜지스터를 더 포함하고,

상기 제1 구동 트랜지스터가 상기 제2 구동 트랜지스터 보다 크기가 크고,

상기 제1 브리지 전극이 상기 제2 브리지 전극 보다 길이가 짧은 표시 장치.

**청구항 28**

제19항에 있어서,

상기 복수의 서브 화소들은 적색 서브 화소, 녹색 서브 화소, 청색 서브 화소 및 백색 서브 화소를 포함하고,

상기 적색 서브 화소의 브리지 전극은 상기 녹색 서브 화소, 상기 청색 서브 화소 및 상기 백색 서브 화소 각각의 브리지 전극 보다 길이가 짧고,

상기 청색 서브 화소의 브리지 전극은 상기 적색 서브 화소, 상기 녹색 서브 화소, 및 상기 백색 서브 화소 각각의 브리지 전극 보다 길이가 긴 표시 장치.

**청구항 29**

제28항에 있어서,

상기 녹색 서브 화소의 브리지 전극은 상기 백색 서브 화소의 브리지 전극 보다 길이가 짧은 표시 장치.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 표시 장치에 관한 것이다.

### *배 경 기 술*

[0002] 표시장치는 제1 전극, 발광층 및 제2 전극이 순차적으로 적층되고, 제1 전극 및 제2 전극에 전압이 인가되면 발광층에서 발광이 이루어질 수 있다. 이러한 표시장치는 제조 과정에서 제1 전극 상에 이물이 발생할 수 있고,

이러한 경우, 이물이 발생한 영역에서 제1 전극과 제2 전극 간에 쇼트가 발생할 수 있다. 이로 인하여, 표시장치는 이물이 발생한 서브 화소 전체가 암점화가 되어 발광하지 못하는 문제가 있다.

[0003] 한편, 최근에는 사용자가 표시 장치를 투과해 반대편에 위치한 사물 또는 이미지를 볼 수 있는 투명 표시 장치에 대한 연구가 활발히 진행되고 있다.

[0004] 투명 표시 장치는 화상이 표시되는 표시 영역과 비표시 영역을 포함하며, 표시 영역은 외부 광을 투과시킬 수 있는 투과 영역과 비투과 영역을 포함할 수 있다. 투명 표시 장치는 투과 영역을 통해서 표시 영역에서 높은 광투과율을 가질 수 있다.

[0005] 투명 표시 장치는 투과 영역이 구비됨에 따라 일반 표시 장치와 비교하여 발광 영역의 면적이 작다. 이에 따라, 투명 표시 장치는 이물에 의하여 서브 화소 전체가 암점화되면, 일반 표시 장치 보다 휘도 저하가 크게 나타날 수 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명은 암점화되는 발광 영역의 면적을 최소화시킬 수 있는 표시 장치를 제공하는 것을 기술적 과제로 한다.

### 과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 표시 장치는 복수의 서브 화소들에 의하여 화상을 표시하는 표시 영역이 구비된 기판, 기판 상에 구비된 구동 트랜지스터, 구동 트랜지스터 상에서 복수의 서브 화소들 각각에 구비되고, 복수의 분할 전극들 및 복수의 분할 전극들을 연결하는 브리지 전극으로 이루어진 제1 전극, 일단이 컨택홀을 통해 상기 구동 트랜지스터에 연결되고 타단이 제1 전극에 연결된 연결부, 제1 전극 상에 구비된 발광층, 및 발광층 상에 구비된 제2 전극을 포함한다.

[0008] 본 발명의 다른 실시예에 따른 표시 장치는 투과 영역 및 투과 영역 사이에 배치된 복수의 서브 화소들이 구비된 기판, 기판 상에서 복수의 서브 화소들 각각에 구비되고, 복수의 분할 전극들 및 이웃하는 2개의 분할 전극들 사이에 배치되어 분할 전극들을 연결하는 브리지 전극으로 이루어진 제1 전극, 제1 전극 상에 구비된 발광층, 및 발광층 상에 구비된 제2 전극을 포함한다.

### 발명의 효과

[0009] 본 발명은 복수의 분할 전극들 및 브리지 전극으로 이루어진 제1 전극이 2개의 연결부들을 통해 구동 트랜지스터에 연결될 수 있다. 본 발명은 이물이 발생한 분할 전극과 연결된 브리지 전극들이 단절되더라도, 다른 분할 전극이 2개의 연결부들 중 어느 하나를 통해 구동 트랜지스터와 안정적으로 연결될 수 있다. 이에 따라, 본 발명은 이물 발생시 암점화되는 발광 영역의 면적을 최소화시킬 수 있다.

[0010] 또한, 본 발명은 구동 트랜지스터로부터 인가되는 전류에 따라 브리지 전극의 길이를 조절할 수 있다. 이를 통해, 본 발명은 구동 트랜지스터로부터 인가되는 전류가 작아지더라도, 분할 전극 상에 이물 발생시 브리지 전극이 단절되는 것을 보장할 수 있다.

[0011] 또한, 본 발명은 서브 화소 별로 브리지 전극의 길이를 다르게 형성함으로써, 서브 화소들 각각에 구비된 브리지 전극들이 유사한 저항을 가질 수 있도록 할 수 있다.

[0012] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

### 도면의 간단한 설명

[0013] 도 1는 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다.

도 2는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 보여주는 평면도이다.

도 3은 표시 패널에 구비된 화소의 일 예를 보여주는 도면이다.

도 4는 도 3에 도시된 화소에 구비된 제1 전극을 보여주는 도면이다.

도 5는 도 4의 I-I'의 일 예를 보여주는 단면도이다.

도 6은 도 4의 II-II'의 일 예를 보여주는 단면도이다.

도 7은 복수의 분할 전극들 중 하나에 이물이 발생한 예를 설명하기 위한 도면이다.

도 8은 도 7의 III-III'의 일 예를 보여주는 단면도이다.

도 9는 도 4에 도시된 제1 전극의 변형된 예를 보여주는 도면이다.

도 10은 표시 패널에 구비된 화소의 다른 예를 보여주는 도면이다.

도 11은 도 10에 도시된 화소에 구비된 제1 전극을 보여주는 도면이다.

도 12는 도 10의 IV-IV'의 일 예를 보여주는 단면도이다.

## *발명을 실시하기 위한 구체적인 내용*

[0014] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 명세서의 실시 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0018] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0019] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.

[0020] '적어도 하나'의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, ''제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나''의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0021] 본 명세서의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0022] 이하에서는 본 발명에 따른 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0024] 도 1는 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다.

[0025] 이하에서, X축은 스캔 라인과 나란한 방향을 나타내고, Y축은 데이터 라인과 나란한 방향을 나타내며, Z축은 표시 장치(100)의 높이 방향을 나타낸다.

[0026] 본 발명의 일 실시예에 따른 표시 장치(100)는 유기 발광 표시 장치(Organic Light Emitting Display)로 구현된 것을 중심으로 설명하였으나, 액정 표시 장치(Liquid Crystal Display), 플라즈마 표시장치(PDP: Plasma Display Panel), 퀀텀닷 발광표시장치 (QLED: Quantum dot Light Emitting Display) 또는 전기 영동 표시 장치(Electrophoresis display)로도 구현될 수 있다.

[0027] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(100)는 표시 패널(110), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(210), 연성필름(220), 회로보드(230), 및 타이밍 제어부(240)를 포함한다.

[0028] 표시 패널(110)은 서로 마주보는 제1 기판(111)과 제2 기판(112)을 포함한다. 제2 기판(112)은 봉지 기판일 수 있다. 제1 기판(111)은 플라스틱 필름(plastic film), 유리 기판(glass substrate), 또는 반도체 공정을 이용하여 형성된 실리콘 웨이퍼 기판일 수 있다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름일 수 있다. 이러한 제1 기판(111)과 제2 기판(112)은 투명한 재료로 이루어질 수 있다.

[0029] 스캔 구동부는 표시 패널(110)의 표시 영역의 일측 또는 양측 바깥쪽의 비표시 영역에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 스캔 구동부는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시 패널(110)의 표시 영역의 일측 또는 양측 바깥쪽의 비표시 영역에 부착될 수도 있다.

[0030] 소스 드라이브 IC(210)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on panel) 방식으로 연성필름(220)에 실장될 수 있다.

[0031] 표시 패널(110)의 비표시 영역에는 전원 패드들, 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(220)에는 패드들과 소스 드라이브 IC(210)를 연결하는 배선들, 패드들과 회로보드(230)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(220)은 이방성 도전 필름(antisotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(220)의 배선들이 연결될 수 있다.

[0032] 도 2는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 보여주는 평면도이고, 도 3은 표시 패널에 구비된 화소의 일 예를 보여주는 도면이고, 도 4는 도 3에 도시된 화소에 구비된 제1 전극을 보여주는 도면이다. 도 5는 도 4의 I-I'의 일 예를 보여주는 단면도이고, 도 6은 도 4의 II-II'의 일 예를 보여주는 단면도이다. 도 7은 복수의 분할 전극들 중 하나에 이물이 발생한 예를 설명하기 위한 도면이고, 도 8은 도 7의 III-III'의 일 예를 보여주는 단면도이다. 도 9는 도 4에 도시된 제1 전극의 변형된 예를 보여주는 도면이다.

[0033] 도 2 내지 도 9에서는 표시 패널(110)이 투명 표시 패널로 구현된 것을 중심으로 설명하였으나, 반드시 이에 한정되는 것은 아니다. 표시 패널(110)은 투과 영역(TA)이 구비되지 않은 일반적인 표시 패널로도 구현될 수 있다.

[0034] 도 2 내지 도 9를 참조하면, 제1 기판(111)은 화소(P)들이 형성되어 화상을 표시하는 표시 영역(DA)과 화상을 표시하지 않는 비표시 영역(NDA)으로 구분될 수 있다.

[0035] 비표시 영역(NDA)은 패드(PAD)들이 배치된 패드 영역(PA) 및 적어도 하나의 스캔 구동부(205)가 구비될 수 있다.

[0036] 스캔 구동부(205)는 스캔 라인들에 접속되어 스캔 신호들을 공급한다. 이러한 스캔 구동부(205)는 게이트 드라이브 인 패널(GATE driver in panel, GIP) 방식으로 표시 영역(DA)의 일측 또는 양측에 배치될 수 있다. 일 예로, 도 2에 도시된 바와 같이 스캔 구동부(205)는 표시 영역(DA)의 양측에 배치될 수 있으나, 반드시 이에 한정되지는 않는다. 스캔 구동부(205)는 표시 영역(DA)의 일측에만 배치될 수도 있다.

[0037] 표시 영역(DA)은 도 3에 도시된 바와 같이 투과 영역(TA)과 비투과 영역(NTA)을 포함한다. 투과 영역(TA)은 외부로부터 입사되는 빛의 대부분을 통과시키는 영역이고, 비투과 영역(NTA)은 외부로부터 입사되는 빛의 대부분을 투과시키기 않는 영역이다. 일 예로, 투과 영역(TA)은 광 투과율이 α%, 예컨대, 90% 보다 큰 영역이고, 비투과 영역(NTA)은 광 투과율이 β%, 예컨대, 50% 보다 작은 영역일 수 있다. 이때, α 는 β 보다 큰 값이다. 표시 패널(110)은 투과 영역(TA)들로 인해 표시 패널(110)의 배면(背面)에 위치한 사물 또는 배경을 볼 수 있다.

[0038] 비투과 영역(NTA)에는 복수의 화소(P)들 및 복수의 화소(P)들 각각에 신호를 공급하기 위한 복수의 제1 신호 라인들(SL1) 및 복수의 제2 신호 라인들(SL2)이 구비될 수 있다.

[0039] 복수의 제1 신호 라인들(SL1)은 제1 방향(X축 방향)으로 연장될 수 있다. 복수의 제1 신호 라인들(SL1)은 복수의 제2 신호 라인들(SL2)과 교차될 수 있다. 복수의 제1 신호 라인들(SL1) 각각은 적어도 하나의 스캔 라인을 포함할 수 있다.

[0040] 이하에서는 제1 신호 라인(SL1)이 복수의 라인을 포함하는 경우, 하나의 제1 신호 라인(SL1)은 복수의 라인으로 이루어진 신호 라인 그룹을 의미할 수 있다. 예컨대, 하나의 제1 신호 라인(SL1)은 2개의 스캔 라인으로 이루어진 신호 라인 그룹을 의미할 수 있다.

[0041] 복수의 제2 신호 라인들(SL2)은 제2 방향(Y축 방향)으로 연장될 수 있다. 복수의 제2 신호 라인들(SL2) 각각은 적어도 하나의 데이터 라인, 레퍼런스 라인, 화소 전원 라인 및 공통 전원 라인 중 적어도 하나를 포함할 수 있다.

[0042] 이하에서는 제2 신호 라인(SL2)이 복수의 라인을 포함하는 경우, 하나의 제2 신호 라인(SL2)은 복수의 라인으로 이루어진 신호 라인 그룹을 의미할 수 있다. 예컨대, 하나의 제2 신호 라인(SL2)은 2개의 데이터 라인, 레퍼런스 라인, 화소 전원 라인 및 공통 전원 라인으로 이루어진 신호 라인 그룹을 의미할 수 있다.

[0043] 인접한 제1 신호 라인들(SL1) 사이에는 투과 영역(TA)이 배치될 수 있다. 또한, 인접한 제2 신호 라인들(SL2) 사이에는 투과 영역(TA)이 배치될 수 있다. 결과적으로, 투과 영역(TA)은 2개의 제1 신호 라인들(SL1) 및 2개의 제2 신호 라인들(SL2)에 의하여 둘러싸일 수 있다.

[0044] 화소(P)들 각각은 제1 신호 라인(SL1) 또는 제2 신호 라인(SL2)과 중첩되도록 구비되어, 소정의 광을 방출하여 화상을 표시한다. 발광 영역(EA)은 화소(P)에서 광을 발광하는 영역에 해당할 수 있다.

[0045] 화소(P)들 각각은 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 중 적어도 하나를 포함할 수 있다. 제1 서브 화소(SP1)는 적색 광을 방출하는 제1 발광 영역(EA1)을 포함하고, 제2 서브 화소(SP2)는 녹색 광을 방출하는 제2 발광 영역(EA2)을 포함하고, 제3 서브 화소(SP3)는 청색 광을 방출하는 제3 발광 영역(EA3)을 포함하고, 제4 서브 화소(SP4)는 백색 광을 방출하는 제4 발광 영역(EA4)을 포함하도록 구비될 수 있지만, 반드시 그에 한정되는 것은 아니다. 화소(P)들 각각은 적색, 녹색, 청색 및 백색 이외의 색의 광으로 발광하는 서브 화소를 포함할 수도 있다. 또한, 각각의 서브 화소(SP1, SP2, SP3, SP4)의 배열 순서는 다양하게 변경될 수 있다.

[0046] 이하에서는 설명의 편의를 위하여, 제1 서브 화소(SP1)가 적색 광을 방출하는 적색 서브 화소이고, 제2 서브 화소(SP2)가 녹색 광을 방출하는 녹색 서브 화소이며, 제3 서브 화소(SP3)가 청색 광을 방출하는 청색 서브 화소이며, 제4 서브 화소(SP4)가 백색 광을 방출하는 백색 서브 화소인 것으로 설명하도록 한다.

[0047] 복수의 화소(P)들 각각은 투과 영역(TA)들 사이에 배치된 비투과 영역(NTA)에 구비될 수 있다. 그리고, 복수의 화소(P)들은 비투과 영역(NTA)에서 제2 방향(Y축 방향)으로 인접하게 배치될 수 있다. 일 예로, 복수의 화소(P)들은 비투과 영역(NTA)에서 제1 신호 라인(SL1)을 사이에 두고 2개의 화소(P)들이 인접하게 배치될 수 있다.

[0048] 복수의 화소(P)들 각각은 제1 서브 화소(SP1), 제2 서브 화소(SP2) 및 제3 서브 화소(SP3)를 포함할 수 있으며, 일 실시예에 따라, 제4 서브 화소(SP4)를 더 포함할 수도 있다. 복수의 화소(P)들 각각은 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)이 격자 구조로 배치될 수 이다. 일 예로, 복수의 화소(P)들 각각은 가운데 영역을 중심으로 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)이 배치될 수 있다. 여기서, 상기 가운데 영역은 각 화소(P)의 가운데를 포함하고 소정의 면적을 가지는 영역을 나타낼 수 있다.

[0049] 구체적으로, 제1 및 제2 서브 화소(SP1, SP2)는 화소(P)의 가운데 영역을 중심으로 제1 방향(X축 방향)으로 인접하게 배치되고, 제3 및 제4 서브 화소(SP3, SP4)는 화소(P)의 가운데 영역을 중심으로 제1 방향(X축 방향)으로 인접하게 배치될 수 있다. 그리고, 제1 및 제2 서브 화소(SP1, SP2) 중 하나는 제3 및 제4 서브 화소(SP3, SP4) 중 하나와 제2 방향(Y축 방향)으로 인접하게 배치될 수 있다.

[0050] 상술한 바와 같이 배치된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 각각에는 커패시터, 박막 트랜지스터 등을 포함하는 회로 소자, 회로 소자에 신호를 공급하는 복수의 신호 라인들 및 발광 소자가 구비될 수 있다. 박막 트랜지스터는 스위칭 트랜지스터, 센싱 트랜지스터 및 구동 트랜지스

터(TR)를 포함할 수 있다.

[0051] 표시 패널(110)은 투과 영역(TA)을 제외한 비투과 영역(NTA)에 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)는 물론 복수의 신호 라인들을 모두 배치해야 한다. 이에, 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)은 제1 신호 라인(SL1) 및 제2 신호 라인(SL2) 중 적어도 하나와 중첩될 수 있다.

[0052] 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)는 제2 신호 라인(SL2)에 중첩되나, 제1 신호 라인(SL1)에는 중첩되지 않는 것으로 도시하고 있으나, 반드시 이에 한정되지는 않는다. 다른 실시예에 있어서, 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 중 일부는 제1 신호 라인(SL1)에도 적어도 일부가 중첩될 수도 있다.

[0053] 복수의 신호 라인들은 앞서 살펴본 바와 같이 제1 방향(X축 방향)으로 연장된 제1 신호 라인(SL1) 및 제2 방향(Y축 방향)으로 연장된 제2 신호 라인(SL2)을 포함할 수 있다.

[0054] 제1 신호 라인(SL1)은 스캔 라인을 포함할 수 있다. 스캔 라인은 화소(P)의 서브 화소(SP1, SP2, SP3, SP4)들에 스캔 신호를 공급할 수 있다.

[0055] 제2 신호 라인(SL2)은 적어도 하나의 데이터 라인, 레퍼런스 라인, 화소 전원 라인 및 공통 전원 라인 중 적어도 하나를 포함할 수 있다.

[0056] 레퍼런스 라인은 표시 영역(DA)에 구비된 서브 화소들(SP1, SP2, SP3, SP4) 각각의 구동 트랜지스터(TR)에 기준 전압(또는 초기화 전압, 센싱 전압)을 공급할 수 있다.

[0057] 적어도 하나의 데이터 라인 각각은 표시 영역(DA)에 구비된 서브 화소들(SP1, SP2, SP3, SP4) 중 적어도 하나에 데이터 전압을 공급할 수 있다. 일 예로, 제1 데이터 라인은 제1 및 제3 서브 화소(SP1, SP3) 각각의 구동 트랜지스터(TR)에 제1 데이터 전압을 공급하고, 제2 데이터 라인은 제2 및 제4 서브 화소(SP2, SP4) 각각의 구동 트랜지스터(TR)에 제2 데이터 전압을 공급할 수 있다.

[0058] 화소 전원 라인은 서브 화소들(SP1, SP2, SP3, SP4) 각각의 제1 전극(120)에 제1 전원을 공급할 수 있다. 공통 전원 라인은 서브 화소들(SP1, SP2, SP3, SP4) 각각의 제2 전극(140)에 제2 전원을 공급할 수 있다.

[0059] 스위칭 트랜지스터는 스캔 라인에 공급되는 스캔 신호에 따라 스위칭되어 데이터 라인으로부터 공급되는 데이터 전압을 구동 트랜지스터(TR)에 공급하는 역할을 한다.

[0060] 센싱 트랜지스터는 화질 저하의 원인이 되는 구동 트랜지스터(TR)의 문턱 전압 편차를 센싱하는 역할을 한다.

[0061] 구동 트랜지스터(TR)는 스위칭 박막 트랜지스터로부터 공급되는 데이터 전압에 따라 스위칭되어 화소 전원 라인에서 공급되는 전원으로부터 데이터 전류를 생성하여 서브 화소의 제1 전극(120)에 공급하는 역할을 한다. 구동 트랜지스터(TR)는 서브 화소(SP1, SP2, SP3, SP4) 별로 구비되며, 액티브층(ACT), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다.

[0062] 커패시터는 구동 트랜지스터(TR)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 역할을 한다. 커패시터는 제1 커패시터 전극과 제2 커패시터 전극을 포함할 수 있으나, 반드시 이에 한정되지는 않는다. 다른 실시예에 있어서, 커패시터는 3개의 커패시터 전극을 포함할 수도 있다.

[0063] 도 5 및 도 6을 참조하면, 제1 기판(111) 상에는 액티브층(ACT)이 구비될 수 있다. 액티브층(ACT)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.

[0064] 액티브층(ACT)과 제1 기판(111) 사이에는 액티브층(ACT)으로 입사되는 외부광을 차단하기 위한 차광층(LS)이 구비될 수 있다. 차광층(LS)은 전도성을 가지는 물질로 이루어질 수 있으며, 예컨대, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 이러한 경우, 차광층(LS)과 액티브층(ACT) 사이에는 버퍼막(BF)이 구비될 수 있다.

[0065] 액티브층(ACT) 상에는 게이트 절연막(GI)이 구비될 수 있다. 게이트 절연막(GI)은 무기막, 예를 들어 실리콘 산화막(SiOx), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0066] 게이트 절연막(GI) 상에는 게이트 전극(GE)이 구비될 수 있다. 게이트 전극(GE)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루

어진 단일층 또는 다중층으로 형성될 수 있다.

[0067] 게이트 전극(GE) 상에는 층간 절연막(ILD)이 구비될 수 있다. 층간 절연막(ILD)은 무기막, 예를 들어 실리콘 산화막(SiOx), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0068] 층간 절연막(ILD) 상에는 소스 전극(SE) 및 드레인 전극(DE)이 구비될 수 있다. 소스 전극(SE) 및 드레인 전극(DE)은 게이트 절연막(GI)과 층간 절연막들(ILD)을 관통하는 콘택홀을 통해 액티브층(ACT)에 접속될 수 있다.

[0069] 소스 전극(SE) 및 드레인 전극(DE)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0070] 한편, 복수의 신호 라인들, 예컨대, 스캔 라인, 데이터 라인, 레퍼런스 라인, 화소 전원 라인 및 공통 전원 라인 각각은 차광층(LS), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE) 중 어느 하나와 동일한 층에 배치될 수 있다.

[0071] 소스 전극(SE) 및 드레인 전극(DE) 상에는 구동 트랜지스터(TR)을 보호하기 위한 패시베이션막(PAS)이 구비될 수 있다. 패시베이션막(PAS) 상에는 구동 트랜지스터(TR)로 인한 단차를 평탄하게 하기 위한 평탄화막(PLN)이 구비될 수 있다.

[0072] 평탄화막(PLN) 상에는 제1 전극(120), 발광층(130), 제2 전극(140)으로 이루어진 발광소자들과 뱅크(BK)가 구비된다.

[0073] 제1 전극(120)은 평탄화막(PLN) 상에서 서브 화소(SP1, SP2, SP3, SP4) 별로 구비될 수 있다. 구체적으로, 제1 서브 화소(SP1)에 하나의 제1 전극(120)이 형성되고, 제2 서브 화소(SP2)에 다른 하나의 제1 전극(120)이 형성되고, 제3 서브 화소(SP3)에 또 다른 제1 전극(120)이 형성되며, 제4 서브 화소(SP4)에 또 다른 제1 전극(120)이 형성될 수 있다. 그리고, 제1 전극(120)은 투과 영역(TA)에는 구비되지 않는다.

[0074] 복수의 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 제1 전극(120)은 복수의 분할 전극(125)들 및 적어도 하나의 브리지 전극(BE)으로 이루어질 수 있다.

[0075] 복수의 분할 전극(125)들은 둘 이상을 포함할 수 있으며, 제1 방향(X축 방향) 또는 제2 방향(Y축 방향)으로 서로 이격 배치될 수 있다. 일 예로, 복수의 분할 전극(125)들은 도 4 내지 도 6에 도시된 바와 같이 3개를 포함하며 제2 방향(Y축 방향)으로 이격 배치될 수 있으나, 반드시 이에 한정되지는 않는다. 복수의 분할 전극(125)들은 2개를 포함할 수도 있으며, 4개 이상을 포함할 수도 있다. 이하에서는 설명의 편의를 위하여 복수의 분할 전극(125)들이 3개를 포함하는 것으로 설명하도록 한다.

[0076] 복수의 분할 전극(125)들 각각은 도 5 및 도 6에 도시된 바와 같이 제1 전극층(120a) 및 제1 전극층(120a) 상에 구비된 제2 전극층(120b)을 포함할 수 있다.

[0077] 제1 전극층(120a)은 제1 물질로 이루어질 수 있다. 제1 물질은 반사율이 높은 금속 물질을 포함할 수 있다. 일 예로, 제1 물질은 몰리브덴(Mo), 몰리브덴- 티타늄(MoTi)의 합금 또는 구리(Cu)일 수 있으며, 반드시 이에 한정되지는 않는다. 제1 물질은 아래에서 설명할 제2 물질 보다 반사율이 높고 저항이 작은 물질일 수 있다. 또는 제1 물질은 제2 물질 보다 녹는점이 높은 물질일 수 있다.

[0078] 제2 전극층(120b)은 제2 물질로 이루어질 수 있다. 제2 물질은 투명한 물질을 포함할 수 있다. 일 예로, 제2 물질은 ITO일 수 있으며, 반드시 이에 한정되지는 않는다. 제2 물질은 제1 물질 보다 저항이 높은 물질일 수 있다. 또는 제2 물질은 녹는점이 소정의 온도 이상이고 제1 물질 보다 낮은 물질일 수 있다.

[0079] 브리지 전극(BE)은 복수의 분할 전극(125)들 사이에 배치되어, 복수의 분할 전극(125)들을 연결할 수 있다. 구체적으로, 하나의 브리지 전극(BE)은 이웃하는 2개의 분할 전극(125)들 사이에 배치될 수 있다. 이때, 브리지 전극(BE)들은 분할 전극(125)들의 제2 전극층(120b)과 동일한 층에 형성될 수 있다.

[0080] 이러한 경우, 브리지 전극(BE)은 일단이 2개의 분할 전극(125)들 중 어느 하나의 제2 전극층(120b)에 연결되고, 타단이 2개의 분할 전극(125)들 중 다른 하나의 제2 전극층(120b)에 연결될 수 있다.

[0081] 브리지 전극(BE)은 분할 전극(125)들과 접하는 측의 제1 폭(W1)이 분할 전극(125)들의 제2 폭(W2) 보다 작게 형성될 수 있다. 브리지 전극(BE)이 분할 전극(125)들 보다 얇게 형성됨으로써, 브리지 전극(BE)의 저항이 분할 전극(125)들에서의 저항 보다 클 수 있다.

[0082] 한편, 분할 전극(125)들은 브리지 전극(BE)과 접하는 측, 예컨대, 장변의 제2 폭(W2) 보다 작은 제3 폭(W3)을 가지고 브리지 전극(BE) 방향으로 돌출된 돌출부(PP)가 형성될 수 있다. 이를 통해, 전류가 분할 전극(125)에서 브리지 전극(BE)으로 진행되면서 저항이 단계적으로 증가되고, 브리지 전극(BE)에서 분할 전극(125)으로 진행되면서 저항이 단계적으로 감소될 수 있도록 할 수 있다.

[0083] 상술한 바와 같이 복수의 분할 전극(125)들 및 브리지 전극(BE)으로 이루어진 제1 전극(120)은 연결부(CL)를 통해 구동 트랜지스터(TR)과 연결될 수 있다. 연결부(CL)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)와 연결되고 타단이 제1 전극(120)과 연결될 수 있다.

[0084] 본 발명의 일 실시예에 따른 표시 패널(110)은 하나의 제1 전극(120)이 2개의 연결부(CL)를 통해 구동 트랜지스터(TR)에 연결될 수 있다. 구체적으로, 연결부(CL)는 제1 연결부(CL1) 및 제2 연결부(CL2)를 포함하고, 제1 연결부(CL1) 및 제2 연결부(CL2) 각각이 평탄화막(PLN) 및 패시베이션막(PAS)을 관통하는 컨택홀(ACH)을 통해 구동 트랜지스터(TR)에 연결될 수 있다.

[0085] 일 실시예에 있어서, 컨택홀(ACH)은 도 4에 도시된 바와 같이 서브 화소들(SP1, SP2, SP3, SP4) 사이에 구비될 수 있다. 제1 연결부(CL1) 및 제2 연결부(CL2) 각각은 서브 화소들(SP1, SP2, SP3, SP4) 사이에 구비될 수 있다. 제1 연결부(CL1)는 제1 방향으로 이웃하는 서브 화소들 사이에 구비되고, 제2 연결부(CL2)는 제2 방향으로 이웃하는 서브 화소들 사이에 구비될 수 있다.

[0086] 다른 일 실시예에 있어서, 컨택홀(ACH)은 도 9에 도시된 바와 같이 서브 화소들(SP1, SP2, SP3, SP4) 각각에 구비된 분할 전극(125)들 사이에 구비될 수 있다. 제1 연결부(CL1) 및 제2 연결부(CL2) 각각은 분할 전극(125)들 사이에 구비될 수 있다.

[0087] 제1 연결부(CL1)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결될 수 있다. 또한, 제1 연결부(CL1)는 타단이 제1 전극(120)에 구비된 복수의 분할 전극(125)들 중 어느 하나와 연결될 수 있다. 이때, 제1 연결부(CL1)는 복수의 분할 전극(125)들 중 제1 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0088] 제2 연결부(CL2)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결될 수 있다. 또한, 제2 연결부(CL2)는 타단이 제1 전극(120)에 구비된 복수의 분할 전극(125)들 중 다른 하나와 연결될 수 있다. 이때, 제2 연결부(CL2)는 복수의 분할 전극(125)들 중 제2 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0089] 예를 들어 설명하면, 3개의 분할 전극(125)들은 도 4에 도시된 바와 같이 제2 방향(Y축 방향)으로 일렬로 배치될 수 있다. 브리지 전극(BE)은 이웃하는 분할 전극(125)들 사이에 배치될 수 있다. 이에 따라, 3개의 분할 전극(125)들은 브리지 전극(BE)을 통해 모두 전기적으로 연결할 수 있다.

[0090] 한편, 제1 연결부(CL1)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결되고, 타단이 3개의 분할 전극(125)들 중 어느 하나와 연결될 수 있다. 제1 연결부(CL1)는 일렬로 배치된 3개의 분할 전극(125)들 중 제1 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0091] 제2 연결부(CL2)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결되고, 타단이 3개의 분할 전극(125)들 중 다른 하나와 연결될 수 있다. 제1 연결부(CL1)는 일렬로 배치된 3개의 분할 전극(125)들 중 제2 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0092] 3개의 분할 전극(125)들로 이루어진 제1 전극(120)은 제1 측에서 최외곽에 배치된 하나의 분할 전극이 제1 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결되고, 제2 측에서 최외곽에 배치된 다른 하나의 분할 전극이 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수 있다.

[0093] 결과적으로, 3개의 분할 전극(125)들은 제1 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결될 뿐만 아니라, 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수도 있다.

[0094] 상술한 바와 같은 제1 연결부(CL1) 및 제2 연결부(CL2)는 도 5에 도시된 바와 같이 2중층으로 형성될 수 있다. 구체적으로, 제1 연결부(CL1) 및 제2 연결부(CL2)는 제1 층(CL-1) 및 제2 층(CL-2)을 포함할 수 있다. 제1 층(CL-1)은 분할 전극(125)의 제1 전극층(120a)과 동일한 층에 구비되어, 분할 전극(125)의 제1 전극층(120a)과 이격될 수 있다. 제2 층(CL-2)은 분할 전극(125)의 제2 전극층(120b)과 동일한 층에 구비되고, 분할 전극(125)의 제2 전극층(120b)으로부터 연장될 수 있다.

[0095] 본 발명의 일 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 및 적어도 하나의 브리지 전극(BE)으로 이루어진 제1 전극(120)이 2개의 연결부(CL1, CL2)을 통해 구동 트랜지스터(TR)와 연결되는 것을 특징으로 한다. 이를 통해, 본 발명의 일 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 중 일부에 이물이 발생하더라도 해당 분할 전극만이 암점화되고, 나머지 분할 전극은 정상 동작될 수 있다.

[0096] 구체적으로, 본 발명의 일 실시예에 따른 표시 패널(110)은 도 7에 도시된 바와 같이 복수의 분할 전극(125)들 중 어느 하나에 이물(P)이 발생할 수 있다. 예를 들어 설명하면, 하나의 제1 전극(120)은 3개의 분할 전극(125a, 125b, 125c)들 및 2개의 브리지 전극(BEa, BEb)들을 포함할 수 있다. 그리고, 3개의 분할 전극(125a, 125b, 125c)들 중 하나의 분할 전극(125b)에 이물(P)이 발생하면, 이물(P)이 발생한 분할 전극(125b)은 제2 전극(140)과 합선(short)이 발생할 수 있다. 이에 따라, 이물(P)이 발생한 분할 전극(125b) 상에 구비된 유기 발광층(130)에서 광이 발광하지 않게 된다.

[0097] 본 발명의 일 실시예에 따른 표시 패널(110)은 이물(P)이 발생한 분할 전극(125b)과 다른 분할 전극(125a, 125c)들 간의 연결을 끊어줌으로써, 다른 분할 전극(125a, 125c)들 상에 구비된 유기 발광층(130)에서 광이 발광할 수 있도록 할 수 있다.

[0098] 이물(P)이 발생한 분할 전극(125b)에 연결된 브리지 전극(BEa, BEb)들은 줄 히팅(Joule heating)에 의하여 단절될 수 있다. 이물(P)이 발생한 분할 전극(125b)이 제2 전극(140)과 합선(short)이 발생하는 경우, 전류가 제2 전극(140)과 합선이 발생한 분할 전극(125b)으로 집중될 수 있다. 이에 따라, 이물(P)이 발생한 분할 전극(125b)과 연결된 브리지 전극(BEa, BEb)들에도 전류가 집중될 수 있다.

[0099] 브리지 전극(BEa, BEb)들은 앞서 설명한 바와 같이 제2 물질로 이루어진 제2 전극층(120b)로부터 연장될 수 있다. 제2 물질이 제1 물질 보다 저항이 높기 때문에, 이물(P)이 발생한 분할 전극(125b)과 연결된 브리지 전극(BEa, BEb)들에 전류가 집중되면 높은 열이 발생할 수 있다.

[0100] 더 나아가, 브리지 전극(BEa, BEb)들은 분할 전극(125a, 125b, 125c)들 보다 매우 얇은 폭을 가지도록 형성됨에 따라 분할 전극(125a, 125b, 125c)들 보다 높은 저항을 가질 수 있다. 이에 따라, 브리지 전극(BEa, BEb)들은 분할 전극(125a, 125b, 125c)들 보다 높은 열이 발생하고, 결국 제2 물질의 녹는점 보다 높은 온도까지 상승하게 된다. 결과적으로, 브리지 전극(BEa, BEb)들은 도 8에 도시된 바와 같이 녹아서 단절될 수 있다.

[0101] 이물(P)이 발생한 분할 전극(125b)과 연결된 브리지 전극(BEa, BEb)들이 단절되면, 이물(P)이 발생하지 않은 분할 전극(125a, 125c)은 이물(P)이 발생한 분할 전극(125b)과 전기적으로 분리된다. 이에 따라, 이물(P)이 발생하지 않은 분할 전극(125a, 125c)은 이물(P)이 발생한 분할 전극(125b)을 통해 구동 트랜지스터(TR)가 공급하는 신호를 받을 수 없게 된다.

[0102] 그러나, 본 발명의 일 실시예에 따른 표시 패널(110)은 제1 전극(120)이 2개의 연결부(CL1, CL2)를 통해 구동 트랜지스터(TR)와 연결되어 있으므로, 이물(P)이 발생한 분할 전극(125b)과 연결된 브리지 전극(BEa, BEb)들이 단절되더라도, 구동 트랜지스터(TR)가 공급하는 신호를 다른 분할 전극(125a, 125c)에 안정적으로 제공할 수 있다.

[0103] 예컨대, 제1 전극(120)이 하나의 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결되고, 이물(P)이 발생한 분할 전극(125b)과 연결된 브리지 전극(BEa, BEb)들이 단절된다면, 일부 분할 전극(125c)은 구동 트랜지스터(TR)와의 전기적 연결이 단절될 수 있다. 이러한 경우, 구동 트랜지스터(TR)와의 전기적 연결이 단절된 분할 전극(125c)은 이물(P)이 발생하지 않았음에도 불구하고 암점화가 될 수 있다.

[0104] 반면, 본 발명의 일 실시예에 따른 표시 패널(110)은 제1 전극(120)이 2개의 연결부(CL1, CL2)를 통해 구동 트랜지스터(TR)에 연결되어 있다. 본 발명의 일 실시예에 따른 표시 패널(110)은 브리지 전극(BEa, BEb)들이 단절되더라도, 하나의 분할 전극(125a)는 제1 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결되고, 다른 하나의 분할 전극(125c)는 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수 있다.

[0105] 즉, 본 발명의 일 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125a, 125b, 125c)들 중 이물(P)이 발생한 분할 전극(125b)이 구비된 영역에서만 암점화가 되고, 다른 분할 전극(125a, 125c)이 구비된 영역에서는 정상적으로 발광이 이루어질 수 있다. 본 발명의 일 실시예에 따른 표시 패널(110)은 이물(P) 발생시 암점화되는 발광 영역의 면적을 최소화시킬 수 있다.

[0106] 한편, 본 발명의 일 실시예에 따른 표시 패널(110)은 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 브리지 전극(BE)의 길이를 서로 다르게 설계할 수 있다.

[0107] 구체적으로, 제1 서브 화소(SP1)에 구비된 제1 전극(120)은 복수의 제1 분할 전극(121)들 및 적어도 하나의 제1 브리지 전극(BE1)으로 이루어질 수 있다. 제2 서브 화소(SP2)에 구비된 제1 전극(120)은 복수의 제2 분할 전극(122)들 및 적어도 하나의 제2 브리지 전극(BE2)으로 이루어질 수 있다. 제3 서브 화소(SP3)에 구비된 제1 전극(120)은 복수의 제3 분할 전극(123)들 및 적어도 하나의 제3 브리지 전극(BE3)으로 이루어질 수 있다. 제4 서브 화소(SP4)에 구비된 제1 전극(120)은 복수의 제4 분할 전극(124)들 및 적어도 하나의 제4 브리지 전극(BE4)으로 이루어질 수 있다.

[0108] 본 발명의 일 실시예에 따른 표시 패널(110)은 구동 트랜지스터(TR)에서 공급하는 전류의 크기를 고려하여 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들 각각의 길이를 다르게 형성할 수 있다.

[0109] 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각은 발광하는 색에 따라 요구되는 전류가 상이할 수 있다. 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 구동 트랜지스터(TR)는 요구 전류를 고려하여 크기가 결정될 수 있다. 일 예로, 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 중 적색 광을 발광하는 제1 서브 화소(SP1)가 요구되는 전류가 가장 클 수 있다. 이러한 경우, 제1 서브 화소(SP1)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 제2 내지 제4 서브 화소(SP2, SP3, SP4)들의 구동 트랜지스터(TR) 보다 크기가 크게 형성될 수 있다. 다른 예로, 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 중 청색 광을 발광하는 제3 서브 화소(SP3)가 요구되는 전류가 가장 작을 수 있다. 이러한 경우, 제3 서브 화소(SP3)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 제1, 제2 및 제4 서브 화소(SP1, SP2, SP4)들의 구동 트랜지스터(TR) 보다 크기가 작게 형성될 수 있다.

[0110] 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들은 구동 트랜지스터(TR)들의 크기에 따라 저항이 달라질 수 있다. 구동 트랜지스터(TR)의 크기가 크면, 구동 트랜지스터(TR)에서 공급하는 전류가 크므로, 브리지 전극(BE1, BE2, BE3, BE4)의 저항이 클 수 있다. 반면, 구동 트랜지스터(TR)의 크기가 작으면, 구동 트랜지스터(TR)에서 공급하는 전류가 작으므로, 브리지 전극(BE1, BE2, BE3, BE4)의 저항이 작을 수 있다.

[0111] 본 발명의 일 실시예에 따른 표시 패널(110)은 브리지 전극(BE1, BE2, BE3, BE4)의 길이를 조절하여 구동 트랜지스터(TR)로부터 브리지 전극(BE1, BE2, BE3, BE4)으로 인가되는 전류에 대한 저항을 조절할 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 표시 패널(110)은 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들이 유사한 저항을 가질 수 있도록 할 수 있다.

[0112] 일 예로, 제1 서브 화소(SP1)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 크고, 제2 서브 화소(SP2)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 두 번째로 크고, 제4 서브 화소(SP4)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 세 번째로 크고, 제3 서브 화소(SP3)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 작을 수 있다. 예컨대, 적색 서브 화소(SP1)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 크고, 녹색 서브 화소(SP2)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 두 번째로 크고, 백색 서브 화소(SP4)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 세 번째로 크고, 청색 서브 화소(SP3)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 작을 수 있다

[0113] 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)는 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)의 길이(BL2) 보다 짧을 수 있다. 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)에 인가되는 전류가 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제1 브리지 전극(BE1)의 길이(BL1)를 제2 브리지 전극(BE2)의 길이(BL2) 보다 짧게 형성함으로써, 제1 브리지 전극(BE1) 및 제2 브리지 전극(BE2)의 저항 차를 줄일 수 있다.

[0114] 또한, 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)의 길이(BL2)는 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)의 길이(BL4) 보다 짧을 수 있다. 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)에 인가되는 전류가 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제2 브리지 전극(BE2)의 길이(BL2)를 제4 브리지 전극(BE4)의 길이(BL4) 보다 짧게 형성함으로써, 제2 브리지 전극(BE2) 및 제4 브리지 전극(BE4)의 저항 차를 줄일 수 있다.

[0115] 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)의 길이(BL4)는 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 짧을 수 있다. 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)에 인가되는 전류가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제4 브리지 전극(BE4)의 길이(BL4)를 제3 브리지 전극(BE3)의 길이(BL3) 보다 짧게 형성함으로써, 제3 브리지 전극(BE3)

및 제4 브리지 전극(BE4)의 저항 차를 줄일 수 있다.

[0116] 결과적으로, 제1 서브 화소(SP1)의 제1 브리지 전극(BE1)의 길이(BL1)가 가장 짧고, 제2 서브 화소(SP2)의 제2 브리지 전극(BE2)의 길이(BL2)가 두 번째로 짧고, 제4 서브 화소(SP4)의 제4 브리지 전극(BE4)의 길이(BL4)가 세 번째로 짧고, 제3 서브 화소(SP3)의 제3 브리지 전극(BE3)의 길이(BL3))가 가장 길 수 있다. 예컨대, 적색 서브 화소(SP1)의 제1 브리지 전극(BE1)의 길이(BL1)가 가장 짧고, 녹색 서브 화소(SP2)의 제2 브리지 전극(BE2)의 길이(BL2)가 두 번째로 짧고, 백색 서브 화소(SP4)의 제4 브리지 전극(BE4)의 길이(BL4)가 세 번째로 짧고, 청색 서브 화소(SP3)의 제3 브리지 전극(BE3)의 길이(BL3))가 가장 길 수 있다.

[0117] 상술한 바와 같은 본 발명의 일 실시예에 따른 표시 패널(110)은 구동 트랜지스터(TR)로부터 인가되는 전류가 작으면, 해당 구동 트랜지스터(TR)와 연결된 브리지 전극(BE)의 길이를 증가시킴으로써 브리지 전극(BE)의 저항을 증가시킬 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 표시 패널(110)은 분할 전극(125) 상에 이물 발생시 브리지 전극(BE)이 단절되는 것을 보장할 수 있다.

[0118] 한편, 본 발명의 일 실시예에 따른 표시 패널(110)은 서브 화소(SP1, SP2, SP3, SP4)들 각각에서 브리지 전극(BE1, BE2, BE3, BE4)들의 길이가 상이함에 따라, 분할 전극(121, 122, 123, 124)들의 크기 또는 개수가 상이해질 수 있다.

[0119] 일 실시예에 있어서, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 도 4에 도시된 바와 같이 폭이 서로 상이할 수 있다. 구체적으로, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 브리지 전극(BE1, BE2, BE3, BE4)과 접하는 측과 수직한 측, 예컨대, 단변의 폭이 서로 상이할 수 있다.

[0120] 예컨대, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 길 수 있다. 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 분할 전극(121)은 단변의 폭이 제3 서브 화소(SP3)의 제3 분할 전극(123)의 단변의 폭 보다 클 수 있다.

[0121] 다른 실시예에 있어서, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 개수가 서로 상이할 수 있다. 예컨대, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 길 수 있다. 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 분할 전극(121)들의 개수는 제3 서브 화소(SP3)의 제3 분할 전극(123)들의 개수 보다 많을 수 있다.

[0122] 뱅크(BK)는 평탄화막(PLN) 상에 구비될 수 있다. 또한, 뱅크(BK)은 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 제1 전극들(120) 사이에 구비되고, 제1 연결부(CL1), 제2 연결부(CL2) 및 컨택홀(ACH) 상에도 구비될 수 있다. 그리고 뱅크(BK)는 제1 전극들(120) 각각의 가장자리를 덮고 제1 전극들(120) 각각의 일부가 노출되도록 형성될 수 있다. 이에 따라, 뱅크(BK)는 제1 전극들(120) 각각의 끝단에 전류가 집중되어 발광 효율이 저하되는 문제가 발생하는 것을 방지할 수 있다.

[0123] 뱅크(BK)는 서브 화소(SP1, SP2, SP3, SP4)들 각각의 발광 영역(EA1, EA2, EA3, EA4)을 정의할 수 있다. 서브 화소(SP1, SP2, SP3, SP4)들 각각의 발광 영역(EA1, EA2, EA3, EA4)은 제1 전극(120), 유기 발광층(130), 및 제2 전극(140)이 순차적으로 적층되어 제1 전극(120)으로부터의 정공과 제2 전극(140)으로부터의 전자가 유기 발광층(130)에서 서로 결합되어 발광하는 영역을 나타낸다. 이 경우, 뱅크(BK)가 형성된 영역은 광을 발광하지 않으므로 비발광 영역이 되고, 뱅크(BK)가 형성되지 않고 제1 전극(120)이 노출된 영역이 발광 영역(EA1, EA2, EA3, EA4)이 될 수 있다.

[0124] 뱅크(BK)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0125] 유기 발광층(130)은 제1 전극(120) 상에 구비될 수 있다. 유기 발광층(130)은 정공 수송층(hole transporting layer), 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 전극(120)과 제2 전극(140)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동하게 되며, 발광층에서 서로 결합하여 발광하게 된다.

[0126] 일 실시예에 있어서, 유기 발광층(130)은 서브 화소(SP1, SP2, SP3, SP4)에 공통으로 형성되는 공통층일 수 있다. 이때, 발광층은 백색 광을 방출하는 백색 발광층일 수 있다.

[0127] 다른 실시예에 있어서, 유기 발광층(130)은 발광층이 서브 화소(SP1, SP2, SP3, SP4) 별로 형성될 수 있다. 일

예로, 제1 서브 화소(SP1)에는 적색 광을 방출하는 적색 발광층이 형성되고, 제2 서브 화소(SP2)에는 녹색 광을 방출하는 녹색 발광층이 형성되고, 제3 서브 화소(SP3)에는 청색 광을 방출하는 청색 발광층이 형성되고, 제4 서브 화소(SP4)에는 백색 광을 방출하는 백색 발광층이 형성될 수 있다. 이러한 경우, 유기 발광층(130)의 발광층은 투과 영역(TA)에 형성되지 않는다.

[0128] 제2 전극(140)은 유기 발광층(130) 및 뱅크(BK) 상에 구비될 수 있다. 제2 전극(140)은 발광 영역(EA)을 포함하는 비투과 영역(NTA)뿐만 아니라 투과 영역(TA)에도 구비될 수 있으나, 반드시 이에 한정되지는 않는다. 제2 전극(140)은 발광 영역(EA1, EA2, EA3, EA4)을 포함하는 비투과 영역(NTA)에만 구비되고, 투과율 향상을 위하여 투과 영역(TA)에 구비되지 않을 수도 있다.

[0129] 이러한 제2 전극(140)은 서브 화소(SP1, SP2, SP3, SP4)들에 공통적으로 형성되어 동일한 전압을 인가하는 공통층일 수 있다. 제2 전극(140)은 광을 투과시킬 수 있는 전도성 물질로 이루어질 수 있다. 일 예로, 제2 전극(140)은 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(140)은 캐소드 전극일 수 있다.

[0130] 발광소자들 상에는 봉지막(150)이 구비될 수 있다. 봉지막(150)은 제2 전극(140) 상에서 제2 전극(140)을 덮도록 형성될 수 있다. 봉지막(150)은 유기 발광층(130)과 제2 전극(140)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위하여, 봉지막(150)은 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있다.

[0131] 한편, 도 5 및 도 6에 도시하고 있지 않지만, 제2 전극(140)과 봉지막(150) 사이에 캡핑층(Capping Layer)이 추가로 형성될 수도 있다.

[0132] 봉지막(150) 상에는 컬러필터(CF)가 구비될 수 있다. 컬러필터(CF)는 제1 기판(111)과 마주보는 제2 기판(112)의 일면 상에 구비될 수 있다. 이러한 경우, 봉지막(150)이 구비된 제1 기판(111)과 컬러필터(CF)가 구비된 제2 기판(112)은 별도의 접착층(미도시)에 의하여 합착될 수 있다. 이때, 접착층(미도시)은 투명한 접착 레진층(optically clear resin layer, OCR) 또는 투명한 접착 레진 필름(optically clear adhesive film, OCA)일 수 있다.

[0133] 컬러필터(CF)는 서브 화소들(SP1, SP2, SP3, SP4) 별로 패턴 형성될 수 있다. 구체적으로, 컬러필터(CF)는 제1 컬러필터, 제2 컬러필터 및 제3 컬러필터를 포함할 수 있다. 제1 컬러필터는 제1 서브 화소(SP1)의 발광 영역(EA1)에 대응되도록 배치될 수 있으며, 적색 광을 투과시키는 적색 컬러필터일 수 있다. 제2 컬러필터는 제2 서브 화소(SP2)의 발광 영역(EA2)에 대응되도록 배치될 수 있으며, 녹색 광을 투과시키는 녹색 컬러필터일 수 있다. 제3 컬러필터는 제3 서브 화소(SP3)의 발광 영역(EA3)에 대응되도록 배치될 수 있으며, 청색 광을 투과시키는 청색 컬러필터일 수 있다. 일 실시예에 있어서, 컬러필터(CF)는 제4 컬러필터를 더 포함할 수 있다. 제4 컬러필터는 제4 서브 화소(SP4)의 발광 영역(EA4)에 대응되도록 배치될 수 있으며, 백색 광을 투과시키는 백색 컬러필터일 수 있다. 백색 컬러필터는 백색 광을 투과시키는 투명한 유기 물질로 이루어질 수 있다.

[0134] 컬러필터들(CF) 사이에는 블랙 매트릭스(BM)가 구비될 수 있다. 블랙 매트릭스(BM)는 서브 화소들(SP1, SP2, SP3, SP4) 사이에 구비되어, 인접한 서브 화소들(SP1, SP2, SP3, SP4) 간에 혼색이 발생하는 것을 방지할 수 있다.

[0135] 한편, 블랙 매트릭스(BM)는 컬러필터(CF)와 투과 영역(TA) 사이에 구비될 수도 있다. 블랙 매트릭스(BM)는 투과 영역(TA)과 복수의 서브 화소들(SP1, SP2, SP3, SP4) 사이에 구비되어, 복수의 서브 화소들(SP1, SP2, SP3, SP4) 각각에서 발광된 광이 투과 영역(TA)으로 진행되는 것을 방지할 수 있다.

[0136] 이러한 블랙 매트릭스(BM)는 광을 흡수하는 물질, 예컨대, 가시광선 파장대의 광을 모두 흡수하는 블랙 염료(black dye)를 포함할 수 있다.

[0137] 본 발명의 일 실시예에 따른 표시 패널(110)은 하나의 제1 전극(120)이 2개의 연결부(CL1, CL2)를 통해 구동 트랜지스터(TR)에 연결될 수 있다. 본 발명의 일 실시예에 따른 표시 패널(110)은 이물(P)이 발생한 분할 전극(125)과 연결된 브리지 전극(BE)들이 단절되더라도, 다른 분할 전극(125)들이 제1 연결부(CL1) 또는 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 안정적으로 연결될 수 있다.

[0138] 즉, 본 발명의 일 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 중 이물(P)이 발생한 분할 전극(125b)이 구비된 영역에서만 암점화가 되고, 다른 분할 전극(125)이 구비된 영역에서는 정상적으로 발광이 이루

어질 수 있다. 결과적으로, 본 발명의 일 실시예에 따른 표시 패널(110)은 이물(P) 발생시 암점화되는 발광 영역의 면적을 최소화시킬 수 있다.

[0139] 한편, 도 3 내지 도 9에서는 하나의 화소(P)에 구비된 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들이 가운데 영역을 중심으로 배치된 것으로 설명하고 있으나, 반드시 이에 한정되지는 않는다. 다른 실시예에 있어서, 하나의 화소(P)에 구비된 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들은 제1 방향(X축 방향) 또는 제2 방향(Y축 방향)으로 일렬로 배치될 수도 있다.

[0140] 이하에서는 도 10 내지 도 11을 참조하여, 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들이 제2 방향(Y축 방향)으로 일렬로 배치된 화소 구조에서 제1 전극(120)가 형성된 예를 설명하도록 한다.

[0141] 도 10은 표시 패널에 구비된 화소의 다른 예를 보여주는 도면이고, 도 11은 도 10에 도시된 화소에 구비된 제1 전극을 보여주는 도면이며, 도 12는 도 10의 IV-IV'의 일 예를 보여주는 단면도이다.

[0142] 도 10 내지 도 12를 참조하면, 화소(P)들 각각은 제1 신호 라인(SL1) 또는 제2 신호 라인(SL2)과 중첩되도록 구비되어, 소정의 광을 방출하여 화상을 표시한다. 발광 영역(EA)은 화소(P)에서 광을 발광하는 영역에 해당할 수 있다.

[0143] 화소(P)들 각각은 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 중 적어도 하나를 포함할 수 있다. 제1 서브 화소(SP1)는 적색 광을 방출하는 제1 발광 영역(EA1)을 포함하고, 제2 서브 화소(SP2)는 녹색 광을 방출하는 제2 발광 영역(EA2)을 포함하고, 제3 서브 화소(SP3)는 청색 광을 방출하는 제3 발광 영역(EA3)을 포함하고, 제4 서브 화소(SP4)는 백색 광을 방출하는 제4 발광 영역(EA4)을 포함하도록 구비될 수 있지만, 반드시 그에 한정되는 것은 아니다. 화소(P)들 각각은 적색, 녹색, 청색 및 백색 이외의 색의 광으로 발광하는 서브 화소를 포함할 수도 있다. 또한, 각각의 서브 화소(SP1, SP2, SP3, SP4)의 배열 순서는 다양하게 변경될 수 있다.

[0144] 복수의 화소(P)들 각각은 투과 영역(TA)들 사이에 배치된 비투과 영역(NTA)에 구비될 수 있다. 그리고, 복수의 화소(P)들은 비투과 영역(NTA)에서 제2 방향(Y축 방향)으로 인접하게 배치될 수 있다. 복수의 화소(P)들 각각에 구비된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)는 제2 방향으로 일렬로 배치될 수 있다.

[0145] 상술한 바와 같이 배치된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 각각에는 커패시터, 박막 트랜지스터 등을 포함하는 회로 소자, 회로 소자에 신호를 공급하는 복수의 신호 라인들 및 발광 소자가 구비될 수 있다. 박막 트랜지스터는 스위칭 트랜지스터, 센싱 트랜지스터 및 구동 트랜지스터(TR)를 포함할 수 있다.

[0146] 표시 패널(110)은 투과 영역(TA)을 제외한 비투과 영역(NTA)에 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)는 물론 복수의 신호 라인들을 모두 배치해야 한다. 이에, 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)은 제1 신호 라인(SL1) 및 제2 신호 라인(SL2) 중 적어도 하나와 중첩되게 된다.

[0147] 도 10에서는 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4)가 제2 신호 라인(SL2)에 중첩되나, 제1 신호 라인(SL1)에는 중첩되지 않는 것으로 도시하고 있으나, 반드시 이에 한정되지는 않는다. 다른 실시예에 있어서, 제1 서브 화소(SP1), 제2 서브 화소(SP2), 제3 서브 화소(SP3) 및 제4 서브 화소(SP4) 중 일부는 제1 신호 라인(SL1)에 일부가 중첩될 수도 있다. 예컨대, 제1 신호 라인(SL1)에 인접한 제1 서브 화소(SP1)는 일부가 제1 신호 라인(SL1)에 인접할 수 있다.

[0148] 복수의 신호 라인들은 앞서 살펴본 바와 같이 제1 방향(X축 방향)으로 연장된 제1 신호 라인(SL1) 및 제2 방향(Y축 방향)으로 연장된 제2 신호 라인(SL2)을 포함할 수 있다.

[0149] 제1 신호 라인(SL1)은 제1 스캔 라인 및 제2 스캔 라인을 포함할 수 있다. 제1 스캔 라인은 제1 측, 예컨대, 상측에 배치된 화소(P)의 서브 화소(SP1, SP2, SP3, SP4)들에 스캔 신호를 공급할 수 있다. 제2 스캔 라인은 제2 측, 예컨대, 하측에 배치된 화소(P)의 서브 화소(SP1, SP2, SP3, SP4)들에 스캔 신호를 공급할 수 있다.

[0150] 제2 신호 라인(SL2)은 적어도 하나의 데이터 라인, 화소 전원 라인, 레퍼런스 라인 및 공통 전원 라인을 포함할 수 있으나, 반드시 이에 한정되지는 않는다.

[0151] 스위칭 트랜지스터, 센싱 트랜지스터, 구동 트랜지스터(TR) 및 커패시터는 도 3 내지 도 9에 도시된 표시 패널

(110)의 스위칭 트랜지스터, 센싱 트랜지스터, 구동 트랜지스터(TR) 및 커패시터와 실질적으로 동일하므로, 이에 대한 설명은 생략하도록 한다.

[0152] 스위칭 트랜지스터, 센싱 트랜지스터, 구동 트랜지스터(TR) 및 커패시터를 포함하는 회로 소자 및 회로 소자에 신호를 공급하는 복수의 신호 라인들 상에는 패시베이션막(PAS)이 구비될 수 있다. 그리고, 패시베이션막(PAS) 상에는 구동 트랜지스터(TR)로 인한 단차를 평탄하게 하기 위한 평탄화막(PLN)이 구비될 수 있다.

[0153] 평탄화막(PLN) 상에는 제1 전극(120), 유기 발광층(130), 제2 전극(140)으로 이루어진 발광소자들과 뱅크(BK)가 구비된다.

[0154] 제1 전극(120)은 평탄화막(PLN) 상에서 서브 화소(SP1, SP2, SP3, SP4) 별로 구비될 수 있다. 구체적으로, 제1 서브 화소(SP1)에 하나의 제1 전극(120)이 형성되고, 제2 서브 화소(SP2)에 다른 하나의 제1 전극(120)이 형성되고, 제3 서브 화소(SP3)에 또 다른 제1 전극(120)이 형성되며, 제4 서브 화소(SP4)에 또 다른 제1 전극(120)이 형성될 수 있다. 그리고, 제1 전극(120)은 투과 영역(TA)에는 구비되지 않는다.

[0155] 복수의 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 제1 전극(120)은 복수의 분할 전극(125)들 및 적어도 하나의 브리지 전극(BE)으로 이루어질 수 있다.

[0156] 복수의 분할 전극(125)들은 둘 이상을 포함할 수 있으며, 제1 방향(X축 방향) 또는 제2 방향(Y축 방향)으로 서로 이격 배치될 수 있다. 일 예로, 복수의 분할 전극(125)들은 도 10 및 도 11에 도시된 바와 같이 4개를 포함하며 제1 방향(X축 방향)으로 이격 배치될 수 있으나, 반드시 이에 한정되지는 않는다. 복수의 분할 전극(125)들은 3개를 포함할 수도 있으며, 5개 이상을 포함할 수도 있다. 이하에서는 설명의 편의를 위하여 복수의 분할 전극(125)들이 4개를 포함하는 것으로 설명하도록 한다.

[0157] 복수의 분할 전극(125)들 각각은 도 12에 도시된 바와 같이 제1 물질로 이루어진 제1 전극층(120a) 및 제2 물질로 이루어진 제2 전극층(120b)을 포함할 수 있다.

[0158] 제1 물질은 반사율이 높은 금속 물질을 포함할 수 있다. 일 예로, 제1 물질은 몰리브덴(Mo) 또는 구리(Cu)일 수 있으며, 반드시 이에 한정되지는 않는다. 제2 물질은 투명한 물질을 포함할 수 있다. 일 예로, 제2 물질은 ITO일 수 있으며, 반드시 이에 한정되지는 않는다. 제2 물질은 제1 물질 보다 저항이 높을 수 있다. 또는 제2 물질은 제1 물질 보다 녹는점이 낮을 수 있다.

[0159] 브리지 전극(BE)은 복수의 분할 전극(125)들 사이에 배치되어, 복수의 분할 전극(125)들을 연결할 수 있다. 구체적으로, 하나의 브리지 전극(BE)은 이웃하는 2개의 분할 전극(125)들 사이에 배치될 수 있다. 이때, 브리지 전극(BE)들은 분할 전극(125)들의 제2 전극층(120b)과 동일한 층에 형성될 수 있다.

[0160] 브리지 전극(BE)은 일단이 이웃하는 분할 전극(125)들 중 어느 하나의 제2 전극층(120b)에 연결되고, 타단이 이웃하는 분할 전극(125)들 중 다른 하나의 제2 전극층(120b)에 연결될 수 있다.

[0161] 브리지 전극(BE)은 분할 전극(125)들과 접하는 측의 폭이 분할 전극(125)들의 장변의 폭 보다 작게 형성될 수 있다. 브리지 전극(BE)이 분할 전극(125)들 보다 얇게 형성됨으로써, 브리지 전극(BE)의 저항이 분할 전극(125)들에서의 저항 보다 클 수 있다.

[0162] 상술한 바와 같이 복수의 분할 전극(125)들 및 브리지 전극(BE)으로 이루어진 제1 전극(120)은 연결부(CL)를 통해 구동 트랜지스터(TR)와 연결될 수 있다.

[0163] 본 발명의 다른 실시예에 따른 표시 패널(110)은 하나의 제1 전극(120)이 2개의 연결부(CL)를 통해 구동 트랜지스터(TR)에 연결될 수 있다. 구체적으로, 연결부(CL)는 제1 연결부(CL1) 및 제2 연결부(CL2)를 포함하고, 제1 연결부(CL1) 및 제2 연결부(CL2) 각각이 평탄화막(PLN) 및 패시베이션막(PAS)을 관통하는 컨택홀(ACH)을 통해 구동 트랜지스터(TR)에 연결될 수 있다.

[0164] 일 실시예에 있어서, 컨택홀(ACH)은 도 11에 도시된 바와 같이 서브 화소(SP1, SP2, SP3, SP4)들 사이 및 서브 화소(SP1, SP2, SP3, SP4)와 투과 영역(TA) 사이에 구비될 수 있다. 제1 연결부(CL1)는 서브 화소(SP1, SP2, SP3, SP4)들 사이에 구비될 수 있다. 제2 연결부(CL2)는 서브 화소(SP1, SP2, SP3, SP4)와 투과 영역(TA) 사이에 구비될 수 있다.

[0165] 제1 연결부(CL1)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결될 수 있다. 또한, 제1 연결부(CL1)는 타단이 제1 전극(120)에 구비된 복수의 분할 전극(125)들 중 어느 하나와 연결될 수 있다. 이때, 제1 연결부(CL1)는 복수의 분할 전극(125)들 중 제1 측에서 최외곽에 배치된 분할

전극에 연결될 수 있다.

[0166] 제2 연결부(CL2)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결될 수 있다. 또한, 제2 연결부(CL2)는 타단이 제1 전극(120)에 구비된 복수의 분할 전극(125)들 중 다른 하나와 연결될 수 있다. 이때, 제2 연결부(CL2)는 복수의 분할 전극(125)들 중 제2 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0167] 예를 들어 설명하면, 4개의 분할 전극(125)들은 도 11에 도시된 바와 같이 제1 방향(X축 방향)으로 일렬로 배치될 수 있다. 브리지 전극(BE)은 이웃하는 분할 전극(125)들 사이에 배치될 수 있다. 이에 따라, 4개의 분할 전극(125)들은 브리지 전극(BE)을 통해 모두 전기적으로 연결할 수 있다.

[0168] 한편, 제1 연결부(CL1)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결되고, 타단이 4개의 분할 전극(125)들 중 어느 하나와 연결될 수 있다. 제1 연결부(CL1)는 일렬로 배치된 4개의 분할 전극(125)들 중 제1 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0169] 제2 연결부(CL2)는 일단이 컨택홀(ACH)을 통해 구동 트랜지스터(TR)의 소스 전극(SE) 또는 드레인 전극(DE)과 연결되고, 타단이 4개의 분할 전극(125)들 중 다른 하나와 연결될 수 있다. 제1 연결부(CL1)는 일렬로 배치된 4개의 분할 전극(125)들 중 제2 측에서 최외곽에 배치된 분할 전극에 연결될 수 있다.

[0170] 4개의 분할 전극(125)들로 이루어진 제1 전극(120)은 제1 측에서 최외곽에 배치된 하나의 분할 전극이 제1 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결되고, 제2 측에서 최외곽에 배치된 다른 하나의 분할 전극이 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수 있다.

[0171] 결과적으로, 4개의 분할 전극(125)들은 제1 연결부(CL1)를 통해 구동 트랜지스터(TR)와 연결될 뿐만 아니라, 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수도 있다.

[0172] 상술한 바와 같은 제1 연결부(CL1) 및 제2 연결부(CL2)는 도 12에 도시된 바와 같이 2중층으로 형성될 수 있다. 구체적으로, 제1 연결부(CL1) 및 제2 연결부(CL2)는 제1 층(CL-1) 및 제2 층(CL-2)을 포함할 수 있다. 제1 층(CL-1)은 분할 전극(125)의 제1 전극층(120a)과 동일한 층에 구비되어, 분할 전극(125)의 제1 전극층(120a)과 이격될 수 있다. 제2 층(CL-2)은 분할 전극(125)의 제2 전극층(120b)과 동일한 층에 구비되고, 분할 전극(125)의 제2 전극층(120b)으로부터 연장될 수 있다.

[0173] 본 발명의 다른 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 및 적어도 하나의 브리지 전극(BE)으로 이루어진 제1 전극(120)이 2개의 연결부(CL1, CL2)을 통해 구동 트랜지스터(TR)와 연결되는 것을 특징으로 한다. 이를 통해, 본 발명의 다른 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 중 일부에 이물이 발생하더라도 해당 분할 전극만이 암점화되고, 나머지 분할 전극은 정상 동작될 수 있다.

[0174] 구체적으로, 본 발명의 다른 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 중 어느 하나에 이물이 발생할 수 있다. 이물이 발생한 분할 전극(125)은 제2 전극(140)과 합선(short)이 발생할 수 있다. 이에 따라, 이물이 발생한 분할 전극(125) 상에 구비된 유기 발광층(130)에서 광이 발광하지 않게 된다.

[0175] 본 발명의 다른 실시예에 따른 표시 패널(110)은 이물이 발생한 분할 전극(125)에 연결된 브리지 전극(BE)들을 줄 히팅(Joule heating)에 의하여 단절시킴으로써, 이물이 발생한 분할 전극(125)과 이물이 발생하지 않은 다른 분할 전극(125)을 전기적으로 분리시킬 수 있다.

[0176] 본 발명의 다른 실시예에 따른 표시 패널(110)은 제1 전극(120)이 2개의 연결부(CL1, CL2)를 통해 구동 트랜지스터(TR)에 연결될 수 있다. 본 발명의 일 실시예에 따른 표시 패널(110)은 이물이 발생한 분할 전극(125)과 연결된 브리지 전극(BE)들이 단절되더라도, 이물이 발생하지 않은 다른 분할 전극(125)이 제1 연결부(CL1) 또는 제2 연결부(CL2)를 통해 구동 트랜지스터(TR)와 연결될 수 있다.

[0177] 즉, 본 발명의 다른 실시예에 따른 표시 패널(110)은 복수의 분할 전극(125)들 중 이물이 발생한 분할 전극(125)이 구비된 영역에서만 암점화가 되고, 다른 분할 전극(125)이 구비된 영역에서는 정상적으로 발광이 이루어질 수 있다. 본 발명의 다른 실시예에 따른 표시 패널(110)은 이물 발생시 암점화되는 발광 영역의 면적을 최소화시킬 수 있다.

[0178] 한편, 본 발명의 다른 실시예에 따른 표시 패널(110)은 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 브리지 전극(BE)의 길이를 서로 다르게 설계할 수 있다.

[0179] 구체적으로, 제1 서브 화소(SP1)에 구비된 제1 전극(120)은 복수의 제1 분할 전극(121)들 및 적어도 하나의 제1

브리지 전극(BE1)으로 이루어질 수 있다. 제2 서브 화소(SP2)에 구비된 제1 전극(120)은 복수의 제2 분할 전극(122)들 및 적어도 하나의 제2 브리지 전극(BE2)으로 이루어질 수 있다. 제3 서브 화소(SP3)에 구비된 제1 전극(120)은 복수의 제3 분할 전극(123)들 및 적어도 하나의 제3 브리지 전극(BE3)으로 이루어질 수 있다. 제4 서브 화소(SP4)에 구비된 제1 전극(120)은 복수의 제4 분할 전극(124)들 및 적어도 하나의 제4 브리지 전극(BE4)으로 이루어질 수 있다.

[0180] 본 발명의 일 실시예에 따른 표시 패널(110)은 구동 트랜지스터(TR)에서 공급하는 전류의 크기를 고려하여 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들 각각의 길이를 다르게 형성할 수 있다.

[0181] 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각은 발광하는 색에 따라 요구되는 전류가 상이할 수 있다. 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 구동 트랜지스터(TR)는 요구 전류를 고려하여 크기가 결정될 수 있다.

[0182] 제1 내지 제4 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들은 구동 트랜지스터(TR)들의 크기에 따라 저항이 달라질 수 있다. 구동 트랜지스터(TR)의 크기가 크면, 구동 트랜지스터(TR)에서 공급하는 전류가 크므로, 브리지 전극(BE1, BE2, BE3, BE4)의 저항이 클 수 있다. 반면, 구동 트랜지스터(TR)의 크기가 작으면, 구동 트랜지스터(TR)에서 공급하는 전류가 작으므로, 브리지 전극(BE1, BE2, BE3, BE4)의 저항이 작을 수 있다.

[0183] 본 발명의 다른 실시예에 따른 표시 패널(110)은 브리지 전극(BE1, BE2, BE3, BE4)의 길이를 조절하여 구동 트랜지스터(TR)로부터 브리지 전극(BE1, BE2, BE3, BE4)으로 인가되는 전류에 대한 저항을 조절할 수 있다. 이를 통해, 본 발명의 다른 실시예에 따른 표시 패널(110)은 제1 내지 제4 브리지 전극(BE1, BE2, BE3, BE4)들이 유사한 저항을 가질 수 있도록 할 수 있다.

[0184] 일 예로, 제1 서브 화소(SP1)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 크고, 제2 서브 화소(SP2)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 두 번째로 크고, 제4 서브 화소(SP4)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 세 번째로 크고, 제3 서브 화소(SP3)의 제1 전극(120)과 연결된 구동 트랜지스터(TR)가 가장 작을 수 있다.

[0185] 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)는 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)의 길이(BL2) 보다 짧을 수 있다. 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)에 인가되는 전류가 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제1 브리지 전극(BE1)의 길이(BL1)를 제2 브리지 전극(BE2)의 길이(BL2) 보다 짧게 형성함으로써, 제1 브리지 전극(BE1) 및 제2 브리지 전극(BE2)의 저항 차를 줄일 수 있다.

[0186] 또한, 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)의 길이(BL2)는 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)의 길이(BL4) 보다 짧을 수 있다. 제2 서브 화소(SP2)에 구비된 제2 브리지 전극(BE2)에 인가되는 전류가 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제2 브리지 전극(BE2)의 길이(BL2)를 제4 브리지 전극(BE4)의 길이(BL4) 보다 짧게 형성함으로써, 제2 브리지 전극(BE2) 및 제4 브리지 전극(BE4)의 저항 차를 줄일 수 있다.

[0187] 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)의 길이(BL4)는 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 짧을 수 있다. 제4 서브 화소(SP4)에 구비된 제4 브리지 전극(BE4)에 인가되는 전류가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)에 인가되는 전류 보다 클 수 있다. 이에 따라, 제4 브리지 전극(BE4)의 길이(BL4)를 제3 브리지 전극(BE3)의 길이(BL3) 보다 짧게 형성함으로써, 제3 브리지 전극(BE3) 및 제4 브리지 전극(BE4)의 저항 차를 줄일 수 있다.

[0188] 상술한 바와 같은 본 발명의 다른 실시예에 따른 표시 패널(110)은 구동 트랜지스터(TR)로부터 인가되는 전류가 작으면, 해당 구동 트랜지스터(TR)와 연결된 브리지 전극(BE)의 길이를 증가시킴으로써 브리지 전극(BE)의 저항을 증가시킬 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 표시 패널(110)은 분할 전극(125) 상에 이물 발생시 브리지 전극(BE)이 단절되는 것을 보장할 수 있다.

[0189] 한편, 본 발명의 다른 실시예에 따른 표시 패널(110)은 서브 화소(SP1, SP2, SP3, SP4)들 각각에서 브리지 전극(BE1, BE2, BE3, BE4)들의 길이가 상이함에 따라, 분할 전극(121, 122, 123, 124)들의 크기 또는 개수가 상이해질 수 있다.

[0190] 일 실시예에 있어서, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 도

11에 도시된 바와 같이 폭이 서로 상이할 수 있다. 구체적으로, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 브리지 전극(BE1, BE2, BE3, BE4)과 접하는 측과 수직한 측, 예컨대, 단변의 폭이 서로 상이할 수 있다.

[0191] 예컨대, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 길 수 있다. 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 분할 전극(121)은 단변의 폭이 제3 서브 화소(SP3)의 제3 분할 전극(123)의 단변의 폭 보다 클 수 있다.

[0192] 다른 실시예에 있어서, 서브 화소(SP1, SP2, SP3, SP4)들 각각에 구비된 분할 전극(121, 122, 123, 124)들은 개수가 서로 상이할 수 있다. 예컨대, 제1 서브 화소(SP1)에 구비된 제1 브리지 전극(BE1)의 길이(BL1)가 제3 서브 화소(SP3)에 구비된 제3 브리지 전극(BE3)의 길이(BL3) 보다 길 수 있다. 이러한 경우, 제1 서브 화소(SP1)에 구비된 제1 분할 전극(121)들의 개수는 제3 서브 화소(SP3)의 제3 분할 전극(123)들의 개수 보다 많을 수 있다.

[0193] 도 12에 도시된 뱅크(BK), 유기 발광층(130), 제2 전극(140), 봉지막(150), 컬러필터(CF) 및 블랙 매트릭스(BM)는 도 5 및 도 6에 도시된 뱅크(BK), 유기 발광층(130), 제2 전극(140), 봉지막(150), 컬러필터(CF) 및 블랙 매트릭스(BM)와 실질적으로 동일하므로, 이에 대한 구체적인 설명은 생략하도록 한다.

[0194] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

## *부호의 설명*

[0195] 100: 표시 장치 110: 표시 패널

111: 제1 기판 112: 제2 기판

120: 제1 전극 125: 분할 전극

BE: 브리지 전극 CL1, CL2: 연결부

ACH: 컨택홀 BK: 뱅크

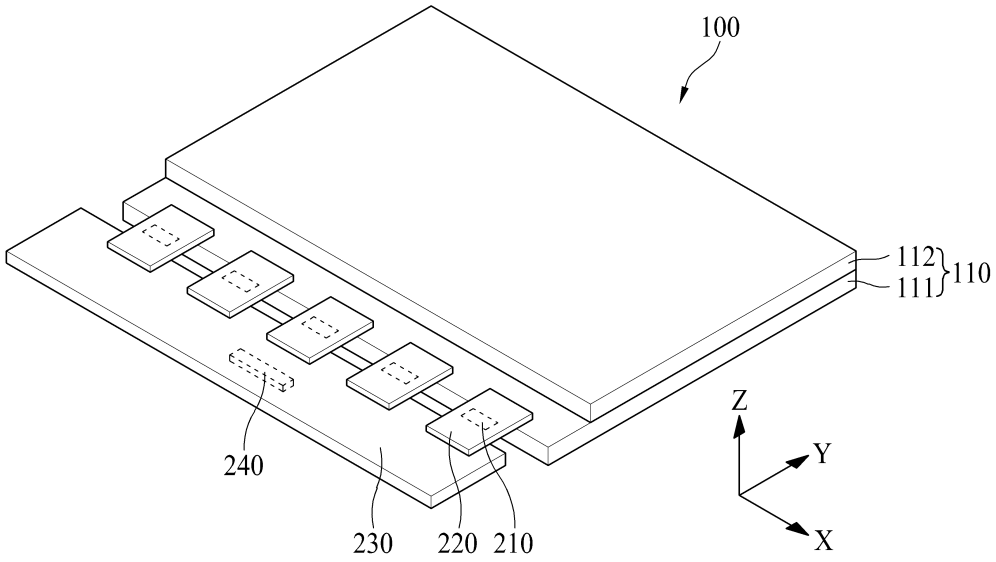
130: 유기 발광층 140: 제2 전극

150: 봉지막 CF: 컬러필터

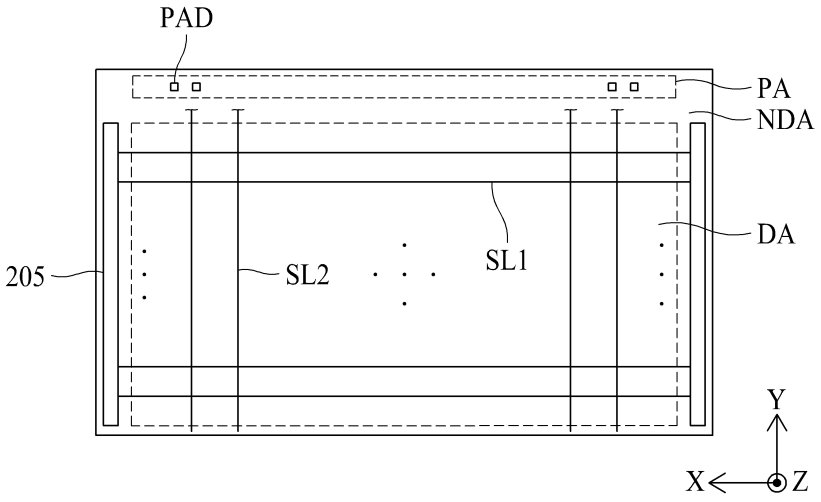
205: 스캔 구동부

도면

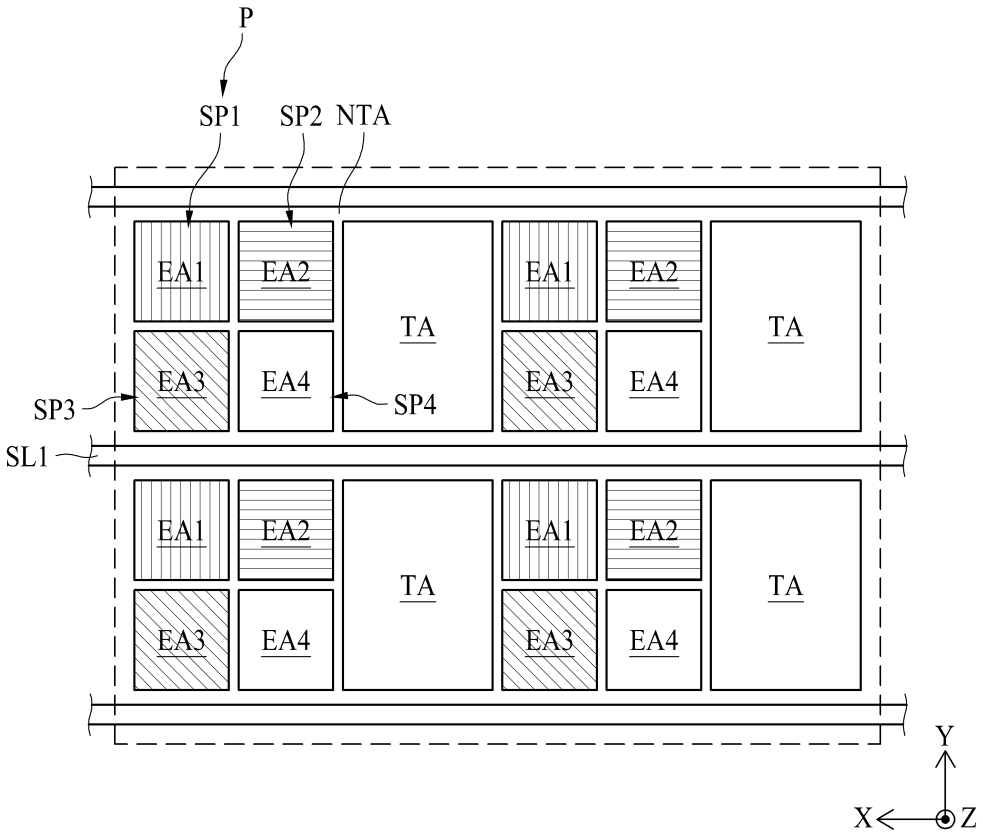
도면1



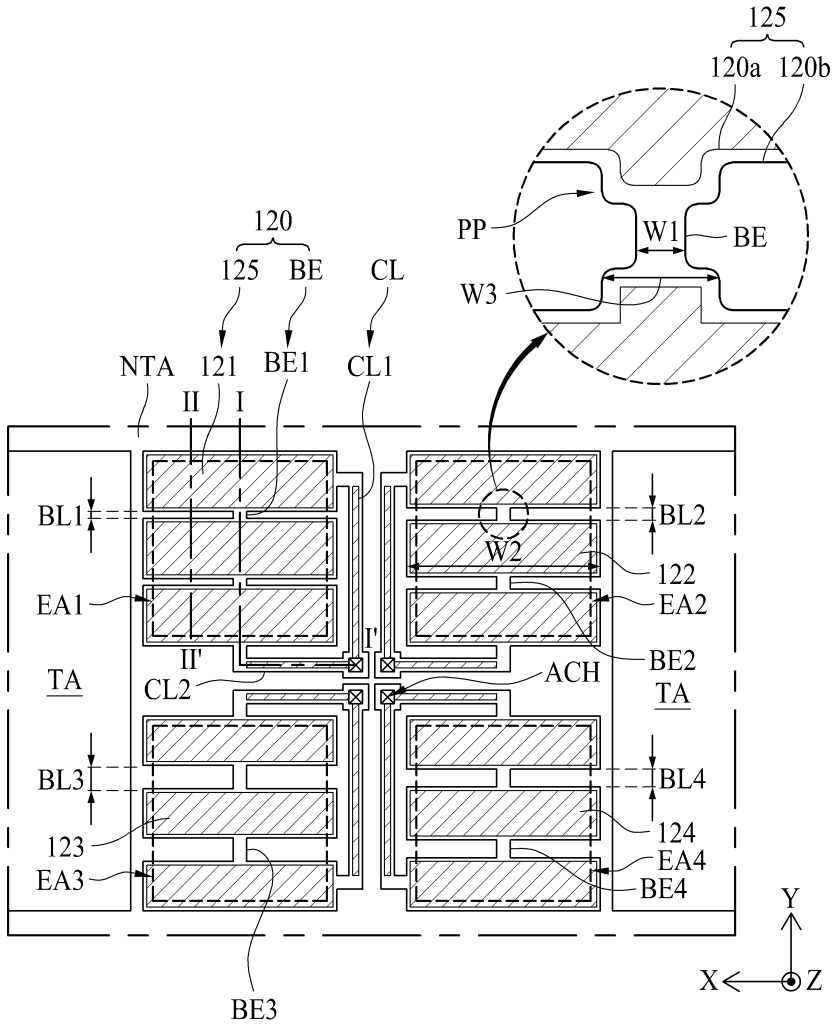

도면2



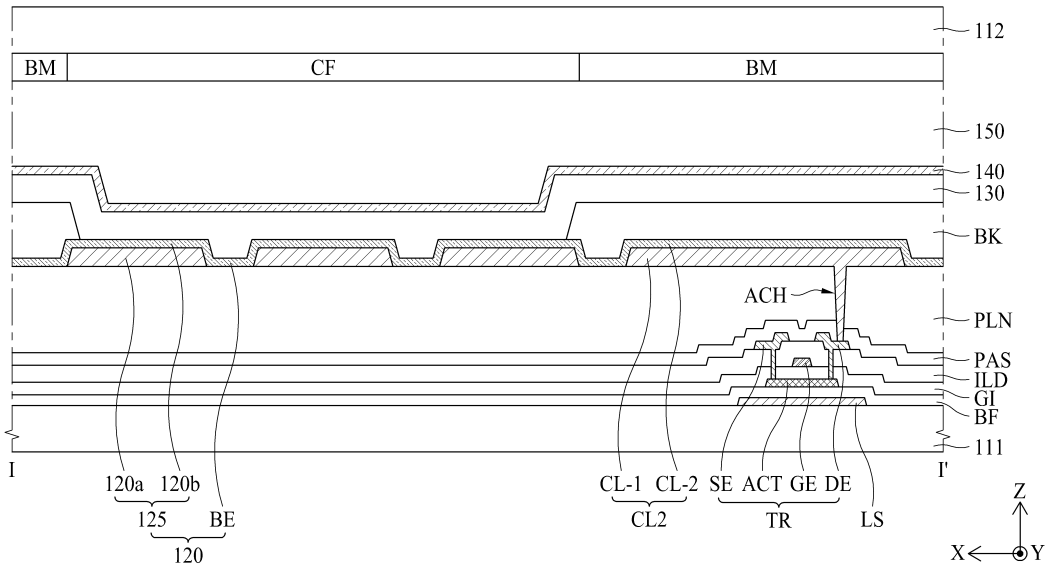
도면3



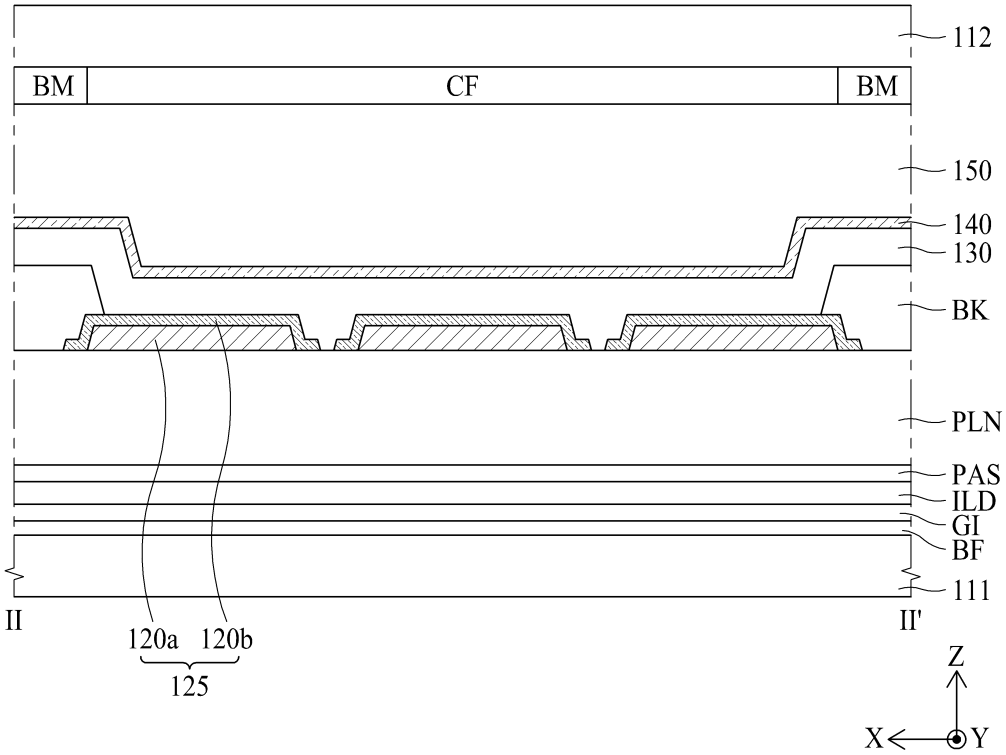
도면4


125
120a
120b
PP
W1
BE
W3
120
125
BE
CL
NTA
121
BE1
CL1
II
I
BL1
EA1
TA
II'
CL2
I'
ACH
W2
BL2
122
EA2
BE2
TA
BL3
123
EA3
BL4
124
EA4
BE4
BE3
Y
X
Z

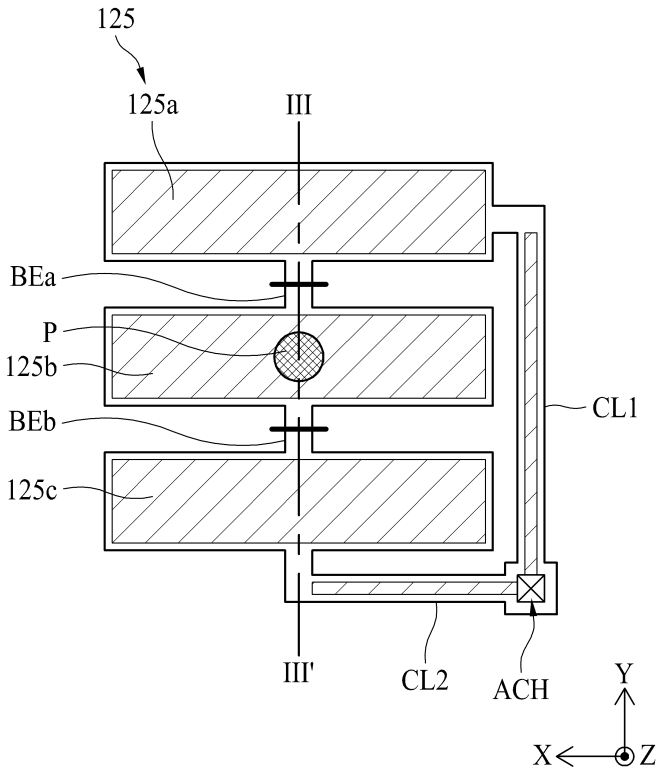
도면5


112
BM
CF
BM
150
140
130
BK
ACH
PLN
PAS
ILD
GI
BF
111
I
I'
120a
120b
125
BE
120
CL-1
CL-2
CL2
SE
ACT
GE
DE
TR
LS
Z
X
Y

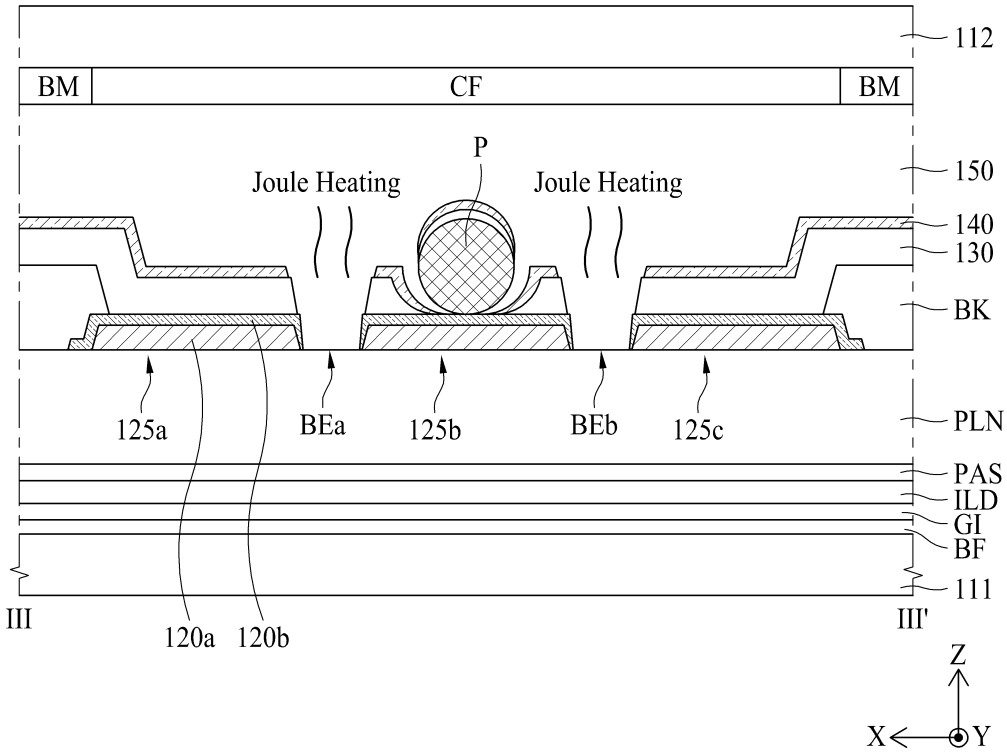
도면6


112
BM
CF
BM
150
140
130
BK
PLN
PAS
ILD
GI
BF
111
II
II'
120a
120b
125
Z
X
Y

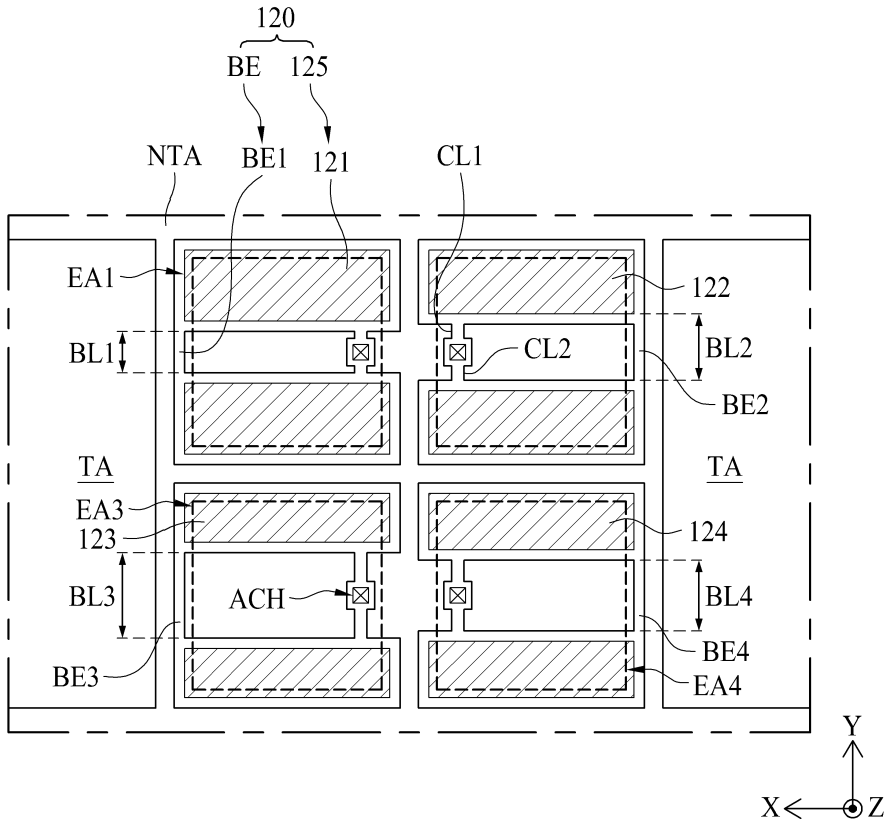
도면7


125
125a
III
BEa
P
125b
BEb
125c
CL1
III'
CL2
ACH
Y
X
Z

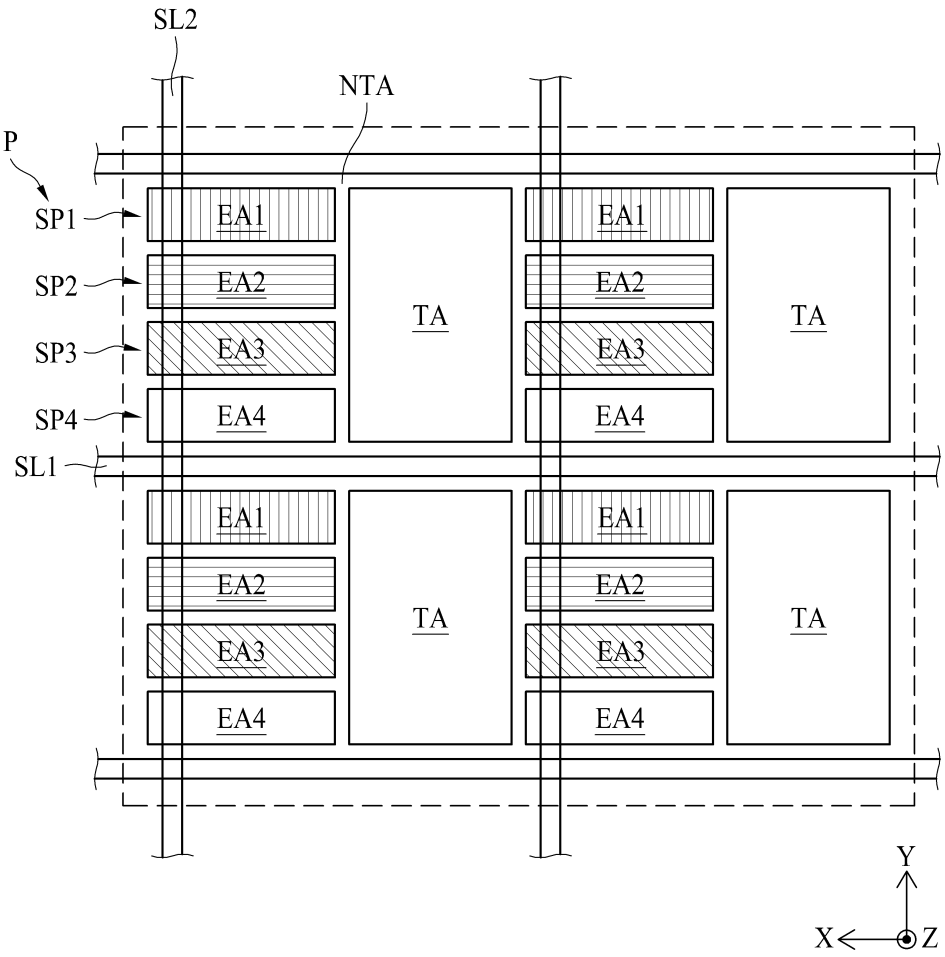
도면8


112
BM
CF
BM
P
Joule Heating
Joule Heating
150
140
130
BK
125a
BEa
125b
BEb
125c
PLN
PAS
ILD
GI
BF
111
III
III'
120a
120b
Z
X
Y

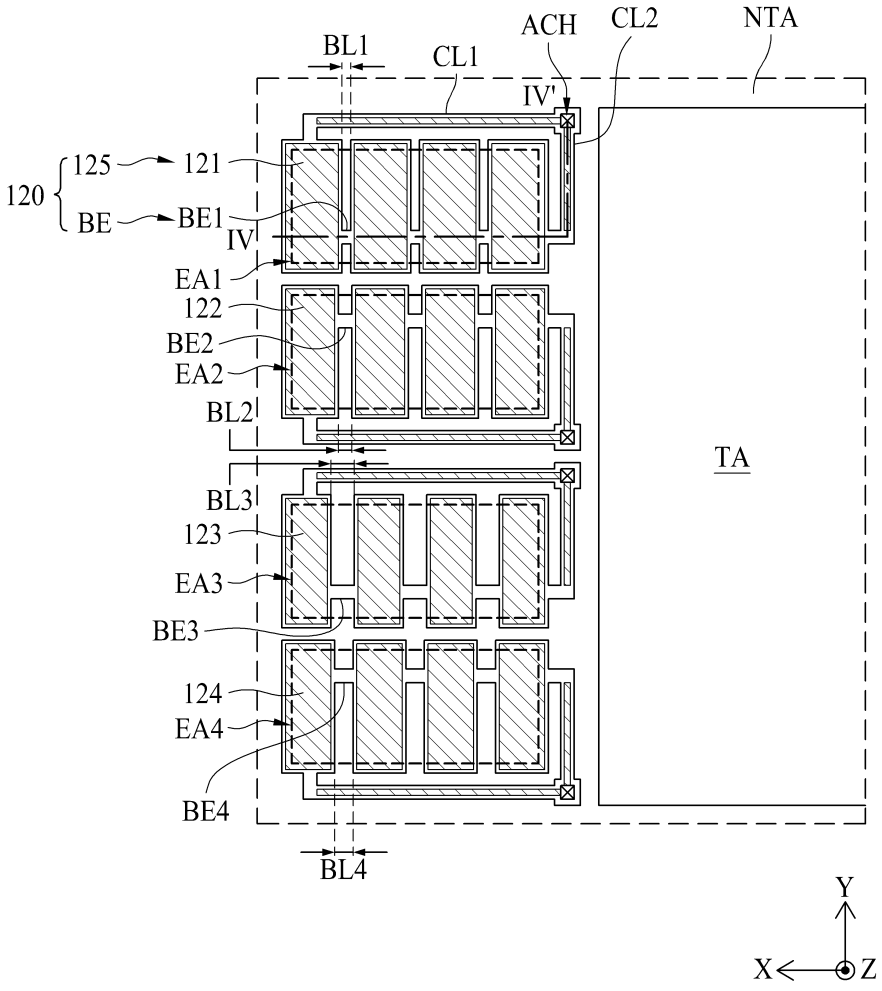
도면9


120
BE
125
NTA
BE1
121
CL1
EA1
122
BL1
CL2
BL2
BE2
TA
TA
EA3
123
124
BL3
ACH
BL4
BE3
BE4
EA4
Y
X
Z

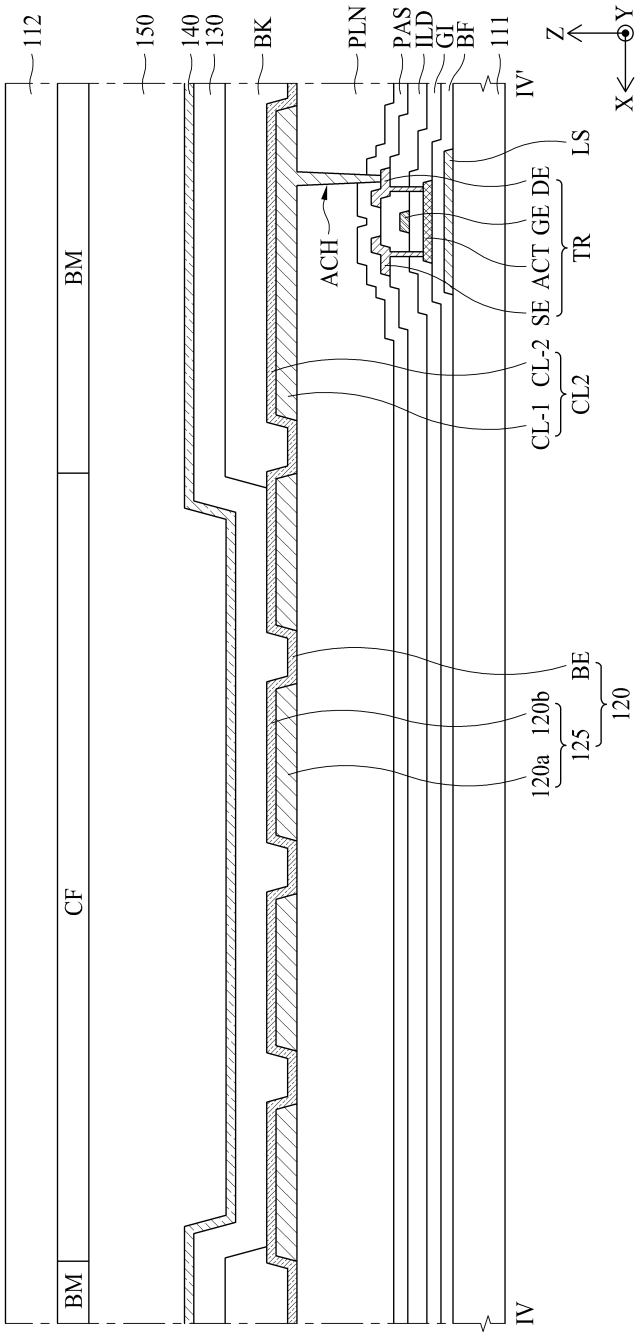
도면10



도면11


BL1
CL1
ACH
CL2
NTA
IV'
120
125
121
BE
BE1
IV
EA1
122
BE2
EA2
BL2
TA
BL3
123
EA3
BE3
124
EA4
BE4
BL4
Y
X
Z

도면12


112
150
140
130
BK
PLN
PAS
ILD
GI
BF
111
IV'
Z
Y
X
LS
DE
GE
ACT
SE
TR
CL-2
CL-1
CL2
BE
120b
120a
125
120
ACH
BM
CF
BM
IV