

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/34

(45) 공고일자 1990년01월 18일
(11) 공고번호 특1990-0000050

(21) 출원번호	특1985-0004220	(65) 공개번호	특1986-0005369
(22) 출원일자	1985년06월 14일	(43) 공개일자	1986년07월21일
(30) 우선권주장	59-263301 1984년 12월 13일	일본(JP)	
(71) 출원인	가부시끼가이샤 도오시바 사바 쇼오이찌 일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72반지		

(72) 발명자 오구라 미쯔기
일본국 가나가와켄 가와사끼시 사이와이구 고무가이 도오시바쵸오 1반지
가부시끼가이샤 도오시바 다마가와공장내
이또오 야스오
일본국 가나가와켄 가와사끼시 사이와이구 고무가이 도오시바쵸오 1반지
가부시끼가이샤 도오시바 종합연구소내

(74) 대리인 김윤배

심사관 : 유환열 (책자공보 제1721호)

(54) 반도체 기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 일실시예인 DRAM의 구성도.

제2도는 제1도의 감지동작을 설명하기 위한 파형도.

제3도는 DRAM 메모리의 구성도.

제4도는 종래 DRAM의 구성도.

제5도는 감지동작을 설명하기 위한 파형도이다.

* 도면의 주요부분에 대한 부호의 설명

WLi(WL1,WL2,WL3) : 워드선 DWL, \overline{DWL} : 더미워드선

BLj(BL1,BL2,BL3) : 비트선

SA1j(SA11,SA12,SA13) : 제1감지 증폭기

SA2j(SA21,SA22,SA23) : 제2감지 증폭기

I/O, $\overline{I/O}$: 입출력선

Q1-Q14, Q41-Q52 : MOS FET

Q15, Q18, Q55, Q56 : 활성화용 MOS FET

Q53, Q54 : 전송게이트용 MOS FET C1-C6, C11-C16 : MOS 캐패시터

[발명의 상세한 설명]

본 발명은 반도체 기억장치에 관한 것으로서, 특히 감지동작시에 최대 전류를 억제하여 신뢰성이 높은 감지동작을 수행하도록 되어 있는 반도체 기억장치에 관한 것이다.

최근 바뀌쓰기가 가능한 여러 종류의 반도체 메모리셀이 실용화 되어 있는바, 이들 반도체 메모리셀 중에서 제3도에 나타낸 바와 같은 1개의 MOS FET(31)와 1개 9의 MOS 캐패시터(32)로 이루어진 메모리셀을 이용한 다이내믹 RAM(DRAM)이 가장 고집적화된 것으로서 일반적으로 사용되고 있다. 이러한 메모리셀은 MOS FET(31)이 게이트가 열(列) 어드레스선(이하 워드선이라 칭함 : WL)에 접속되고, 드레인이 행(行)어드레스선(이하 비트선이라 칭함 : BL)에 접속되며, 기억데이터는 전하의 형태도 MOS 캐패시터(32)에 축적되어져 있도록 된 것이다. 그런데 이와 같은 메모리셀을 이용하여 DRAM을 구성할 경우에는 제4도에 나타낸 바와 같이 메모리셀 어레이가 구성되는바, 즉 메모리셀을 선택적으로 구동하는 여러개의 워드선(WLi)과 메모리셀 사이에서 데이터의 교환을 행하는 여러개의 비트선(BLj)이 상호교차하여 배열되게 되고, 또한 이들 각 교차부에는 메모리셀이 접속되며, 워드선(WLi)과 평행하게 한쌍의 더미워드선(DWL, \overline{DWL})이 설치되고, 상기 더미워드선(DWL, \overline{DWL})과 가가 비트선(BLj)의 교차부에는 더미셀의 접속된 구조로 되어 있다.

상기한 바와 같은 구성은 쌍을 이루는 각 비트선(BLj, \overline{BLj})의 한쪽 끝을 서로 연결하기 위해서 감지증폭기(SAj)를 설치하는 방식이 사용되고 있고, 감지증폭기(SAj)는 병렬 접속된 두개의 활성화용 MOS FET(Q55, Q56)을 매개하여 접지되며, 비트선(BLj, \overline{BLj})은 전송 게이트용 MOS FET(Q53, Q54)을 매개하여 입출력선(I/O, $\overline{I/O}$)에 접속되어 있다.

제4도의 DRAM에 제5도와 같은 클럭이 각 부분에 인가되면 다음과 같은 동작을 한다. 즉 먼저 감지증폭기가 설치된 한쌍의 비트선(BLj, \overline{BLj})에 "하이" 레벨(예를 들면 $V_{cc}+V_{th}$ 이상)의 선충전용 클럭(BLP)이 인가됨에 따라 MOS FET(Q43, Q44)가 턴온되어 그 비트선에 선충전 전위(V_{cc})가 충전되고, 또한 감지증폭기(SAj)의 노드(node)도 선충전 전위(V_{cc})로 충전되며, 동시에 더미셀에 입력되는 클럭(DCP)이 "하이" 레벨(예를 들면 V_{cc})이 됨에 따라 MOS FET(Q50, Q52)가 턴온되어 모든 더미셀의 노드에 "로우" 레벨(예를 들면 V_{ss})이 기록된다. 여기서 더미셀의 MOS 캐패시터(C15, C16...)의 용량은 메모리셀의 MOS캐패시터(C11, C12...)용량의 1/2크기로 한다.

다음에 비트선을 선충전시키는 클럭(BLP)과 더미셀에 "로우" 레벨을 기록하는 클럭(DCP)을 함께 "로우" 레벨로 내리고 비트선을 플로팅(floating)으로 한다. 이후 활성화 동작에 들어가 하나의 워드선, 예를 들면 WL1가 "하이" 레벨($V_{cc}+V_{th}$ 이상)이 되고, 더미워드선(\overline{DWL})이 "하이" 레벨이 됨에 따라 MOS FET(Q45, Q51)가 턴온되며, 비트선($\overline{BL1}$)에는 MOS 캐패시터(C16)의 정보가, 또 BL1에는 MOS 캐패시터(C11)의 정보가 각각 나타나고, 한쌍의 비트선(BL1)($\overline{BL1}$)사이에 전위차가 발생하는 바, 상기 전위차는 감지증폭기(SA1)에 입력되고, 감지증폭기(SA1)는 2단계로 나뉘어져 활성화된다. 우선 상호콘덕턴스가 적은 활성화용 MOS FET(Q55)의 내부 클럭 PSEN을 "하이" 레벨로 함에 따라 활성화용 MOS FET(Q55)가 구동되어 노드(N)의 레벨을 낮춤에 따라 평행이 깨진 비트선(BL1, $\overline{BL2}$)사이에 전위차의 증폭을 개시한다. 비트선(BL1, $\overline{BL1}$)사이에서 어느 정도 전위차가 발생한 상태에서 상호콘덕턴스가 큰 활성화용 MOS FET(Q56)의 내부클럭 MSEN을 "하이" 레벨로 함에 따라 구동되고, BL1, $\overline{BL1}$ 중에서 "하이" 레벨측은 V_{cc} 가까이에 유지되고 "로우" 레벨측은 V_{ss} 로 떨어진다. 비트선의 "하이" 레벨측은 감지동작중에 약간 "하이" 레벨측의 MOS FET가 턴온하는 것과 상기 MOS FET의 게이트가 용량성 결합에 의해 내려가는 것등의 이유때문에 완전히 V_{cc} 에는 유지되지 않고 1V정도레벨이 저하된다. 상기 "하이" 레벨의 저하는 메모리셀의 기록에 충분한 기록이 행해지지 않는 원인이 되고, 이 때문에 통상 액티브 풀-업(active pull-up)회로 등을 붙여서 "H" 레벨측의 전위를 확실하게 V_{cc} 로 되돌리는 것을 행하고 나서 다시 기록을 행하고 있다. 이와 같이 하여 비트선(BL1), ($\overline{BL1}$)의 한쪽은 V_{cc} , 다른 한쪽은 V_{ss} 가 되어 래치(latch)된다.

상기 감지증폭기구동은 클럭 PSEN에 의해 선충전을 행하고, 클럭 MSEN에 의해 주감지를 행하는 이른바 멀티 그라운드 (multi grounded)방식으로서 알려져 있다. 클럭 MSEN이 "하이" 레벨이 되면 1개의 선택된 워드선에 접속된 모든 메모리셀의 트랜스퍼게이트(MOS FET)가 온 되고, 모든 감지증폭기(SAj)가 동시에 동작하여 비트선(BLj, \overline{BLj})의 전위차를 증폭한다. 통상의 DRAM에서는 1,000개 이상의 감지증폭기가 동작하게 된다.

그러나 감지증폭기 중에서 한쌍의 비트선이 행어드레스에 의해 선택된 행선택신호(CSLj)에 의해서 선택되며 나머지 비트선쌍은 선택되지 않는다. 예를 들면 행선택신호(CSL1)가 선택됨에 따라 비트선 쌍 BL1, $\overline{BL1}$ 의 정보만이 전송 게이트 MOS FET(Q53, Q54)를 매개하여 입출력 I/O, $\overline{I/O}$ 에 전송된다.

상기한 바와 같이 종래의 감지방식에서는 동시에 모든 감지증폭기가 구동되기 때문에 모든 감지증폭기에 연결되는 비트선의 방전이 동시에 행하여지며, 방전이 단시간에 행하여지면 최대전류가 증가하고, 접지선전위(U_{ss})의 상승을 유발시키게 되며, 이것이 잡음으로서 주변회로의 동작에 나쁜 영향을 미치는 단점이 있다.

본 발명은 상기한 문제점을 개선하기 위한 것으로서, 감지증폭기의 동작에 따르는 최대전류를 제어하고, 전원선변동에 의한 잡음을 감소시켜 주변회로의 동작에 나쁜 영향을 주지 않도록 하기 위하여 한쌍의 비트선에 대하여 두개의 제1, 제2감지증폭기를 설치하되, 제1의 감지증폭기는 선충전용 클럭에 의해 선택된 어드레스에 대응하는 것만이 활성화 되도록한 신뢰성이 높은 반도체 기억장치를 제공하기 위해서 안출된 것이다.

이하 본 발명의 구성 및 작용, 효과를 예시도면에 의거하여 상세히 설명하면 다음과 같다.

제1도는 본 발명의 일실시예를 나타내는 구성도로서, 메모리셀 어레이 부분의 구성은 종래와 같고, 종래의 다른점은 비트선쌍(BLj, \overline{BLj})마다 제1의 감지증폭기(SA1j), 제2의 감지증폭기(SA2j)가 설치되어 있는 점이며, 제1의 감지증폭기(SA1j)에는 선 감지용 클럭 PSEN으로 구동되는 하나의 활성화용 MOS FET(Q18)가 공통으로 접속되고, 제2의 감지증폭기(SA2j)에는 각각 주감지용클럭(MSEMj)에 의해 구동되는 활성화용 MOS FET(Q15)가 접속되어 있다. 주 감지용의 제2감지증폭기(SA2j)측의 활성화용 MOS FET(Q18)의 콘덕턴스보다 큰것으로 한다.

이와 같이 구성된 DRAM의 감지동작을 제2도의 신호파형을 참조하여 설명하면, 선충전용 클럭(BLP)이 "하이" 레벨이 됨에 따라 비트선 전체에 Vcc가 선충전되고, 이와 동시에 클럭 DCP가 "하이" 레벨이 됨에 따라 각 더미셀에 "로우" 레벨이 기록되고, 클럭 BLP, DCP는 액티브동작에 들어가기 전에 "L" 레벨로 해둔다. 그리고 활성화동작에 드러가 하나의 워드선 예를 들면 WL1이 선택되며, WL1에 연결되는 메모리셀의 정보가 비트선으로 전송된다.

여기까지는 종래의 동작과 일치한다.

그후 선충전용 클럭 PSEN이 "하이" 레벨이 되고, 활성화용 MOS FET(Q18)가 온 되어 노드(N)의 전위가 서서히 내려가 각 비트선쌍(BLj, \overline{BLj})에 나타난 전위의 불평형이 제1의 감지증폭기(SA1j)에 의해 증폭된다.

상기 제1의 감지증폭기(SA1j)의 동작은 MOS FET(Q18)의 상호 콘덕턴스가 적기 때문에 비교적 천천히 동작한다.

제2도에 나타난 바와 같이 선 감지에 의해 비트선쌍(BLj, \overline{BLj})이 "로우" 레벨측이 저하하지만 "하이" 레벨은 거의 저하하는 일없이 유지된다.

그리고 비트선쌍(BLj, \overline{BLj})의 전위차가 어느정도 발생한 곳에서 선택된 비트선쌍 예를 들면 BL1, $\overline{BL1}$ 에 관해서만 주감지용 클럭 MSEN1이 "하이" 레벨이 되며, 각 비트선 쌍에 설치된 제2의 감지증폭기 중에서 SA21만이 활성화된다.

그리고 하나의 행 선택신호(CSL1)가 "하이" 레벨이 되며, MOS FET(Q16, Q17)를 매개하여 선택된 비트선(BL1, $\overline{BL1}$)의 데이터 입출력선 I/O, $\overline{I/O}$ 에 전송된다.

상기한 바와 같이 본 실시예에 의하여 각 비트선 쌍에 각각 설치된 제1, 제2의 감지증폭기 중에서 제1의 감지증폭기는 모두 동시에 구동하여 선감지를 행하고, 제2의 감지증폭기가 선택적으로 동작하여 주감지용 행한다.

따라서 감지동작시의 최대 전류치가 억제되어 최대 전류에 의한 전원선 전위(Vss)의 상승에 기인하는 주변회로의 오동작이 방지되므로 DRAM동작의 신뢰성이 향상된다.

본 발명은 상기 실시예에 한정되는 것이 아니고, 요지를 벗어나지 않는 범위에서 각종 변형시켜 실시할 수도 있다.

이상에서 설명한 본 발명에 의하면, 비선택의 비트선에 관해서는 선감지용의 제1감지증폭기만을 동작시키기 때문에 감지동작시의 최대 전류를 억제하여 전원선의 전위변동을 감소시킬 수 있으므로 주변회로가 안전된 동작이 가능하게 되며, 신뢰성이 높은 DRAM을 얻을 수 있다.

또 비선택의 비트선 쌍은 선감지용의 제1감지증폭기 만으로 서서히 방전시키기 때문에 비트선쌍의 "하이" 레벨측의 레벨저하가 종래보다 낮게 억제되므로, 비트선의 "하이" 레벨의 저하를 복귀시키는 회로로서 액티브풀업(active pull-up)회로와 같은 복잡한 회로를 필요로 하지 않으며, 용량성 결합만으로 비트선의 풀-업을 행하도록 하여 회로를 간단히 할 수 있다.

(57) 청구의 범위

청구항 1

반도체기관에 매트릭스 배열된 여러개의 메모리셀과, 상기 메모리셀을 선택적으로 구동하는 여러개의 워드선, (WL1, WL2...) 각 메모리셀과의 사이에서 정보를 교환하는 여러개의 비트선

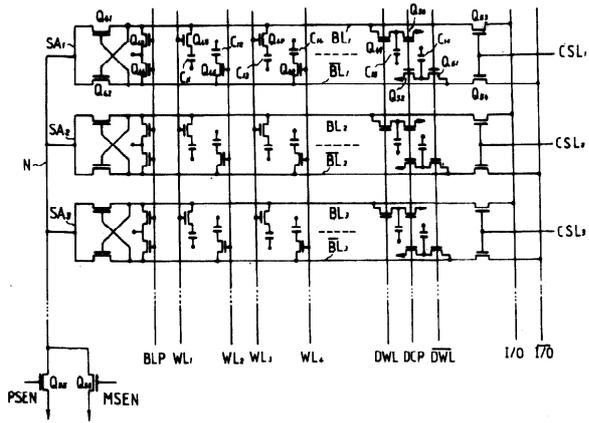
(BL1, $\overline{BL1}$, BL2, $\overline{BL2}$...)과 각 쌍의 전위차를 검지하는 여러개의 감지증폭기 등을 집적시켜서 이루어지는 반도체 기억장치에 있어서, 상기 감지증폭기로서 각 비트선 쌍마다 제1, 제2두개의 감지증폭기(SA11..., SA1j ; SA21, SA2j)를 설치하되, 상기 제1의 감지증폭기(SA11, ..., SA1j)는 여러개가 동시에 활성화되며, 제2의 감지증폭기(SA21, ..., SA2j)는 선택된 어드레스에 대응하는 것만 활성화 되도록 하는 특징으로 하는 반도체 기억장치.

청구항 2

제2항에 있어서, 제1의 감지증폭기(SA11, ..., SA1j)는 선감지용으로 상호콘덕턴스가 작은 활성화용 트랜지스터(Q18)에 의해 모두 동시에 활성화되는 것이며, 제2의 감지증폭기(SA21, ..., SA2j)는 주감지용으로서 감지증폭기마다 설치된 상호콘덕턴스가 큰 활성화용 트랜지스터(Q15)에 의해 활성화되는 것임을 특징으로 하는 반도체 기억장치.

도면

도면4



도면5

