



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I677989 B

(45)公告日：中華民國 108 (2019) 年 11 月 21 日

(21)申請案號：103130826

(22)申請日：中華民國 103 (2014) 年 09 月 05 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2013/09/19 日本

2013-193615

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：小林由幸 KOBAYASHI, YOSHIYUKI (JP)；松林大介 MATSUBAYASHI, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201234600A

TW 201301406A

TW 201303981A

審查人員：何立瑋

申請專利範圍項數：17 項 圖式數：21 共 113 頁

(54)名稱

半導體裝置及其製造方法

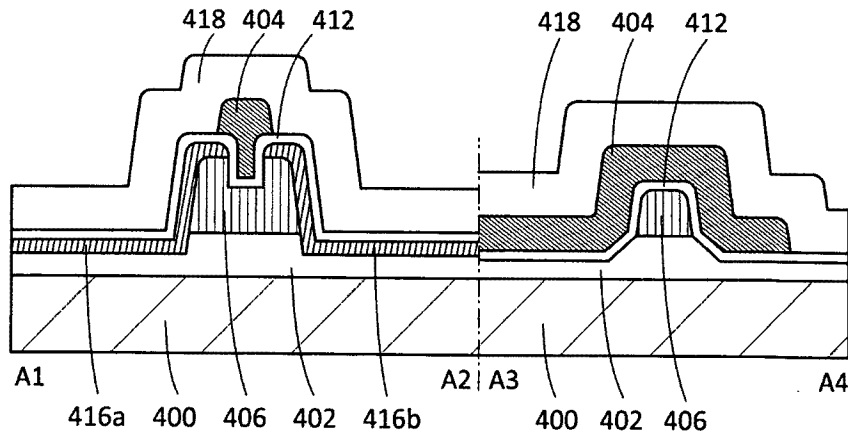
(57)摘要

本發明的一個方式的目的之一是提供一種具有高場效移動率的電晶體。另外，本發明的一個方式的目的之一是提供一種電特性穩定的電晶體。另外，本發明的一個方式的目的之一是提供一種關閉時(非導通時)的電流小的電晶體。另外，本發明的一個方式的目的之一是提供一種包括該電晶體的半導體裝置。本發明的一個方式是一種半導體裝置，包括：半導體；具有與半導體的頂面接觸的區域及與半導體的側面接觸的區域的源極電極和汲極電極；具有與半導體接觸的區域的閘極絕緣膜；以及具有隔著閘極絕緣膜與半導體相對的區域的閘極電極，其中，半導體不與源極電極和汲極電極接觸的區域的通道寬度方向的長度短於半導體與源極電極和汲極電極接觸的區域的通道寬度方向的長度。

To provide a transistor having high field effect mobility. To provide a transistor having stable electrical characteristics. To provide a transistor having low off-state current (current in an off state). To provide a semiconductor device including the transistor. The semiconductor device includes a semiconductor; a source electrode and a drain electrode including regions in contact with a top surface and side surfaces of the semiconductor; a gate insulating film including a region in contact with the semiconductor; and a gate electrode including a region facing the semiconductor with the gate insulating film provided therebetween. A length of a region of the semiconductor, which is not in contact with the source and drain electrodes, is shorter than a length of a region of the semiconductor, which is in contact with the source and drain electrodes, in a channel width direction.

指定代表圖：

圖 1B



符號簡單說明：

- 400 . . . 基板
- 402 . . . 絕緣膜
- 404 . . . 導電膜
- 406 . . . 半導體
- 412 . . . 絕緣膜
- 416a . . . 導電膜
- 416b . . . 導電膜
- 418 . . . 絕緣膜

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。另外，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器。另外，係關於一種半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器的製造方法。或者，係關於一種半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器的驅動方法。尤其是，本發明的一個方式係關於一種包含氧化物半導體的半導體裝置、顯示裝置或發光裝置。

[0002] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0003] 作為用於電晶體的半導體的矽，根據用途分別使用非晶矽或多晶矽。例如，當應用於構成大型的顯示裝置的電晶體時，較佳為使用已確立了大面積基板上的形成技術的非晶矽。另一方面，當應用於構成一體地形成有驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以製造具有高場效移動率的電晶體的多晶矽。作為多晶矽的形成方法，已知藉由對非晶矽進行高溫下的加熱處理或雷射處理來形成的方法。

[0004] 近年來，氧化物半導體受到關注。例如，已公開了使用包含銮、鎵及鋅的非晶氧化物半導體的電晶體（參照專利文獻 1）。

[0005] 氧化物半導體可以利用濺射法等形成，所以可以用於構成大型顯示裝置的電晶體的通道形成區。另外，使用氧化物半導體的電晶體具有高場效移動率，所以可以實現一體地形成有驅動電路的高功能的顯示裝置。另外，因為可以改良使用非晶矽的電晶體的生產設備的一部分而進行利用，所以還具有可以抑制設備投資的優點。

[0006] 已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，公開了一種應用了使用氧化物半導體的電晶體的洩漏特性的低耗電的 CPU 等（參照專利文獻 2）。

[0007] 此外，還公開了藉由使用由半導體而成的活性層構成阱型電勢可以得到具有高場效移動率的電晶體（參照專利文獻 3）。

[0008]

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[專利文獻 2] 日本專利申請公開第 2012-257187 號公報

[專利文獻 3] 日本專利申請公開第 2012-59860 號公報

【發明內容】

[0009] 本發明的一個方式的課題之一是提供一種具有高場效移動率的電晶體。另外，本發明的一個方式的課題之一是提供一種電特性穩定的電晶體。另外，本發明的一個方式的課題之一是提供一種關閉時（非導通時）的電流小的電晶體。另外，本發明的一個方式的課題之一是提供一種包括該電晶體的半導體裝置。另外，本發明的一個方式的課題之一是提供一種新穎的半導體裝置。

[0010] 注意，上述課題的記載不妨礙其他課題的存在。此外，本發明的一個方式並不需要解決所有上述課題。另外，從說明書、圖式、申請專利範圍等的記載這些課題以外的課題是顯然的，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的課題。

[0011] 本發明的一個方式是一種半導體裝置，包括：半導體；具有與半導體的頂面接觸的區域及與半導體的側面接觸的區域的源極電極和汲極電極；具有與半導體

接觸的區域的閘極絕緣膜；以及具有隔著閘極絕緣膜與半導體相對的區域的閘極電極，其中，半導體不與源極電極和汲極電極接觸的區域的通道寬度方向的長度短於半導體與源極電極和汲極電極接觸的區域的通道寬度方向的長度。

[0012] 本發明的一個方式是上述半導體裝置，其中，半導體不與源極電極和汲極電極接觸的區域比半導體與源極電極和汲極電極接觸的區域薄。

[0013] 本發明的一個方式是上述半導體裝置，其中，半導體是氧化物半導體。

[0014] 本發明的一個方式是一種半導體裝置的製造方法，該半導體裝置包括：半導體；具有與半導體的頂面接觸的區域及與半導體的側面接觸的區域的源極電極和汲極電極；具有與半導體接觸的區域的閘極絕緣膜；以及具有隔著閘極絕緣膜與半導體相對的區域的閘極電極，作為該半導體裝置的製造方法包括：藉由在形成覆蓋半導體的導電膜之後在半導體上分割導電膜，形成具有與半導體的頂面接觸的區域及與半導體的側面接觸的區域的源極電極和汲極電極的步驟，將源極電極和汲極電極用作遮罩，使半導體不與源極電極和汲極電極接觸的區域的厚度薄且該區域的通道寬度方向的長度短。

[0015] 本發明的一個方式可以提供一種具有高場效移動率的電晶體。另外，本發明的一個方式可以提供一種電特性穩定的電晶體。另外，本發明的一個方式可以提供

一種關閉時的電流小的電晶體。另外，本發明的一個方式可以提供一種包括該電晶體的半導體裝置。另外，本發明的一個方式可以提供一種新穎的半導體裝置等。注意，上述效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，從說明書、圖式、申請專利範圍等的記載這些效果以外的效果是顯然的，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的效果。

【圖式簡單說明】

[0016]

在圖式中：

圖 1A 至圖 1C 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 2A 和圖 2B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 3A 和圖 3B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 4A 和圖 4B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 5A 至圖 5C 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 6A 和圖 6B 是示出根據本發明的一個方式的電晶體的俯視圖及剖面圖；

圖 7A 至圖 7D 是示出根據本發明的一個方式的半導體裝置的剖面圖及電路圖；

圖 8A 和圖 8B 是根據本發明的一個方式的記憶體裝置的電路圖；

圖 9 是根據本發明的一個方式的 RFID 標籤的塊圖；

圖 10A 至圖 10F 是示出根據本發明的一個方式的 RFID 標籤的使用例子的圖；

圖 11 是示出根據本發明的一個方式的 CPU 的塊圖；

圖 12 是根據本發明的一個方式的記憶元件的電路圖；

圖 13A 至圖 13C 是根據本發明的一個方式的顯示裝置的俯視圖及電路圖；

圖 14 是說明根據本發明的一個方式的顯示模組的圖；

圖 15A 至圖 15F 是示出根據本發明的一個方式的電子裝置的圖；

圖 16A 和圖 16B 是示出用於計算的結構的圖；

圖 17A 和圖 17B 是示出藉由計算得到的 V_g - I_d 特性的圖；

圖 18 是示出藉由計算得到的電流密度的分佈的圖；

圖 19A 和圖 19B 是示出氧化物半導體的奈米束電子繞射圖案的圖；

圖 20A 和圖 20B 是示出穿透式電子繞射測定裝置的一個例子的圖；

圖 21 是示出根據穿透式電子繞射測定的結構解析的一個例子的圖。

【實施方式】

[0017] 將參照圖式詳細地說明本發明的實施方式及實施例。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同目標的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。

[0018] 注意，在圖式中，有時為了清楚瞭解而誇大尺寸、膜（層）的厚度或區域。

[0019] 另外，電壓大多指某個電位與標準電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓改稱為電位。

[0020] 另外，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書中的序數詞不表示特定發明的事項的固有名稱。

[0021] 注意，例如當導電性充分低時，有時即使表示為“半導體”也具有“絕緣體”的特性。此外，“半導體”和

“絕緣體”的境界不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0022] 另外，例如當導電性充分高時，有時即使表示為“半導體”也具有“導電體”的特性。此外，“半導體”和“導電體”的境界不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“導電體”。同樣地，有時可以將本說明書所記載的“導電體”換稱為“半導體”。

[0023] 注意，半導體的雜質例如是構成半導體的主要成分之外的物質。例如，濃度為低於 0.1atomic% 的元素是雜質。有時由於包含雜質而例如導致半導體的 DOS (Density of State: 態密度) 變高、載子移動率降低或結晶性降低等。在半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第一族元素、第二族元素、第十四族元素、第十五族元素或主要成分之外的過渡金屬等，特別是，例如有氫（包含在水中）、鋰、鈉、矽、硼、磷、碳、氮等。在氧化物半導體中，有時例如氫等雜質的混入導致氧缺損的產生。此外，在半導體是矽時，作為改變半導體的特性的雜質，例如有氧、除了氫之外的第一族元素、第二族元素、第十三族元素、第十五族元素等。

[0024]

〈電晶體的結構〉

下面說明根據本發明的一個方式的電晶體的結構。

[0025]

〈電晶體結構 1〉

圖 1A 及圖 1B 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 1A 是俯視圖，而圖 1B 是對應於圖 1A 所示的點劃線 A1-A2 及點劃線 A3-A4 的剖面圖。注意，在圖 1A 的俯視圖中，為了明確起見而省略一部分的構成要素進行圖示。

[0026] 圖 1A 及圖 1B 所示的電晶體包括：基板 400 上的具有凸部的絕緣膜 402；絕緣膜 402 的凸部上的半導體 406；與半導體 406 的頂面及側面接觸的導電膜 416a 及導電膜 416b；半導體 406、導電膜 416a 及導電膜 416b 上的絕緣膜 412；與絕緣膜 412 的頂面接觸且與半導體 406 的頂面及側面相對的導電膜 404；以及導電膜 416a、導電膜 416b 及導電膜 404 上的絕緣膜 418。另外，絕緣膜 402 也可以不包括凸部。導電膜 404 用作電晶體的閘極電極。此外，絕緣膜 412 被用作電晶體的閘極絕緣膜。此外，導電膜 416a 及導電膜 416b 用作電晶體的源極電極及汲極電極。

[0027] 如圖 1B 所示，半導體 406 與導電膜 416a 及導電膜 416b 重疊的區域比半導體 406 不與導電膜 416a 及導電膜 416b 重疊的區域厚。也就是說，半導體 406 不與導電膜 416a 及導電膜 416b 重疊的區域比半導體 406 與導電膜 416a 及導電膜 416b 重疊的區域薄。

[0028] 此外，半導體 406 與導電膜 416a 及導電膜 416b 重疊的區域的點劃線 A3-A4 方向的長度長於半導體 406 不與導電膜 416a 及導電膜 416b 重疊的區域的點劃線 A3-A4 方向的長度。也就是說，半導體 406 不與導電膜 416a 及導電膜 416b 重疊的區域的點劃線 A3-A4 方向的長度短於半導體 406 與導電膜 416a 及導電膜 416b 重疊的區域的點劃線 A3-A4 方向的長度。

[0029] 另外，當著眼於電晶體的通道形成區時，可以將點劃線 A3-A4 方向稱為通道寬度方向。通道寬度方向也可以被稱為短邊方向、寬度方向或橫向。同樣地，也可以將點劃線 A1-A2 方向稱為通道長度方向。通道寬度方向也可以被稱為長邊方向或縱向。

[0030] 另外，通道長度是指俯視圖中的在半導體與閘極電極重疊的區域中的源極（源極區或源極電極）與汲極（汲極區或汲極電極）之間的距離。也就是說，在圖 1A 中，通道長度是指半導體 406 與導電膜 404 重疊的區域中的導電膜 416a 與導電膜 416b 之間的距離。通道寬度是指半導體與閘極電極重疊的區域中的源極與汲極平行地相對的長度。也就是說，在圖 1A 中，通道寬度是指半導體 406 與導電膜 404 重疊的區域中的導電膜 416a 與導電膜 416b 平行地相對的長度。

[0031] 如上所述，圖 1A 至圖 1C 所示的半導體為如下形狀：與導電膜 416a 及導電膜 416b 接觸的區域較大且不與導電膜 416a 及導電膜 416b 接觸的區域（通道形成

區)較小的形狀(啞鈴狀、葫蘆狀)。因此，半導體具有如下形狀：容易使來自閘極電極的電場施加到整個通道形成區且能夠減小對源極電極及汲極電極的接觸電阻的形狀。也就是說，圖 1A 至圖 1C 所示的電晶體是如下電晶體：因為導通時的電阻(也稱為通態(on-state)電阻)低所以通態電流高，並且因為非導通時的電阻(也稱為關態(off-state)電阻)高所以關態電流低的電晶體。

[0032] 此外，可以由導電膜 404 的電場電圍繞半導體 406 (將由導電膜的電場電圍繞半導體的電晶體結構稱為 surrounded channel (s-channel) 結構)。因此，有時在半導體 406 的整體(塊內)形成通道。在 s-channel 結構中可以使大電流流在電晶體的源極-汲極間，來可以得到高通態電流(on-state current)。

[0033] 由於得到高通態電流，因此 s-channel 結構可以說是適合於微型化了的電晶體的結構。因為可以使電晶體微型化，所以具有該電晶體半導體裝置可以實現高集成度及高密度化。例如，較佳為將電晶體的通道長度設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且較佳為將電晶體的通道寬度設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0034] 另外，導電膜 416a (或/及導電膜 416b) 的至少一部分(或全部)設置在半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分(或全部)。

[0035] 或者，導電膜 416a (或/及導電膜 416b) 的至

少一部分（或全部）與半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）接觸。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）與半導體 406 等半導體的至少一部分（或全部）接觸。

[0036] 或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）與半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）電連接。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）與半導體 406 等半導體的至少一部分（或全部）電連接。

[0037] 或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的附近。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的至少一部分（或全部）的附近。

[0038] 或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的橫方向上。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的至少一部分（或全部）的橫方向上。

[0039] 或者，導電膜 416a（或/及導電膜 416b）的至

少一部分（或全部）設置在半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的斜上方。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的至少一部分（或全部）的斜上方。

[0040] 或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的表面、側面、頂面或/及底面的至少一部分（或全部）的上方。或者，導電膜 416a（或/及導電膜 416b）的至少一部分（或全部）設置在半導體 406 等半導體的至少一部分（或全部）的上方。

[0041] 對於基板 400 沒有大的限制。例如，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板、穩定銻基板（氧化釷穩定氧化銻基板等）等。此外，也可以使用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 400。

[0042] 作為絕緣膜 402，例如可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化銻、氧化釷、氧化釷、氧化鉛或氧化鈾的絕緣膜形成單層或疊層。

[0043] 作為半導體 406，可以使用：矽膜或鍺膜等第

14 族半導體膜；碳化矽膜、矽化鍺膜、砷化鎵膜、磷化銦膜、硒化鋅膜、硫化鎘膜或氧化物半導體膜等化合物半導體膜；或者有機半導體膜等。半導體 406 可以是單層或疊層。

[0044] 注意，作為半導體 406，較佳為使用氧化物半導體。將在後面說明氧化物半導體的具體例子。

[0045] 作為導電膜 416a 及導電膜 416b，例如可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈮、銦、銦、鋳、鋁、鈦、銀、鉍及鎢中的一種以上的導電膜形成單層或疊層。

[0046] 作為絕緣膜 412，例如可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化鈮、氧化銦、氧化銦、氧化鈳或氧化鉍的絕緣膜形成單層或疊層。

[0047] 作為導電膜 404，例如可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈮、銦、銦、鋳、鋁、鈦、銀、鉍及鎢中的一種以上的導電膜形成單層或疊層。

[0048] 作為絕緣膜 418，例如可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化鈮、氧化銦、氧化銦、氧化鈳或氧化鉍的絕緣膜形成單層或疊層。

[0049] 絕緣膜 402 具有防止雜質從基板 400 擴散的功能。在此，在半導體 406 是氧化物半導體時，絕緣膜 402 可以具有對半導體 406 供應氧的功能。因此，絕緣膜 402 較佳是包含氧的絕緣膜。例如，絕緣膜 402 更佳是包

含比化學計量組成多的氧的絕緣膜。

[0050]

〈氧化物半導體〉

下面詳細說明能夠應用於半導體 406 的氧化物半導體。

[0051] 能夠應用於半導體 406 的氧化物半導體是包含銮的氧化物。氧化物例如在包含銮的情況下具有高載子移動率（電子移動率）。另外，氧化物半導體較佳為包含元素 M。元素 M 較佳為鋁、鎵、釷或錫等。作為可以應用於元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、釷、銦、鉍、釷、釷、釷、釷等。注意，作為元素 M 有時也可以組合多個上述元素。例如，元素 M 與氧之間的鍵能高。元素 M 例如增大氧化物的能隙。此外，氧化物半導體較佳為包含鋅。氧化物在包含鋅時例如容易被晶化。

[0052] 注意，氧化物半導體不侷限於包含銮的氧化物。氧化物半導體例如也可以為鋅錫氧化物、鎵錫氧化物。

[0053] 氧化物半導體使用能隙寬的氧化物。氧化物半導體的能隙例如為 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0054] 下面，說明氧化物半導體中的雜質的影響。為了使電晶體的電特性穩定，降低氧化物半導體中的雜質

濃度而實現低載子密度化及高度純化是有效的。氧化物半導體的載子密度小於 1×10^{17} 個/cm³、小於 1×10^{15} 個/cm³ 或小於 1×10^{13} 個/cm³。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近的膜中的雜質濃度。

[0055] 例如，氧化物半導體中的矽有時成為載子陷阱或載子發生源。因此，將氧化物半導體與絕緣膜 402 之間的利用二次離子質譜（SIMS：Secondary Ion Mass Spectrometry）分析測定出的矽濃度設定為小於 1×10^{19} atoms/cm³、較佳為小於 5×10^{18} atoms/cm³、更佳為小於 2×10^{18} atoms/cm³。另外，將氧化物半導體與絕緣膜 412 之間的利用 SIMS 測定出的矽濃度設定為小於 1×10^{19} atoms/cm³、較佳為小於 5×10^{18} atoms/cm³、更佳為小於 2×10^{18} atoms/cm³。

[0056] 另外，當氧化物半導體含有氫時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體中的氫濃度設定為 2×10^{20} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下，進一步較佳為 5×10^{18} atoms/cm³ 以下。另外，當氧化物半導體中含有氮時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體中的氮濃度設定為小於 5×10^{19} atoms/cm³，較佳為 5×10^{18} atoms/cm³ 以下，更佳為 1×10^{18} atoms/cm³ 以下，進一步較佳為 5×10^{17} atoms/cm³ 以下。

[0057] 另外，為了降低氧化物半導體中的氫濃度，較佳為降低絕緣膜 402 中的氫濃度。將利用 SIMS 測定出

的絕緣膜 402 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體中的氫濃度，較佳為降低絕緣膜 402 中的氫濃度。將利用 SIMS 測定出的絕緣膜 402 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0058] 另外，為了降低氧化物半導體中的氫濃度，較佳為降低絕緣膜 412 中的氫濃度。將利用 SIMS 測定出的絕緣膜 412 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體中的氫濃度，較佳為降低絕緣膜 412 中的氫濃度。將利用 SIMS 測定出的絕緣膜 412 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0059] 下面，對氧化物半導體的結構進行說明。

[0060] 氧化物半導體大致分為非單晶氧化物半導體和單晶氧化物半導體。非單晶氧化物半導體包括 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶氧化物半導體、微晶氧化物半導體及非晶氧化物半導體等。

[0061] 首先，對 CAAC-OS 進行說明。

[0062] CAAC-OS 是包含多個結晶部的氧化物半導體之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0063] 在 CAAC-OS 的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0064] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 的面（也稱為被形成面）或 CAAC-OS 的頂面的凸凹的形狀並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0065] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0066] 另外，在 CAAC-OS 的電子繞射圖案中，觀察到表示配向性的斑點（亮點）。例如，在使用例如為 1nm 以上且 30nm 以下的電子束獲得的 CAAC-OS 的頂面的電

子繞射圖案（也稱為奈米束電子繞射圖案）中，觀察到斑點（參照圖 19A）。

[0067] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 的結晶部具有配向性。

[0068] 使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO₄ 結晶的 CAAC-OS 時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO₄ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 的被形成面或頂面的方向。

[0069] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0070] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO₄ 結晶的（110）面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 InGaZnO₄ 的單晶氧化物半導體時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0071] 由上述結果可知，在具有 c 軸配向性的

CAAC-OS 中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0072] 注意，結晶部在形成 CAAC-OS 或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 的被形成面或頂面的法線向量。

[0073] 此外，CAAC-OS 中的結晶度不一定均勻。例如，當 CAAC-OS 的結晶部是由 CAAC-OS 的頂面附近的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 中的結晶度根據區域而不同。

[0074] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0075] CAAC-OS 是雜質濃度低的氧化物半導體。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體的主要

成分以外的元素。尤其是，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧而打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（分子半徑）大，所以如果其被包含在氧化物半導體內，也會打亂氧化物半導體的原子排列，導致結晶性下降。此外，包含在氧化物半導體中的雜質有時會成為載子陷阱或載子發生源。

[0076] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。例如，氧化物半導體中的氧缺陷有時會成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0077] 將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體中載子發生源少，所以可以降低載子密度。因此，使用該氧化物半導體的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。此外，高純度本質或實質上高純度本質的氧化物半導體具有很少的載子陷阱。因此，使用該氧化物半導體的電晶體的電特性變動小，而成為可靠性高的電晶體。注意，被氧化物半導體的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。所以，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體的電特性有時不穩定。

[0078] 此外，在使用 CAAC-OS 的電晶體中，起因於

可見光或紫外光的照射的電特性變動小。

[0079] 接著，對微晶氧化物半導體進行說明。

[0080] 在微晶氧化物半導體的 TEM 影像中，有時無法明確地確認到結晶部。微晶氧化物半導體中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶 (nc:nanocrystal)。並且，將包含奈米晶的氧化物半導體稱為 nc-OS (nanocrystalline Oxide Semiconductor)。另外，例如在 nc-OS 的 TEM 影像中，有時無法明確地確認到晶界。

[0081] 在 nc-OS 的微小的區域 (例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域) 中原子排列具有週期性。另外，nc-OS 在不同的結晶部之間觀察不到結晶定向的規律性。因此，在整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，在利用使用其直徑大於結晶部的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑大於結晶部 (例如，50nm 以上) 的電子束獲得的 nc-OS 的選區電子繞射圖案中，觀察到光暈圖案。另一方面，在進行使用其束徑近於或小於結晶部的電子束獲得的 nc-OS 的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的 (環狀的) 亮度高的區域。而且，在 nc-OS 的奈米束電

子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。
(參照圖 19B)

[0082] nc-OS 是其規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，nc-OS 在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0083] 注意，氧化物半導體例如也可以包括非晶氧化物半導體、微晶氧化物半導體和 CAAC-OS 中的兩種以上。

[0084] 在氧化物半導體具有多個結構時，有時藉由利用奈米束電子繞射可以進行結構分析。

[0085] 圖 20A 示出一種透過電子繞射測量裝置，包括：電子槍室 10；電子槍室 10 下的光學系統 12；光學系統 12 下的樣本室 14；樣本室 14 下的光學系統 16；光學系統 16 下的觀察室 20；設置在觀察室 20 的拍攝裝置 18；以及觀察室 20 下的膠片室 22。以朝向觀察室 20 的內部的方式設置拍攝裝置 18。另外，該透過電子繞射測量裝置也可以不包括膠片室 22。

[0086] 此外，圖 20B 示出圖 20A 所示的透過電子繞射測量裝置內部的結構。在透過電子繞射測量裝置內部中，從設置在電子槍室 10 的電子槍發射的電子藉由光學系統 12 照射到配置在樣本室 14 中的物質 28。穿過物質 28 的電子藉由光學系統 16 入射到設置在觀察室 20 內部

的螢光板 32 中。在螢光板 32 中，藉由呈現對應於所入射的電子的強度的圖案，可以測量透過電子繞射圖案。

[0087] 因為拍攝裝置 18 朝向螢光板 32 地設置，所以可以拍攝呈現在螢光板 32 的圖案。穿過拍攝裝置 18 的透鏡的中間部及螢光板 32 的中間部的直線與螢光板 32 的頂面所形成的角度例如為 15° 以上且 80° 以下， 30° 以上且 75° 以下或 45° 以上且 70° 以下。該角度越小，由拍攝裝置 18 拍攝的透過電子繞射圖案的應變越大。但是，如果預先知道該角度，則能夠校正所得到的透過電子繞射圖案的應變。另外，有時也可以將拍攝裝置 18 設置在膠片室 22。例如，也可以以與電子 24 的入射方向相對的方式將拍攝裝置 18 設置在膠片室 22 中。在此情況下，可以從螢光板 32 的背面拍攝應變少的透過電子繞射圖案。

[0088] 樣本室 14 設置有用來固定樣本的物質 28 的支架。支架具有使穿過物質 28 的電子透過的結構。例如，支架也可以具有將物質 28 移動到 X 軸、Y 軸、Z 軸等的功能。支架的移動功能例如可以具有在 1nm 以上且 10nm 以下、 5nm 以上且 50nm 以下、 10nm 以上且 100nm 以下、 50nm 以上且 500nm 以下、 100nm 以上且 $1\mu\text{m}$ 以下等的範圍中移動的精度。至於這些範圍，可以根據物質 28 的結構設定最合適的範圍。

[0089] 接著，說明使用上述透過電子繞射測量裝置測量物質的透過電子繞射圖案的方法。

[0090] 例如，如圖 20B 所示，藉由改變物質中的奈

米束的電子 24 的照射位置（掃描物質中的奈米束的電子 24），可以確認到物質的結構逐漸地產生變化的情況。此時，如果物質 28 是 CAAC-OS，則可以觀察到圖 19A 所示的繞射圖案。或者，如果物質 28 是 nc-OS，則可以觀察到圖 19B 所示的繞射圖案。

[0091] 即使物質 28 是 CAAC-OS，也有時部分地觀察到與 nc-OS 等同樣的繞射圖案。因此，有時可以在一定的範圍中觀察到 CAAC-OS 的繞射圖案的區域的比例（也稱為 CAAC 化率）表示 CAAC-OS 的優劣。例如，優良的 CAAC-OS 的 CAAC 化率為 60%以上，較佳為 80%以上，更佳為 90%以上，進一步較佳為 95%以上。另外，將觀察到與 CAAC-OS 不同的繞射圖案的區域的比例表示為非 CAAC 化率。

[0092] 作為一個例子，對於具有剛形成之後（表示為 as-depo）的 CAAC-OS 或以 350°C 或 450°C 進行加熱處理之後的 CAAC-OS 的各樣本的頂面，一邊進行掃描一邊得到透過電子繞射圖案。在此，一邊以 5nm/秒鐘的速度進行掃描 60 秒鐘一邊觀察繞射圖案，且在每個 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，從而導出 CAAC 化率。注意，作為電子線使用束徑為 1nm 的奈米束電子線。

[0093] 圖 21 示出各樣本的 CAAC 化率。由此可知，與剛形成之後及以 350°C 進行加熱處理之後相比，以 450°C 進行加熱處理之後的 CAAC 化率較高。也就是說，

可知藉由以 350°C 以上高溫（例如 400°C 以上）進行加熱處理，非 CAAC 化率變低（CAAC 化率變高）。在此，與 CAAC-OS 不同的繞射圖案的大部分是與 nc-OS 同樣的繞射圖案。由此可知，藉由進行加熱處理，具有與 nc-OS 同樣的結構的區域受到相鄰的區域的結構的影響而 CAAC 化。

[0094] 藉由採用這種測量方法，有時可以對具有多種結構的氧化物半導體進行結構分析。

[0095] 氧化物半導體也可以是氧化物半導體的疊層膜。例如，氧化物半導體可以具有兩層或三層結構。

[0096] 例如，參照圖 1C 說明氧化物半導體具有三層結構的情況。

[0097] 關於氧化物半導體層 406b（中層）參照上述氧化物半導體的記載。氧化物半導體層 406a（下層）及氧化物半導體層 406c（上層）包含一種或多種構成氧化物半導體層 406b 的除了氧以外的元素。由於氧化物半導體層 406a 及氧化物半導體層 406c 包含一種或多種構成氧化物半導體層 406b 的除了氧以外的元素，因此在氧化物半導體層 406a 與氧化物半導體層 406b 之間及氧化物半導體層 406b 與氧化物半導體層 406c 之間的介面不容易形成介面能階。

[0098] 另外，在氧化物半導體層 406a 為 In-M-Zn 氧化物且在 In 和 M 的總和為 100atomic%的情況下，較佳的是，In 的原子百分比低於 50atomic%，M 的原子百分比為

50atomic%以上，更佳的是，In 的原子百分比低於 25atomic%，M 的原子百分比為 75atomic%以上。另外，在氧化物半導體層 406b 為 In-M-Zn 氧化物且在 In 和 M 的總和為 100atomic%的情況下，較佳的是，In 的原子百分比為 25atomic%以上，M 的原子百分比低於 75atomic%，更佳的是，In 的原子百分比為 34atomic%以上，M 的原子百分比低於 66atomic%。另外，在氧化物半導體層 406c 為 In-M-Zn 氧化物且在 In 和 M 的總和為 100atomic%的情況下，較佳的是，In 的原子百分比低於 50atomic%，M 的原子百分比為 50atomic%以上，更佳的是，In 的原子百分比低於 25atomic%，M 的原子百分比為 75atomic%以上。注意，氧化物半導體層 406c 也可以使用與氧化物半導體層 406a 相同的氧化物。

[0099] 在此，在氧化物半導體層 406a 與氧化物半導體層 406b 之間有時形成有氧化物半導體層 406a 和氧化物半導體層 406b 的混合區。另外，在氧化物半導體層 406b 與氧化物半導體層 406c 之間有時形成有氧化物半導體層 406b 和氧化物半導體層 406c 的混合區。混合區的介面態密度較低。因此，在氧化物半導體層 406a、氧化物半導體層 406b 以及氧化物半導體層 406c 的疊層體的能帶結構中，各層之間的介面附近的能量連續地變化（也稱為連接結合）。

[0100] 氧化物半導體層 406b 使用其電子親和力大於氧化物半導體層 406a 及氧化物半導體層 406c 的氧化物。

例如，氧化物半導體層 406b 使用如下氧化物，該氧化物的電子親和力比氧化物半導體層 406a 及氧化物半導體層 406c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。電子親和力是指真空能階與傳導帶底之間的能量差。

[0101] 在此，當對閘極電極施加電場時，在氧化物半導體層 406a、氧化物半導體層 406b 和氧化物半導體層 406c 中的電子親和力大的氧化物半導體層 406b 中形成通道。

[0102] 此外，從增加電晶體的通態電流的觀點來看，氧化物半導體層 406c 的厚度越小越好。例如，將氧化物半導體層 406c 的厚度設定為低於 10nm ，較佳為 5nm 以下，更佳為 3nm 以下。另一方面，氧化物半導體層 406c 具有阻擋構成鄰接的絕緣膜的除了氧之外的元素（矽等）侵入其中形成通道的氧化物半導體層 406b 中的功能。因此，氧化物半導體層 406c 較佳為具有一定厚度的厚度。例如，氧化物半導體層 406c 的厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上。

[0103] 另外，從提高可靠性的觀點來看，較佳的是氧化物半導體層 406a 厚且氧化物半導體層 406c 薄。明確而言，氧化物半導體層 406a 的厚度為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。藉由將氧化物半導體層 406a 的厚度設定為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳

為 60nm 以上，可以使鄰接的絕緣膜與氧化物半導體層 406a 之間的介面離其中形成通道的氧化物半導體層 406b 有 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。注意，這有可能使半導體裝置的生產率下降，因此將氧化物半導體層 406a 的厚度設定為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下。

[0104] 例如，氧化物半導體層 406b 與氧化物半導體層 406a 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ 、更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。例如，氧化物半導體層 406b 與氧化物半導體層 406c 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ 、更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。

[0105] 另外，為了降低氧化物半導體層 406b 中的氫濃度，較佳為降低氧化物半導體層 406a 及氧化物半導體層 406c 中的氫濃度。將利用 SIMS 測定出的氧化物半導體層 406a 及氧化物半導體層 406c 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體層 406b 中的氮濃度，較佳為降低氧化物半導體層 406a 及氧化物半導體層 406c 中的氮濃度。將利用 SIMS 測定出的氧化物半導體層 406a 及氧化物半導體層 406c 中的氮濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為

$1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0106] 上述所示的三層結構是氧化物半導體的一個例子。例如，也可以採用不設置氧化物半導體層 406a 或氧化物半導體層 406c 的兩層結構。

[0107]

〈電晶體結構 1 的製造方法〉

下面，參照圖 2A 至圖 5C 說明圖 1A 至圖 1C 所示的電晶體的製造方法。注意，圖 2A、圖 3A、圖 4A 及圖 5A 示出電晶體的俯視圖，圖 2B、圖 3B、圖 4B 及圖 5B 示出分別對應於圖 2A、圖 3A、圖 4A 及圖 5A 的點劃線 A1-A2 及點劃線 A3-A4 的剖面圖。

[0108] 首先，在基板 400 上形成絕緣膜 402。可以藉由濺射法、化學氣相成長（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積（ALD：Atomic Layer Deposition）法等形成絕緣膜 402。

[0109] 另外，在將絕緣膜 402 形成為疊層膜時，也可以從上述形成方法中採用互不相同的形成方法而形成每個層。例如，也可以藉由 CVD 法形成第一層，而藉由 ALD 法形成第二層。或者，也可以藉由濺射法形成第一層，而藉由 ALD 法形成第二層。像這樣，藉由利用互不相同的形成方法形成各層，可以使各層具有不同的功能或

性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0110] 也就是說，藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，而藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 $n+1$ 層的層（ n 是自然數）。另外，第 n 層的層的形成方法和第 $n+1$ 層的層的形成方法可以相同或不同。此外，第 n 層的層的形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0111] 或者，在作為基板 400 使用矽基板時，也可以藉由熱氧化法形成成為絕緣膜 402 的絕緣膜。

[0112] 接著，為了使成為絕緣膜 402 的絕緣膜的表面平坦化，也可以進行化學機械拋光（CMP：Chemical Mechanical Polishing）處理。藉由進行 CMP 處理，將成為絕緣膜 402 的絕緣膜的平均表面粗糙度（Ra）設定為 1nm 以下，較佳為設定為 0.3nm 以下，更佳為設定為 0.1nm 以下。藉由將 Ra 設定為上述數值以下，有時提高半導體 406 的結晶性。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測量 Ra。

[0113] 接著，形成半導體 406（參照圖 2A 和圖 2B）。

[0114] 可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成成為半導體 406 的半導體。

[0115] 在對成為半導體 406 的半導體進行蝕刻來形成半導體 406 時，較佳為以不對半導體 406 的加工面造成損傷的方式進行蝕刻。例如，可以使用乾蝕刻法進行中性束蝕刻（neutral beam etching）。因為是中性束，所以不產生電荷累積（charge-up）且能量低，因此能夠以低損傷進行蝕刻。或者，當半導體 406 為結晶時，也可以使用利用因結晶面而不同的蝕刻速度的濕蝕刻法。藉由利用濕蝕刻法，可以減少對加工面造成的損傷。

[0116] 例如，可以藉由利用 CVD 法形成其組成被連續地變換的成為半導體 406 的半導體。

[0117] 注意，可以將 CVD 法分類為利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法及利用熱的熱 CVD（TCVD：Thermal CVD）法等。再者，可以根據使用的源氣體分類為金屬 CVD（MCVD：Metal CVD）法及有機金屬 CVD（MOCVD：Metal Organic CVD）法。

[0118] PECVD 法以較低的溫度得到高品質的膜。TCVD 法由於不使用電漿，所以不產生電漿損傷，而可以得到缺陷較少的膜。

[0119] CVD 法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，MCVD 法及 MOCVD 法可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，MCVD 法及 MOCVD 法可以藉由一邊進行成膜一邊改變源氣體的流量比，來形成其組成被連續地變換的膜。在一邊改變源氣體的流量比一邊形成膜時，因為可以省略傳送及

調整壓力所需的時間，所以與使用多個成膜室進行成膜的情況相比可以使其成膜時所需的時間縮短。因此，可以提高電晶體的生產率。關於能夠使用 MOCVD 法的成膜裝置的具體例子將在後面說明。

[0120] 或者，例如也可以使用濺射法、MBE 法、PLD 法、ALD 法來形成其組成被連續地變換的膜。

[0121] 絕緣膜 402 與半導體 406 接觸。因此，在形成成為半導體 406 的半導體時，較佳為使用不對絕緣膜 402 造成損傷的形成方法。也就是說，例如較佳為使用 MOCVD 法等形成該半導體。

[0122] 另外，在以疊層膜形成半導體 406 時，也可以藉由從濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法中採用的互不相同的形成方法形成每個層。例如，也可以藉由 MOCVD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由 MOCVD 法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，藉由濺射法形成第二層，而藉由 ALD 法形成第三層。像這樣，藉由利用互不相同的形成方法形成各層，可以使各層具有不同的功能或性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0123] 也就是說，在由疊層膜構成半導體 406 的情況下，例如，在利用濺射法、CVD 法（PECVD 法、TCVD

法、MCVD 法、MOCVD 法等)、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，並利用濺射法、CVD 法(PECVD 法、TCVD 法、MCVD 法、MOCVD 法等)、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 $n+1$ 層的層時，也可以使第 n 層的層與第 $n+1$ 層的層的形成方法不同(n 是自然數)。此外，第 n 層的層的形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0124] 另外，半導體 406 或半導體 406 的疊層膜中的至少一個層與絕緣膜 402 或絕緣膜 402 的疊層膜中的至少一個層也可以使用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。由此，可以在相同的處理室中形成。其結果是，可以防止雜質的混入。像這樣，不僅對半導體 406 和絕緣膜 402，還可以對設置在較近的位置的不同層採用相同的形成方法。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0125] 接著，形成導電膜 416a 及導電膜 416b。

[0126] 可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成成為導電膜 416a 及導電膜 416b 的導電膜。

[0127] 藉由在形成成為導電膜 416a 及導電膜 416b 的導電膜之後對該導電膜的一部分進行蝕刻，形成導電膜 416a 及導電膜 416b。然後，蝕刻半導體 406 的不與導電

膜 416a 及導電膜 416b 重疊的區域。此外，藉由選擇半導體 406 的側面有可能被蝕刻的條件，可以在通道寬度方向上也縮小半導體 406（參照圖 3A 和圖 3B）。另外，較佳為採用在形成該導電膜時不使半導體 406 受到損傷的形成方法。也就是說，對於該導電膜的形成較佳為採用 MCVD 法等。

[0128] 另外，在以疊層膜形成導電膜 416a 及導電膜 416b 時，也可以藉由從濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等形成方法中採用的互不相同的形成方法形成每個層。例如，也可以藉由 MOCVD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由 MOCVD 法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，藉由濺射法形成第二層，而藉由 ALD 法形成第三層。像這樣，藉由不同的形成方法形成各層，可以使各層具有不同的功能或性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0129] 也就是說，在以疊層膜形成導電膜 416a 及導電膜 416b 時，例如藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，而藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少

一個方法形成第 $n+1$ 層的層，第 n 層的層的形成方法和第 $n+1$ 層的層的形成方法也可以不同（ n 是自然數）。此外，第 n 層的層的形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0130] 另外，導電膜 416a（導電膜 416b）或導電膜 416a（導電膜 416b）的疊層膜中的至少一個層和半導體 406 或半導體 406 的疊層膜中的至少一個層可以採用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。或者，例如與半導體 406 接觸的導電膜 416a（導電膜 416b）及與導電膜 416a（導電膜 416b）接觸的半導體 406 也可以採用相同的形成方法。由此，可以在相同的處理室中形成。其結果是，可以防止雜質的混入。像這樣，不僅在半導體 406 和導電膜 416a（導電膜 416b）中，而且還可以在設置為接近的不同層中採用相同的形成方法。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0131] 另外，導電膜 416a（導電膜 416b）或導電膜 416a（導電膜 416b）的疊層膜中的至少一個層、半導體 406 或半導體 406 的疊層膜中的至少一個層和絕緣膜 402 或絕緣膜 402 的疊層膜中的至少一個層可以採用相同的形成方法。例如，它們都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。注意，根據本發明的一個方式的半導體裝置的製造方

法不侷限於此。

[0132] 接著，形成絕緣膜 412。

[0133] 可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成絕緣膜 412。

[0134] 另外，在以疊層膜形成絕緣膜 412 時，也可以藉由從濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等方法中採用的互不相同的形成方法形成每個層。例如，也可以藉由 MOCVD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由 MOCVD 法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，藉由濺射法形成第二層，而藉由 ALD 法形成第三層。像這樣，藉由互不相同的形成方法形成各層，可以使各層具有不同的功能或性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0135] 也就是說，在以疊層膜形成絕緣膜 412 時，例如藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，而藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 $n+1$ 層的層，第 n 層的層的形成方法和第 $n+1$ 層的層的形成方法也可以不同（ n 是自然數）。此外，第 n 層的層的

形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0136] 另外，絕緣膜 412 或絕緣膜 412 的疊層膜中的至少一個層和導電膜 416a (導電膜 416b) 或導電膜 416a (導電膜 416b) 的疊層膜中的至少一個層也可以採用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。或者，例如與絕緣膜 412 接觸的導電膜 416a (導電膜 416b) 及與導電膜 416a (導電膜 416b) 接觸的絕緣膜 412 也可以採用相同的形成方法。由此，可以在相同的處理室中形成。其結果是，可以防止雜質的混入。

[0137] 另外，絕緣膜 412 或絕緣膜 412 的疊層膜中的至少一個層、導電膜 416a (導電膜 416b) 或導電膜 416a (導電膜 416b) 的疊層膜中的至少一個層、半導體 406 或半導體 406 的疊層膜中的至少一個層和絕緣膜 402 或絕緣膜 402 的疊層膜中的至少一個層也可以採用相同的形成方法。例如，它們都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0138] 接著，形成導電膜 404 (參照圖 4A 和圖 4B)。

[0139] 可以藉由濺射法、CVD 法、MBE 法、PLD

法、ALD 法等形成成為導電膜 404 的導電膜。

[0140] 絕緣膜 412 用作電晶體的閘極絕緣膜。因此，導電膜 404 較佳為採用在形成成為導電膜 404 的導電膜時不使絕緣膜 412 受到損傷的形成方法。也就是說，在形成該導電膜時較佳為使用 MCVD 法等。

[0141] 另外，在以疊層膜形成導電膜 404 時，也可以藉由從濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中採用的互不相同的形成方法形成每個層。例如，也可以藉由 MOCVD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由 MOCVD 法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，藉由濺射法形成第二層，而藉由 ALD 法形成第三層。像這樣，藉由不同的形成方法形成各層，可以使各層具有不同的功能或性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0142] 也就是說，在以疊層形成導電膜 404 時，例如藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，而藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 $n+1$ 層的層，並且第 n 層的層的形成方法和第 $n+1$ 層的層

的形成方法也可以不同（ n 是自然數）。此外，第 n 層的層的形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0143] 另外，導電膜 404 或導電膜 404 的疊層膜中的至少一個層和絕緣膜 412 或絕緣膜 412 的疊層膜中的至少一個層也可以採用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。或者，例如與絕緣膜 412 接觸的導電膜 404 及與導電膜 404 接觸的絕緣膜 412 也可以採用相同的形成方法。由此，可以在相同的處理室中形成。其結果是，可以防止雜質的混入。

[0144] 另外，導電膜 404 或導電膜 404 的疊層膜中的至少一個層、絕緣膜 412 或絕緣膜 412 的疊層膜中的至少一個層、導電膜 416a（導電膜 416b）或導電膜 416a（導電膜 416b）的疊層膜中的至少一個層、半導體 406 或半導體 406 的疊層膜中的至少一個層和絕緣膜 402 或絕緣膜 402 的疊層膜中的至少一個層可以採用相同的形成方法。例如，它們都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。其結果是，可以防止雜質的混入。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0145] 接著，形成絕緣膜 418。

[0146] 可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成絕緣膜 418。

[0147] 另外，在以疊層膜形成絕緣膜 418 時，也可以藉由從濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中採用的互不相同的形成方法形成每個層。例如，也可以藉由 MOCVD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由 MOCVD 法形成第二層。或者，也可以藉由 ALD 法形成第一層，而藉由濺射法形成第二層。或者，也可以藉由 ALD 法形成第一層，藉由濺射法形成第二層，而藉由 ALD 法形成第三層。像這樣，藉由不同的形成方法形成各層，可以使各層具有不同的功能或性質。而且，藉由層疊這些層，可以構成作為整個疊層膜更合適的膜。

[0148] 也就是說，在以疊層形成絕緣膜 418 時，例如藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 n 層的層，而藉由濺射法、CVD 法（PECVD 法、TCVD 法、MCVD 法、MOCVD 法等）、MBE 法、PLD 法、ALD 法等中的至少一個方法形成第 $n+1$ 層的層，並且第 n 層的層的形成方法和第 $n+1$ 層的層的形成方法也可以不同（ n 是自然數）。此外，第 n 層的層的形成方法和第 $n+2$ 層的層的形成方法也可以相同。或者，所有層的形成方法也可以都相同。

[0149] 另外，絕緣膜 418 或絕緣膜 418 的疊層膜中的至少一個層和導電膜 416a（導電膜 416b）或導電膜

416a (導電膜 416b) 的疊層膜中的至少一個層也可以採用相同的形成方法。例如，兩者都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。或者，例如與絕緣膜 418 接觸的導電膜 416a (導電膜 416b) 及與導電膜 416a (導電膜 416b) 接觸的絕緣膜 418 也可以採用相同的形成方法。由此，可以在相同的處理室中形成。其結果是，可以防止雜質的混入。

[0150] 另外，絕緣膜 418 或絕緣膜 418 的疊層膜中的至少一個層、導電膜 416a (導電膜 416b) 或導電膜 416a (導電膜 416b) 的疊層膜中的至少一個層、半導體 406 或半導體 406 的疊層膜中的至少一個層、絕緣膜 402 或絕緣膜 402 的疊層膜中的至少一個層和絕緣膜 412 或絕緣膜 412 的疊層膜中的至少一個層可以採用相同的形成方法。例如，它們都可以採用 ALD 法。由此，可以以不接觸於大氣的方式形成。其結果是，可以防止雜質的混入。注意，根據本發明的一個方式的半導體裝置的製造方法不侷限於此。

[0151] 如上所述，可以製造根據本發明的一個方式的電晶體。

[0152]

〈電晶體結構 1 的變形例子〉

另外，如圖 5A 所示，其俯視圖與圖 1A 同樣，如圖 5B 的剖面圖所示，也可以在絕緣膜 412 下配置氧化物半

導體層 407。作為氧化物半導體層 407，可以使用作為氧化物半導體層 406c 示出的半導體。在該情況下，半導體 406 可以是如圖 5C 所示的疊層膜。關於圖 5C 所示的氧化物半導體層 406a 及氧化物半導體層 406b 參照圖 1C 的說明。另外，關於其他結構，參照圖 1A 至圖 1C 所示的電晶體的記載。

[0153]

〈電晶體結構 2〉

圖 6A 和圖 6B 是本發明的一個方式的電晶體的俯視圖及剖面圖。圖 6A 是俯視圖，圖 6B 是對應於圖 6A 所示的點劃線 B1-B2 以及點劃線 B3-B4 的剖面圖。另外，在圖 6A 的俯視圖中，為了明確起見而省略一部分的構成要素進行圖示。

[0154] 圖 6A 和圖 6B 所示的電晶體包括：基板 600 上的導電膜 614；導電膜 614 上的絕緣膜 602；絕緣膜 602 上的半導體 606；與半導體 606 的頂面及側面接觸的導電膜 616a 及導電膜 616b；半導體 606、導電膜 616a 及導電膜 616b 上的絕緣膜 612；以及與絕緣膜 612 的頂面接觸且與半導體 606 的頂面及側面相對的導電膜 604。另外，也可以在基板 600 和導電膜 614 之間包括絕緣膜。導電膜 614 或/及導電膜 604 用作電晶體的閘極電極。此外，絕緣膜 602 或/及絕緣膜 612 被用作電晶體的閘極絕緣膜。導電膜 616a 及導電膜 616b 用作電晶體的源極電極及汲極電極。

[0155] 另外，也可以設置覆蓋電晶體的保護絕緣膜。關於保護絕緣膜參照絕緣膜 418 的記載。

[0156] 另外，電晶體也可以使用導電膜 604 形成 s-channel 結構。

[0157] 此外，關於基板 600 參照基板 400 的記載。關於導電膜 614 參照導電膜 404 的記載。關於絕緣膜 602 參照絕緣膜 412 的記載。關於半導體 606 參照半導體 406 的記載。關於導電膜 616a 及導電膜 616b 參照導電膜 416a 及導電膜 416b 的記載。關於絕緣膜 612 參照絕緣膜 412 的記載。關於導電膜 604 參照導電膜 404 的記載。

[0158]

〈半導體裝置〉

下面例示根據本發明的一個方式的半導體裝置。

[0159]

〈電路〉

下面說明利用本發明的一個方式的電晶體的電路的一個例子。

[0160]

[剖面結構]

圖 7A 示出本發明的一個方式的半導體裝置的剖面圖。在圖 7A 所示的半導體裝置中，下部包括使用第一半導體的電晶體 2200，而上部包括使用第二半導體的電晶體 2100。圖 7A 示出作為使用第二半導體的電晶體 2100 應用圖 1A 至圖 1C 所示的電晶體的例子。

[0161] 作為第一半導體也可以使用其能隙與第二半導體不同的半導體。例如，也可以作為第一半導體使用氧化物半導體之外的半導體，而作為第二半導體使用氧化物半導體。當作為第一半導體使用單晶矽時，可以形成適合進行高速工作的電晶體 2200。當作為第二半導體使用氧化物半導體時，可以形成適合降低關態電流（off-state current）的電晶體 2100。

[0162] 注意，電晶體 2200 可以是 n 通道型或 p 通道型，並且根據電路使用合適的電晶體。此外，有時也可以作為電晶體 2100 或/及電晶體 2200 不使用上述電晶體或圖 7A 所示的電晶體。

[0163] 圖 7A 所示的半導體裝置在隔著絕緣膜 2201 及絕緣膜 2207 的電晶體 2200 上包括電晶體 2100。此外，電晶體 2200 和電晶體 2100 之間設置有用作佈線的多個導電膜 2202。此外，藉由埋入各種絕緣膜中的多個導電膜 2203 使設置在上層和下層的佈線或電極電連接。另外，該半導體裝置還包括電晶體 2100 上的絕緣膜 2204、絕緣膜 2204 上的導電膜 2205 以及（藉由相同的製程）形成在與電晶體 2100 的源極電極及汲極電極相同的層中的導電膜 2206。

[0164] 藉由採用層疊多個電晶體的結構，可以高密度地設置多個電路。

[0165] 在此，在作為用於電晶體 2200 的第一半導體使用單晶矽時，較佳為電晶體 2200 的第一半導體附近的

絕緣膜的氫濃度高。藉由使用該氫使矽的懸空鍵終結，可以提高電晶體 2200 的可靠性。另一方面，在作為用於電晶體 2100 的第二半導體使用氧化物半導體時，較佳為電晶體 2100 的第二半導體附近的絕緣膜的氫濃度低。因為該氫成為在氧化物半導體中生成載子的原因之一，所以有時還成為降低電晶體 2100 的可靠性的原因。因此，在層疊使用單晶矽的電晶體 2200 和使用氧化物半導體的電晶體 2100 時，為了提高兩個電晶體的可靠性，在它們之間設置具有阻擋氫的功能的絕緣膜 2207 是有效的。

[0166] 作為絕緣膜 2207，例如可以使用包含氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣、氧化鈮穩定氧化鋯（YSZ）等的絕緣膜形成單層或疊層。

[0167] 此外，較佳為在電晶體 2100 上以覆蓋使用氧化物半導體的電晶體 2100 的方式形成具有阻擋氫的功能的絕緣膜。作為絕緣膜可以使用與絕緣膜 2207 相同的絕緣膜，特別較佳為應用氧化鋁膜。氧化鋁膜的不使氫、水分等雜質和氧的兩者透過的膜的遮斷效果高。因此，藉由作為覆蓋電晶體 2100 的絕緣膜使用氧化鋁膜，可以防止來自包含在電晶體 2100 中的氧化物半導體的氧的脫離，並還可以防止對氧化物半導體中的水及氫的混入。

[0168] 另外，電晶體 2200 不僅是平面型電晶體，而且還可以是各種類型的電晶體。例如，可以是 FIN（鰭）型電晶體等。圖 7D 示出此時的剖面圖的例子。在半導體

基板 2211 上設置有絕緣層 2212。半導體基板 2211 具有先端細的凸部（也稱為鰭）。也可以在凸部上設置絕緣膜。該絕緣膜被用作形成凸部時的遮罩。另外，凸部可以是先端不細的形狀，例如該凸部也可以是大致長方體或先端粗的形狀。在半導體基板 2211 的凸部上設置有閘極絕緣膜 2214，且在該閘極絕緣膜 2214 上設置有閘極電極 2213。在半導體基板 2211 中形成有源極區及汲極區 2215。另外，雖然在此示出了半導體基板 2211 具有凸部的例子，但是根據本發明的一個方式的半導體裝置不侷限於此。例如，也可以加工 SOI 基板形成凸型的半導體區域。

[0169]

[電路結構例子]

在上述電路中，藉由使電晶體 2100 及電晶體 2200 的電極的連接為不同，可以構成各種電路。下面說明可以使用本發明的一個方式的半導體裝置實現的電路結構的例子。

[0170]

[CMOS 反相器]

圖 7B 所示的電路圖示出所謂的 CMOS 反相器的結構，其中將 p 通道型電晶體 2200 和 n 通道型電晶體 2100 串聯連接且將各閘極連接。

[0171]

[CMOS 類比開關]

此外，圖 7C 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用這種結構，可以用作所謂的 CMOS 類比開關。

[0172]

[記憶體裝置的例子]

參照圖 8A 和圖 8B 示出半導體裝置（記憶體裝置）的一個例子，其中使用根據本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

[0173] 圖 8A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作為電晶體 3300 可以使用上述電晶體。

[0174] 電晶體 3300 是使用氧化物半導體的電晶體。藉由減小電晶體 3300 的關態電流，可以在長期間使半導體裝置的特定的節點保持儲存內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而實現耗電量低的半導體裝置。

[0175] 在圖 8A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。此外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容元件 3400 的電極的一個電連接，第

五佈線 3005 與電容元件 3400 的電極的另一個電連接。

[0176] 圖 8A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示那樣進行資訊的寫入、保持以及讀出。

[0177] 對資訊的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位施加到與電晶體 3200 的閘極及電容元件 3400 的電極的一個電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為非導通狀態的電位而使電晶體 3300 成為非導通狀態，使節點 FG 保持電荷（保持）。

[0178] 因為電晶體 3300 的關態電流極小，所以節點 FG 的電荷被長時間地保持。

[0179] 接著，對資訊的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為如下緣故：在電晶體 3200 為 n 通道型電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指

為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。從而，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0(>V_{th_H})$ ，電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0(<V_{th_L})$ ，電晶體 3200 還保持“非導通狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資訊。

[0180] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。為了不讀出其他記憶單元的資訊，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“關閉狀態”的電位，即低於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，即高於 V_{th_L} 的電位，即可。

[0181] 圖 8B 所示的半導體裝置與圖 8A 所示的半導體裝置不同之處是圖 8B 所示的半導體裝置不包括電晶體 3200 之處。在此情況下也可以藉由與圖 8A 所示的半導體裝置相同的工作進行資訊的寫入及保持工作。

[0182] 說明圖 8B 所示的半導體裝置中的資訊讀出。在電晶體 3300 成為導通狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線

3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的電極的一個電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0183] 例如，在電容元件 3400 的電極的一個電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 CB ，在再次分配電荷之前的第三佈線 3003 的電位為 VB_0 時，再次分配電荷之後的第三佈線 3003 的電位為 $(CB \times VB_0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的電極的一個電位成為兩種狀態，即 V_1 和 V_0 ($V_1 > V_0$) 時，可以知道保持電位 V_1 時的第三佈線 3003 的電位 $(= (CB \times VB_0 + C \times V_1) / (CB + C))$ 高於保持電位 V_0 時的第三佈線 3003 的電位 $(= (CB \times VB_0 + C \times V_0) / (CB + C))$ 。

[0184] 而且，可以藉由對第三佈線 3003 的電位和規定的電位進行比較讀出資訊。

[0185] 在此情況下，可以採用一種結構，其中對用來驅動記憶單元的驅動電路使用應用上述第一半導體的電晶體，且將作為電晶體 3300 的應用第二半導體的電晶體層疊在驅動電路上而設置。

[0186] 上述半導體裝置可以應用使用氧化物半導體的關態電流極小的電晶體來長期間地保持儲存內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而可以實現耗電量低的半導體裝置。此外，在沒有電力的供應時（但是，較佳為固定電位）也可以長期間地保持儲

存內容。

[0187] 此外，因為該半導體裝置在寫入資訊時不需要高電壓，所以其中不容易產生元件的劣化。由於例如不如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生如絕緣膜的劣化等的問題。換言之，根據本發明的一個方式的半導體裝置是對習知的非揮發性記憶體所具有的問題的重寫的次數沒有限制而其可靠性得到極大提高的半導體裝置。再者，根據電晶體的導通狀態或關閉狀態而進行資訊寫入，而可以進行高速工作。

[0188]

〈RFID 標籤〉

下面，參照圖 9 說明上述電晶體或包括記憶體裝置的 RFID 標籤。

[0189] 根據本發明的一個方式的 RFID 標籤在其內部包括記憶體電路，在該記憶體電路儲存資訊，並使用非接觸單元諸如無線通訊進行與外部的資訊的收發。根據這種特徵，RFID 標籤可以被用於藉由讀取物品等的個體資訊識別物品的個體識別系統等。注意，這些用途要求高可靠性。

[0190] 參照圖 9 說明 RFID 標籤的結構。圖 9 是示出 RFID 標籤的結構例子的塊圖。

[0191] 如圖 9 所示，RFID 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀出器/寫入器等）連接的天線

802 發送的無線信號 803 的天線 804。此外，RFID 標籤 800 包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，作為包括在解調變電路 807 中的呈現整流作用的電晶體的半導體，例如也可以使用充分地抑制反向電流的氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使對解調變電路的輸入和從解調變電路的輸出之間的關係靠近於線形關係。注意，資料傳輸方法大致分類成如下三種方法：將一對線圈設置成彼此相對並且藉由互感相互通信的電磁耦合方法；使用感應場進行通信的電磁感應方法；以及使用電波進行通信的電波方法。RFID 標籤 800 可以用於上述任何方法。

[0192] 接著，說明各電路的結構。天線 804 是用作在與通信器 801 連接的天線 802 之間進行無線信號 803 的收發的。此外，整流電路 805 是用來將藉由由天線 804 接收無線信號生成的輸入交流信號整流，例如進行半波兩倍壓整流，並由後級的電容元件使被整流的信號平滑化，從而生成輸入電位的電路。另外，整流電路 805 的輸入一側或輸出一側也可以包括限幅電路。限幅電路是用來在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使某個程度以上的電力輸入到後級的電路中的電路。

[0193] 恆壓電路 806 是用來從輸入電位生成穩定的電源電壓而供應到各電路的電路。另外，恆壓電路 806 也

可以在其內部包括重設信號產生電路。重設信號產生電路是用來利用穩定的電源電壓的上升生成邏輯電路 809 的重設信號的電路。

[0194] 解調變電路 807 是用來藉由包絡檢測使輸入交流信號解調並生成解調信號的電路。此外，調變電路 808 是用來根據從天線 804 輸出的資料進行調變的電路。

[0195] 邏輯電路 809 是用來分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資訊的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是用來保持固有號碼（ID）等並根據處理進行輸出的電路。

[0196] 注意，上述各電路可以適當地選擇。

[0197] 在此，可以將上述記憶體裝置用於記憶體電路 810。因為根據本發明的一個方式的記憶體裝置即使在遮斷電源的狀態下也可以保持資訊，所以適合於 RFID 標籤。再者，因為根據本發明的一個方式的記憶體裝置的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體裝置可以抑制由於在資料的寫入時電力不夠而產生錯誤工作或錯誤寫入的情況。

[0198] 此外，因為根據本發明的一個方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳為生產者另外準備用來對

ROM811 寫入資料的指令防止使用者自由地重寫。藉由生產者在預先寫入固有號碼後出貨，可以僅使出貨的良品具有固有號碼而不使所製造的所有 RFID 標籤具有固有號碼，由此不發生出貨後的產品的固有號碼不連續的情況而可以容易進行對應於出貨後的產品的顧客管理。

[0199]

〈 RFID 標籤的使用例子 〉

下面，參照圖 10A 至圖 10F 說明根據本發明的一個方式的 RFID 標籤的使用例子。RFID 標籤可以廣泛應用，例如可以提供到物品諸如鈔票、硬幣、有價證券類、無記名債券類、證書類（駕駛證、居民卡等，參照圖 10A）、包裝用容器類（包裝紙、瓶子等，參照圖 10C）、儲存介質（DVD、錄影帶等，參照圖 10B）、車輛類（自行車等，參照圖 10D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者可以提供到各種物品的裝運標籤（參照圖 10E 和圖 10F）等。

[0200] 根據本發明的一個方式的 RFID 標籤 4000 以附著到表面上或者嵌入的方式固定到物品。例如，RFID 嵌入在書本的紙張裡，或者嵌入在包裝的有機樹脂中以及在每個物品中固定。根據本發明的一個方式的 RFID 標籤 4000 而言，因為實現了尺寸小、厚度薄以及重量輕，所以即使在固定到物品中以後也不會影響到所述物品本身的

設計性。另外，由根據本發明的一個方式的 RFID 標籤 4000 可以對鈔票、硬幣、有價證券類、無記名債券類或證書類等賦予認證功能，而且藉由利用該認證功能可以防止對其的偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中提供根據本發明的一個方式的 RFID 標籤 4000，提高檢測系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RFID 標籤 4000，可以提高防止偷竊等的安全性。

[0201] 如上所述，可以將根據本發明的一個方式的 RFID 標籤用於上述各種用途。

[0202]

〈 CPU 〉

下面說明包括上述電晶體或上述記憶體裝置等半導體裝置的 CPU。

[0203] 圖 11 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的塊圖。

[0204] 圖 11 所示的 CPU 在基板 1190 上具有：ALU1191(ALU：Arithmetic logic unit：算術電路)、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198 (Bus I/F)、能夠重寫的 ROM1199 以及 ROM 介面 1189 (ROM I/F)。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189

也可以設置在不同的晶片上。當然，圖 11 所示的 CPU 只不過是簡化其結構而所示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 11 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0205] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0206] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0207] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈

信號 CLK2 供應到上述各種電路。

[0208] 在圖 11 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體或記憶體裝置等。

[0209] 在圖 11 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0210] 圖 12 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當電源關閉時丟失儲存資料的電路 1201、當電源關閉時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0211] 在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND (0V) 或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等

負載接地。

[0212] 在此示出開關 1203 使用具有一導電型（例如，n 通道型）的電晶體 1213 構成，而開關 1204 使用具有與一導電型相反的導電型（例如，p 通道型）的電晶體 1214 構成的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的導通狀態或關閉狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或關閉（即，電晶體 1214 的導通狀態或關閉狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0213] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分作為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲

極中的另一個) 電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)、開關 1204 的第一端子(電晶體 1214 的源極和汲極中的一個)、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接的。在此,將連接部分作為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如,可以採用輸入低電源電位(GND 等)或高電源電位(VDD 等)的結構。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線(例如,GND 線)。可以採用對電容元件 1208 的一對電極中的另一個輸入固定電位的結構。例如,可以採用對其輸入低電源電位(GND 等)或高電源電位(VDD 等)的結構。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線(例如,GND 線)。

[0214] 另外,當積極地利用電晶體或佈線的寄生電容等時,可以不設置電容元件 1207 及電容元件 1208。

[0215] 控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或關閉狀態由與控制信號 WE 不同的控制信號 RD 選擇,當一個開關的第一端子與第二端子之間處於導通狀態時,另一個開關的第一端子與第二端子之間處於關閉狀態。

[0216] 對應於保持在電路 1201 中的資料的信號被輸

入到電晶體 1209 的源極和汲極中的另一個。圖 12 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0217] 另外，雖然圖 12 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0218] 在圖 12 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在氧化物半導體以外的半導體或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用由氧化物半導體形成通道的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為剩下的電晶體可以使用其通

道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0219] 圖 12 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0220] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0221] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0222] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短直到在再次開始供應電源電壓之後電路 1201 再次保持原來的資料為止的時間。

[0223] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元

件 1208 保持的信號轉換為電晶體 1210 的狀態（導通狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0224] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在處理器整體或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制耗電量。

[0225] 雖然對將記憶元件 1200 用於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等、RF-ID（Radio Frequency Identification：射頻識別）。

[0226]

〈顯示裝置〉

下面說明根據本發明的一個方式的顯示裝置的結構例子。

[0227]

[結構例子]

圖 13A 示出根據本發明的一個方式的顯示裝置的俯視

圖。此外，圖 13B 示出將液晶元件用於根據本發明的一個方式的顯示裝置的像素時的像素電路。另外，圖 13C 示出將有機 EL 元件用於根據本發明的一個方式的顯示裝置的像素時的像素電路。

[0228] 用於像素的電晶體可以使用上述電晶體。在此示出使用 n 通道型電晶體的例子。注意，也可以將藉由與用於像素的電晶體相同的製程製造的電晶體用作驅動電路。像這樣，藉由將上述電晶體用於像素或驅動電路，可以製造顯示品質或/及可靠性高的顯示裝置。

[0229] 圖 13A 示出主動矩陣型顯示裝置的一個例子。在顯示裝置的基板 5000 上設置有像素部 5001、第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 以及信號線驅動電路 5004。像素部 5001 藉由多個信號線與信號線驅動電路 5004 電連接並藉由多個掃描線與第一掃描線驅動電路 5002 及第二掃描線驅動電路 5003 電連接。另外，在由掃描線和信號線劃分的區域中分別設置有包括顯示元件的像素。此外，顯示裝置的基板 5000 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等連接部與時序控制電路（也稱為控制器、控制 IC）電連接。

[0230] 第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 及信號線驅動電路 5004 與像素部 5001 相同地形成在基板 5000 上。因此，與另外製造驅動電路的情況相比，可以減少製造顯示裝置的成本。此外，在另外製造驅動電路時，佈線之間的連接數增加。因此，藉由在相同

的基板 5000 上設置驅動電路，可以減少佈線之間的連接數，從而可以實現可靠性或/及良率的提高。

[0231]

[液晶顯示裝置]

此外，圖 13B 示出像素的電路結構的一個例子。在此示出可以應用於 VA 型液晶顯示裝置的像素等的像素電路。

[0232] 這種像素電路可以應用於一個像素包括多個像素電極的結構。各像素電極連接到不同的電晶體，且各電晶體被構成為能夠由不同的閘極信號驅動。由此，可以獨立地控制施加到多域設計的像素的每一個像素電極的信號。

[0233] 分離電晶體 5016 的閘極佈線 5012 和電晶體 5017 的閘極佈線 5013 以對它們供應不同的閘極信號。另一方面，電晶體 5016 和電晶體 5017 共同使用用作資料線的源極電極或汲極電極 5014。電晶體 5016 和電晶體 5017 適當地使用上述電晶體。由此，可以提供顯示品質或/及可靠性高的液晶顯示裝置。

[0234] 說明與電晶體 5016 電連接的第一像素電極及與電晶體 5017 電連接的第二像素電極的形狀。第一像素電極和第二像素電極的形狀被狹縫分離。第一像素電極具有擴展為 V 字型的形狀，而第二像素電極被形成為圍繞第一像素電極的外側。

[0235] 電晶體 5016 的閘極電極與閘極佈線 5012 電

連接，而電晶體 5017 的閘極電極與閘極佈線 5013 電連接。對閘極佈線 5012 和閘極佈線 5013 供應不同的閘極信號來使電晶體 5016 和電晶體 5017 的工作時序，從而可以控制液晶的配向。

[0236] 此外，也可以由電容佈線 5010、用作電介質的閘極絕緣膜、與第一像素電極或第二像素電極電連接的電容電極形成電容元件。

[0237] 在多域結構中，一個像素包括第一液晶元件 5018 和第二液晶元件 5019。第一液晶元件 5018 由第一像素電極、反電極和其間的液晶層構成，而第二液晶元件 5019 由第二像素電極、反電極和其間的液晶層構成。

[0238] 另外，根據本發明的一個方式的顯示裝置不侷限於圖 13B 所示的像素電路。例如，也可以對圖 13B 所示的像素電路進一步提供開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0239]

[有機 EL 面板]

圖 13C 示出像素的電路結構的另一個例子。在此示出使用有機 EL 元件的顯示裝置的像素結構。

[0240] 在有機 EL 元件中，藉由對發光元件施加電壓，來自有機 EL 元件所包括的一對電極中的一個的電子和來自該一對電極中的另一個的電洞注入包含發光有機化合物的層中，從而電流流過。而且，藉由使電子和電洞再結合，發光有機化合物形成激發態，並且當該激發態恢復

到基態時發光。根據這種機制，這種發光元件被稱為電流激勵型發光元件。

[0241] 圖 13C 是示出像素電路的一個例子的圖。在此示出一個像素使用兩個 n 通道型電晶體的例子。另外，作為 n 通道型電晶體可以使用上述電晶體。此外，該像素電路可以應用數位時間灰階級驅動。

[0242] 說明可以應用的像素電路的結構及應用數位時間灰階級驅動時的像素的工作。

[0243] 像素 5020 包括開關電晶體 5021、驅動電晶體 5022、發光元件 5024 以及電容元件 5023。在開關電晶體 5021 中，閘極電極與掃描線 5026 連接，第一電極（源極電極和汲極電極中的一個）與信號線 5025 連接，第二電極（源極電極和汲極電極中的另一個）與驅動電晶體 5022 的閘極電極連接。在驅動電晶體 5022 中，閘極電極藉由電容元件 5023 與電源線 5027 連接，第一電極與電源線 5027 連接，第二電極與發光元件 5024 的第一電極（像素電極）連接。發光元件 5024 的第二電極相當於共用電極 5028。共用電極 5028 與形成在同一基板上的共用電位線電連接。

[0244] 開關電晶體 5021 及驅動電晶體 5022 可以使用上述電晶體。由此，實現顯示品質或/及可靠性高的有機 EL 顯示裝置。

[0245] 將發光元件 5024 的第二電極（共用電極 5028）的電位設定為低電源電位。注意，低電源電位是低

於設定為電源線 5027 的高電源電位的電位，例如作為低電源電位可以設定 GND、0V 等。藉由將高電源電位和低電源電位設定為發光元件 5024 的正向臨界電壓以上，並對發光元件 5024 施加其電位差，在發光元件 5024 中使電流流過而使發光元件 5024 發光。注意，發光元件 5024 的正向電壓是指設定為所希望的亮度的電壓，至少包括正向臨界電壓。

[0246] 另外，有時藉由代替使用驅動電晶體 5022 的閘極電容省略電容元件 5023。至於驅動電晶體 5022 的閘極電容，在通道形成區域和閘極電極之間形成有電容。

[0247] 接著，說明輸入到驅動電晶體 5022 的信號。在採用電壓輸入電壓驅動方式時，對驅動電晶體 5022 輸入使驅動電晶體 5022 成為導通或關閉的兩種狀態的視訊信號。另外，為了使驅動電晶體 5022 在線性區域中工作，對驅動電晶體 5022 的閘極電極施加高於電源線 5027 的電壓的電壓。此外，對信號線 5025 施加對電源線電壓加上驅動電晶體 5022 的臨界電壓 V_{th} 的值以上的電壓。

[0248] 當進行類比灰階級驅動時，對驅動電晶體 5022 的閘極電極施加對發光元件 5024 的正向電壓加上驅動電晶體 5022 的臨界電壓 V_{th} 的值以上的電壓。另外，輸入視訊信號以使驅動電晶體 5022 在飽和區域中工作，在發光元件 5024 中使電流流過。此外，為了使驅動電晶體 5022 在飽和區域中工作，使電源線 5027 的電位高於驅動電晶體 5022 的閘極電位。藉由採用類比方式的視訊信

號，可以在發光元件 5024 中使與視訊信號對應的電流流過，而進行類比灰階級驅動。

[0249] 此外，根據本發明的一個方式的顯示裝置不侷限於圖 13C 所示的像素結構。例如，還可以對圖 13C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0250] 當對圖 13A 至圖 13C 所例示的電路應用上述電晶體時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以採用能夠由控制電路等控制第一閘極電極的電位，且對第二閘極電極輸入低於供應到源極電極的電位的電位等如上所例示的電位的結構。

[0251]

〈模組〉

下面，參照圖 14 說明應用根據本發明的一個方式的半導體裝置的顯示模組。

[0252] 在圖 14 所示的顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間包括與 FPC8003 連接的觸控面板 8004、與 FPC8005 連接的單元 8006、背光單元 8007、框架 8009、印刷電路板 8010 和電池 8011。另外，有時不包括背光單元 8007、電池 8011、觸控面板 8004 等。

[0253] 例如，可以將根據本發明的一個方式的半導體裝置用於單元 8006。

[0254] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及

單元 8006 的尺寸可以適當地改變形狀或尺寸。

[0255] 觸控面板 8004 是能夠將電阻膜式或靜電電容式觸控面板重疊在單元 8006 而使用的。此外，也可以使單元 8006 的反基板（密封基板）具有觸控面板功能。或者，也可以在單元 8006 的每個像素中設置光感測器，以製成光觸控面板。或者，也可以在單元 8006 的每個像素中設置觸摸感測器用電極，以製成靜電電容式觸控面板。

[0256] 背光單元 8007 包括光源 8008。也可以採用將光源 8008 設置於背光單元 8007 的端部，且使用光擴散板的結構。

[0257] 除了單元 8006 的保護功能之外，框架 8009 還具有用來阻擋因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0258] 印刷電路板 8010 包括電源電路以及用來輸出視訊信號和時脈信號的信號處理電路。作為用來給電源電路供應電力的電源，既可以使用外部的商用電源，又可以使用另外設置的電池 8011 的電源。在使用商用電源的情況下也可以不包括電池 8011。

[0259] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0260]

〈電子裝置〉

根據本發明的一個方式的半導體裝置可以用於顯示裝

置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭部安裝顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 15A 至圖 15F 示出這些電子裝置的具體例子。

[0261] 圖 15A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 15A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0262] 圖 15B 是可攜式資料終端，包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所

形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入裝置的功能的顯示裝置。另外，可以藉由在顯示裝置設置觸控面板來附加作為位置輸入裝置的功能。或者，也可以藉由在顯示裝置的像素部設置還被稱為光感測器的光電轉換元件來附加作為位置輸入裝置的功能。

[0263] 圖 15C 是膝上型個人電腦，包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0264] 圖 15D 是電冷藏冷凍箱，包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0265] 圖 15E 是視頻攝影機，包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0266] 圖 15F 是一般的汽車，包括車體 951、車輪 952、儀表板 953 及燈 954 等。

實施例 1

[0267] 在本實施例中，使用元件模擬軟體計算因電

晶體的半導體的形狀不同而產生的電特性的差。

[0268] 計算是使用 Synopsys 公司的 Sentaurus 並以 3D 結構進行的。圖 16A 和圖 16B 示出計算時使用的電晶體的結構。圖 16A 是電晶體的俯視圖。圖 16B 示出對應於圖 16A 所示的點劃線 F1-F2 及 F3-F4 的剖面圖。

[0269] 圖 16B 所示的電晶體包括：絕緣膜 102；絕緣膜 102 上的氧化物半導體層 106a；氧化物半導體層 106a 上的具有凸部及凹部的氧化物半導體層 106b；接觸於氧化物半導體層 106b 的凸部的頂面、氧化物半導體層 106b 的凸部的側面、氧化物半導體層 106a 的側面以及絕緣膜 102 的側面的導電膜 116a 及導電膜 116b；接觸於氧化物半導體層 106b 的凹部的頂面、氧化物半導體層 106b 的凹部的側面、氧化物半導體層 106a 的側面以及絕緣膜 102 的側面的氧化物半導體層 107；隔著氧化物半導體層 107 與氧化物半導體層 106b 的凹部的頂面、氧化物半導體層 106b 的凹部的側面、氧化物半導體層 106a 的側面以及絕緣膜 102 的側面相對的絕緣膜 112；以及隔著絕緣膜 112 及氧化物半導體層 107 與氧化物半導體層 106b 的凹部的頂面、氧化物半導體層 106b 的凹部的側面、氧化物半導體層 106a 的側面以及絕緣膜 102 的側面相對的導電膜 104。

[0270] 另外，如圖所示，在氧化物半導體層 106b 與導電膜 116a 或導電膜 116b 之間配置有 n 型區域（表示為 n）。

[0271] 如圖 16A 所示，將氧化物半導體層 106b 的凹部中的點劃線 F1-F2 方向（也稱為通道長度方向、長邊方向或縱向）的長度為 $L1$ ，氧化物半導體層 106b 的凹部中的點劃線 F3-F4 方向（也稱為通道寬度方向、短邊方向或橫向）的長度為 $W1$ 。此外，氧化物半導體層 106b 的凸部及凹部的點劃線 F1-F2 方向的長度為 $L2$ 。此外，氧化物半導體層 106b 的凸部中的點劃線 F3-F4 方向的長度為 $W2$ 。注意，在圖式中，從氧化物半導體層 106b 中的凹部突出的凸部的突出量（也稱為伸出量）上下相等。

[0272] 此外，如圖 16B 所示，將氧化物半導體層 106b 的凸部的高度與凹部的高度的差（也稱為凹部的深度）表示為 t 。此外，將如下兩個介面的高度的差表示為 h ：氧化物半導體層 106a 與氧化物半導體層 106b 之間的介面；以及不與氧化物半導體層 106a 及氧化物半導體層 106b 重疊的區域中的絕緣膜 112 與導電膜 104 之間的介面（在此相當於絕緣膜 112 的厚度）。因此，當 h 為正值時，可以看作圖 16A 和圖 16B 所示的電晶體為 s-channel 結構。

[0273] 另外， t 是 $W2$ 與 $W1$ 的差。

[0274] 在沒有特別的說明時，關於絕緣膜 102 參照絕緣膜 402 的記載。關於氧化物半導體層 106a 參照氧化物半導體層 406a 的記載。關於氧化物半導體層 106b 參照氧化物半導體層 406b 的記載。關於導電膜 116a 及導電膜 116b 參照導電膜 416a 及導電膜 416b 的記載。關於氧化

物半導體層 107 參照氧化物半導體層 407 的記載。關於絕緣膜 112 參照絕緣膜 412 的記載。關於導電膜 104 參照導電膜 404 的記載。

[0275] 下面的表示出計算時使用的條件。

[0276]

[表 1]

結構	L1	40	nm
	L2	120	nm
	W1	10, 20, 30, 40	nm
	W2	40	nm
112	相對介電常數	4.1	
	厚度	10	nm
107	電子親和力	4.4	eV
	Eg	3.6	eV
	相對介電常數	15	
	施體密度	6.60E-09	cm ⁻³
	電子移動率	0.1	cm ² /Vs
	電洞移動率	0.01	cm ² /Vs
	Nc	5.00E+18	cm ⁻³
	Nv	5.00E+18	cm ⁻³
n	厚度	1	nm
	施體密度	5.00E+18	cm ⁻³
106b	電子親和力	4.6	eV
	Eg	3.2	eV
	相對介電常數	15	
	施體密度	6.60E-09	cm ⁻³
	電子移動率	15	cm ² /Vs
	電洞移動率	0.01	cm ² /Vs
	Nc	5.00E+18	cm ⁻³
	Nv	5.00E+18	cm ⁻³
106a	厚度	40	nm
	t	0, 10, 20, 30	nm
102	相對介電常數	4.1	
	厚度	400	nm
	h	20	nm
104	功函數	5	eV
116a, 116b	功函數	4.6	eV

[0277] 圖 17A 和圖 17B 示出藉由計算得到的電晶體的 V_g - I_d 特性。圖 17A 示出汲極電壓 V_d 為 1V 時的 V_g - I_d 特性，圖 17B 示出汲極電壓 V_d 為 0.1V 時的 V_g - I_d 特性。曲線的左側記載有 t 的值。如上所述， t 是 W_2 與 W_1 的

差。此外， W_2 為 40nm。因此，當 t 為 0nm 時 W_1 為 40nm，當 t 為 10nm 時 W_1 為 30nm，當 t 為 20nm 時 W_1 為 20nm，當 t 為 30nm 時 W_1 為 10nm。

[0278] 從圖 17A 和圖 17B 可知，隨著 t 增大（隨著 W_1 變小） V_g - I_d 特性提高。明確而言，汲極電流 I_d 開始上升時的閘極電壓 V_g 接近正值。此外，可知次臨界擺幅值（也稱為 S 值）變小。也就是說，當以相同的閘極電壓 V_g 做比較時，電晶體關閉時的汲極電流變小。

[0279] 作為汲極電流 I_d 開始上升時的閘極電壓 V_g 接近正值且 S 值變小的理由，可以認為是因電晶體的通道形成區縮小而使閘極電極的電場的效果提高。

[0280] 圖 18 是示出 t 為 0nm（左圖）或 30nm（右圖）時的氧化物半導體層 106b 的電流密度的計算結果的剖面圖。注意，作為閘極電壓 V_g 施加 -3V，作為汲極電壓 V_d 施加 1V。

[0281] 從圖 18 可知，當 t 為 0nm 時，距離用作氧化物半導體層 106b 中的閘極電極的導電膜 104 遠的區域的電流密度較高。另一方面，當 t 為 30nm 時，整個氧化物半導體層 106b 的電流密度較低。

[0282] 從該結果還可知，藉由增大 t 可以提高閘極電壓 V_g 的效果，而可以使電晶體關閉時的汲極電流 I_d 減少。

[0283] 藉由本實施例可知根據本發明的一個方式的電晶體是電特性良好的電晶體。

【符號說明】

[0284]

- 10：電子槍室
- 12：光學系統
- 14：樣本室
- 16：光學系統
- 18：拍攝裝置
- 20：觀察室
- 22：膠片室
- 24：電子
- 28：物質
- 32：螢光板
- 102：絕緣膜
- 104：導電膜
- 106a：氧化物半導體層
- 106b：氧化物半導體層
- 107：氧化物半導體層
- 112：絕緣膜
- 116a：導電膜
- 116b：導電膜
- 400：基板
- 402：絕緣膜
- 404：導電膜

- 406 : 半導體
- 406a : 氧化物半導體層
- 406b : 氧化物半導體層
- 406c : 氧化物半導體層
- 407 : 氧化物半導體層
- 412 : 絕緣膜
- 416a : 導電膜
- 416b : 導電膜
- 418 : 絕緣膜
- 600 : 基板
- 602 : 絕緣膜
- 604 : 導電膜
- 606 : 半導體
- 612 : 絕緣膜
- 614 : 導電膜
- 616a : 導電膜
- 616b : 導電膜
- 800 : RFID 標籤
- 801 : 通信器
- 802 : 天線
- 803 : 無線信號
- 804 : 天線
- 805 : 整流電路
- 806 : 恆壓電路

807：解調變電路

808：調變電路

809：邏輯電路

810：記憶體電路

811：ROM

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

911：外殼

912：外殼

913：顯示部

914：顯示部

915：連接部

916：操作鍵

921：外殼

922：顯示部

923：鍵盤

924：指向裝置

931：外殼

- 932 : 冷藏室門
- 933 : 冷凍室門
- 941 : 外殼
- 942 : 外殼
- 943 : 顯示部
- 944 : 操作鍵
- 945 : 透鏡
- 946 : 連接部
- 951 : 車體
- 952 : 車輪
- 953 : 儀表板
- 954 : 燈
- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 時序控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM
- 1200 : 記憶元件

- 1201 : 電路
- 1202 : 電路
- 1203 : 開關
- 1204 : 開關
- 1206 : 邏輯元件
- 1207 : 電容元件
- 1208 : 電容元件
- 1209 : 電晶體
- 1210 : 電晶體
- 1213 : 電晶體
- 1214 : 電晶體
- 1220 : 電路
- 2100 : 電晶體
- 2200 : 電晶體
- 2201 : 絕緣膜
- 2202 : 導電膜
- 2203 : 導電膜
- 2204 : 絕緣膜
- 2205 : 導電膜
- 2206 : 導電膜
- 2207 : 絕緣膜
- 2211 : 半導體基板
- 2212 : 絕緣層
- 2213 : 閘極電極

- 2214 : 閘極絕緣膜
- 2215 : 源極區及汲極區
- 3001 : 佈線
- 3002 : 佈線
- 3003 : 佈線
- 3004 : 佈線
- 3005 : 佈線
- 3200 : 電晶體
- 3300 : 電晶體
- 3400 : 電容元件
- 4000 : RFID 標籤
- 5000 : 基板
- 5001 : 像素部
- 5002 : 掃描線驅動電路
- 5003 : 掃描線驅動電路
- 5004 : 信號線驅動電路
- 5010 : 電容佈線
- 5012 : 閘極佈線
- 5013 : 閘極佈線
- 5014 : 源極電極或汲極電極
- 5016 : 電晶體
- 5017 : 電晶體
- 5018 : 液晶元件
- 5019 : 液晶元件

- 5020 : 像素
- 5021 : 開關電晶體
- 5022 : 驅動電晶體
- 5023 : 電容元件
- 5024 : 發光元件
- 5025 : 信號線
- 5026 : 掃描線
- 5027 : 電源線
- 5028 : 共用電極
- 8000 : 表示模組
- 8001 : 上蓋
- 8002 : 下蓋
- 8003 : FPC
- 8004 : 觸控面板
- 8005 : FPC
- 8006 : 單元
- 8007 : 背光單元
- 8008 : 光源
- 8009 : 框架
- 8010 : 印刷電路板
- 8011 : 電池

I677989

發明摘要

※申請案號：103130826

※申請日：103年09月05日

※IPC分類：H01L 29/78 (2006.01)

H01L 29/40 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

本發明的一個方式的目的之一是提供一種具有高場效移動率的電晶體。另外，本發明的一個方式的目的之一是提供一種電特性穩定的電晶體。另外，本發明的一個方式的目的之一是提供一種關閉時（非導通時）的電流小的電晶體。另外，本發明的一個方式的目的之一是提供一種包括該電晶體的半導體裝置。本發明的一個方式是一種半導體裝置，包括：半導體；具有與半導體的頂面接觸的區域及與半導體的側面接觸的區域的源極電極和汲極電極；具有與半導體接觸的區域的閘極絕緣膜；以及具有隔著閘極絕緣膜與半導體相對的區域的閘極電極，其中，半導體不與源極電極和汲極電極接觸的區域的通道寬度方向的長度短於半導體與源極電極和汲極電極接觸的區域的通道寬度方向的長度。

【 英文 】

To provide a transistor having high field effect mobility. To provide a transistor having stable electrical characteristics. To provide a transistor having low off-state current (current in an off state). To provide a semiconductor device including the transistor. The semiconductor device includes a semiconductor; a source electrode and a drain electrode including regions in contact with a top surface and side surfaces of the semiconductor; a gate insulating film including a region in contact with the semiconductor; and a gate electrode including a region facing the semiconductor with the gate insulating film provided therebetween. A length of a region of the semiconductor, which is not in contact with the source and drain electrodes, is shorter than a length of a region of the semiconductor, which is in contact with the source and drain electrodes, in a channel width direction.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

400：基板

402：絕緣膜

404：導電膜

406：半導體

412：絕緣膜

416a：導電膜

416b：導電膜

418：絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

絕緣膜；

在該絕緣膜上的半導體，該半導體包括第一區域、第二區域、以及設置於該第一區域與該第二區域之間的第三區域；

在該第一區域上且與該第一區域的頂面接觸的源極電極；

在該第二區域上且與該第二區域的頂面接觸的汲極電極；

該半導體上的閘極絕緣膜；以及

隔著該閘極絕緣膜與該半導體相對的閘極電極，該閘極電極與該第三區域重疊，

其中，在通道寬度方向上，該第三區域的長度短於該第一區域及該第二區域的長度，

其中，該半導體具有凹部，

其中，該閘極電極的底面的一部分與該凹部彼此重疊，

其中，該閘極電極的該底面的另一部分定位成低於該半導體的底面，

其中，該絕緣膜具有凸部，並且

其中，該半導體被設置在該凸部上。

2. 一種半導體裝置，包括：

絕緣膜；

在該絕緣膜上的半導體，該半導體包括第一區域、第二區域、以及設置於該第一區域與該第二區域之間的第三區域；

在該第一區域的頂面上且與該第一區域的頂面接觸的源極電極；

在該第二區域的頂面上且與該第二區域的頂面接觸的汲極電極；

該半導體上的閘極絕緣膜；以及

隔著該閘極絕緣膜與該半導體相對的閘極電極，該閘極電極與該第三區域重疊，

其中，在通道寬度方向上，該第三區域的長度短於該第一區域及該第二區域的長度，

其中，該半導體具有凹部，

其中，該閘極電極的底面的一部分與該凹部彼此重疊，

其中，該閘極電極的該底面的另一部分定位成低於該半導體的底面，

其中，在該通道寬度方向上，該半導體的側面隔著該閘極絕緣膜與該閘極電極相對，

其中，該絕緣膜具有凸部，並且

其中，該半導體被設置在該凸部上。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第三區域的厚度小於該第一區域的厚度及該第二區域的厚度。

4. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中該源極電極及該汲極電極覆蓋該半導體的側面。

5. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中該半導體為氧化物半導體。

6. 根據申請專利範圍第 5 項之半導體裝置，其中該氧化物半導體包括銦、鎵及鋅。

7. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中該半導體具有疊層結構。

8. 一種半導體裝置，包括：

絕緣膜

在該絕緣膜上的第一半導體；

在該第一半導體上且與該第一半導體的第一部分接觸的源極電極；

在該第一半導體上且與該第一半導體的第二部分接觸的汲極電極；

該第一半導體、該源極電極以及該汲極電極上的第二半導體；

該第二半導體上的閘極絕緣膜；以及

隔著該閘極絕緣膜與該第二半導體相對的閘極電極，

其中，該閘極電極的該底面的一部分定位成低於該第一半導體的底面，並且

其中，在通道寬度方向上，該第一半導體的不與該源極電極及該汲極電極接觸的區域的長度短於該第一半導體的與該源極電極或該汲極電極接觸的區域的長度，

其中，該絕緣膜具有凸部，並且

其中，該第一半導體被設置在該凸部上。

9. 根據申請專利範圍第 8 項之半導體裝置，其中該第一半導體的不與該源極電極及該汲極電極接觸的該區域的厚度小於該第一半導體的與該源極電極或該汲極電極接觸的該區域的厚度。

10. 根據申請專利範圍第 8 項之半導體裝置，其中該源極電極及該汲極電極覆蓋該第一半導體的側面。

11. 根據申請專利範圍第 8 項之半導體裝置，

其中該第一半導體是第一氧化物半導體，

並且該第二半導體是第二氧化物半導體。

12. 根據申請專利範圍第 11 項之半導體裝置，

其中該第一氧化物半導體包括銦、鎵及鋅，

並且該第二氧化物半導體包括銦、鎵及鋅。

13. 一種半導體裝置的製造方法，包括如下步驟：

在絕緣膜上形成半導體；

在該半導體上形成導電膜；

在該半導體上分割該導電膜以形成源極電極及汲極電極；

在該半導體上形成閘極絕緣膜；以及

形成隔著該閘極絕緣膜與該半導體相對的閘極電極，

其中，該半導體包括第一區域、第二區域、以及設置於該第一區域與該第二區域之間的第三區域；

其中，該源極電極與該第一區域的頂面接觸；

其中，該汲極電極與該第二區域的頂面接觸；

其中，該第三區域的厚度小於該第一區域及該第二區域的厚度，

其中，在通道寬度方向上，該第三區域的長度短於該第一區域及該第二區域的長度，

其中，該半導體具有凹部，

其中，該閘極電極的底面的一部分與該凹部彼此重疊，

其中，該閘極電極的該底面的另一部分定位成低於該半導體的底面，

其中，該絕緣膜具有凸部，並且

其中，該半導體被設置在該凸部上。

14. 根據申請專利範圍第 13 項之半導體裝置的製造方法，其中該源極電極及該汲極電極覆蓋該半導體的側面。

15. 根據申請專利範圍第 13 項之半導體裝置的製造方法，其中該半導體為氧化物半導體。

16. 根據申請專利範圍第 15 項之半導體裝置的製造方法，其中該氧化物半導體包括銮、鎳及鋅。

17. 根據申請專利範圍第 13 項之半導體裝置的製造方法，其中該半導體具有疊層結構。