



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I574303 B

(45) 公告日：中華民國 106 (2017) 年 03 月 11 日

(21) 申請案號：104122728

(22) 申請日：中華民國 104 (2015) 年 07 月 14 日

(51) Int. Cl. : H01L21/027 (2006.01)

H01L21/8239(2006.01)

H01L27/105 (2006.01)

(30) 優先權：2015/06/10 美國

14/735,837

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：洪鈺珉 HUNG, YU-MIN (TW)；韓宗廷 HAN, TZUNG TING (TW)；徐妙枝 HSU, MIAO-CHIH (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

TW 200840024A

TW 201310598A

US 5977558

審查人員：修宇鋒

申請專利範圍項數：20 項 圖式數：15 共 52 頁

(54) 名稱

半導體裝置及其製造方法

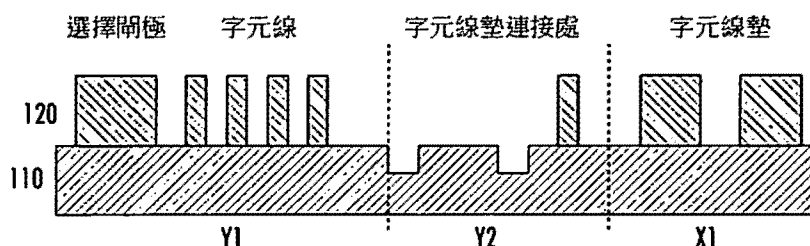
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明係提供一種半導體裝置及其製造方法。方法可包括以自對準二重圖案化步驟圖案化陣列和周邊區、並提供以此結合之圖案化步驟製作而成的半導體裝置。

Provided are improved semiconductor memory devices and methods for manufacturing such semiconductor memory devices. A method may incorporate the patterning of the array and periphery regions in self-aligned double patterning and provide semiconductor devices resulting from the combined patterning.

指定代表圖：



第 1A 圖

符號簡單說明：

110 . . . 基板

120 . . . 膜堆疊

X1、Y1、Y2 . . .

軸線

公告本

發明摘要

※ 申請案號：104122728

※ 申請日：104.07.14

※IPC 分類：H01L 21/027 (2006.01)
21/8239 (2006.01)
27/05 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法 / SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

【中文】

本發明係提供一種半導體裝置及其製造方法。方法可包括以自對準二重圖案化步驟圖案化陣列和周邊區、並提供以此結合之圖案化步驟製作而成的半導體裝置。

【英文】

Provided are improved semiconductor memory devices and methods for manufacturing such semiconductor memory devices. A method may incorporate the patterning of the array and periphery regions in self-aligned double patterning and provide semiconductor devices resulting from the combined patterning.

【代表圖】

【本案指定代表圖】：第 (1A) 圖。

【本代表圖之符號簡單說明】：

110：基板

120：膜堆疊

X1、Y1、Y2：軸線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法/ SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明之實施例係有關於一種半導體裝置及製作此半導體裝置的方法。

【先前技術】

【0002】 製作積體電路的製程大體而言可分類為沈積、圖案化及摻雜。經由使用此些不同的製程所製作的具有多個元件的多種複雜結構，而可以製作出一個半導體裝置。

【0003】 微影製程係形成一基板上的三維圖案化以形成基板上的圖案。可進行多個微影製程結構蝕刻和/或研磨拋光以製作出最終的半導體裝置。

【0004】 光微影製程(photolithography)或光學微影製程(optical lithography)包括使用光敏感性高分子或光阻曝光並顯影以形成基板上的三維圖案化。基板被光阻覆蓋的部分會受到保護而不受到後續的蝕刻、離子摻雜或其他特定製程的影響。

【0005】 光微影的製程一般可包括以下步驟：準備基板、提供光阻、預烘烤(prebaking)、曝光、曝光後的烘烤、顯影、後烘烤(post-baking)。光阻可以經由任意數目的製程施加於基板上。

一般來說，使光阻橫跨基板具有均勻的厚度係重要的。選擇性地，可以在施加光阻層之前，施加一層底抗反射塗佈層(bottom anti reflectivity coating, BARC)於基板上。典型地，可以在施加光阻之前施加黏著促進劑於基板上。

【0006】 光顯影之後的前提是正型光阻在正型顯影劑中、且通過被光阻暴露於光線中的特定區域中的溶解度之改變，此光線係可見光、或更常見係為紫外光、或其他類型的發光(radiation)。曝光的區域可以經由例如是光罩(mask)的使用來控制。

【0007】 申請人係已指出傳統記憶裝置的製作方法及其方法製作的記憶裝置之缺陷與問題。舉例而言，在傳統的製造方法中，陣列與周邊區必須經由分開的圖案化步驟而分開製作。如此的製程既耗時且成本高。

【0008】 經由應用於此的努力、獨創性及創新，以上指出的問題已經經由本發明以下所述的多個實施例所包括的方法所解決。

【發明內容】

【0009】 本發明之實施例係提供用於製造記憶裝置的半導體裝置的製造方法、及應用此些方法製作而成的半導體裝置。

【0010】 本發明係提供半導體裝置的製造方法，可降低成本及提高效率。一些特定實施例中，半導體裝置的陣列區和周邊區的圖案化製程可以合併，如此可以使用一個裝置來圖案化此兩個區域。本發明之發明人係設計一種用於半導體裝置的布局(layout)，可以整合陣列和周邊的圖案化。經由整合陣列區和周邊

區的圖案化製程，成本可以降低，且製備適合的半導體裝置的效率可以提升。

【0011】 本發明的一些特定實施例中，係提供一種半導體裝置。半導體裝置包括一基板；一第一字元線墊(word line pad)，形成於基板上；以及一第二字元線墊，形成於基板上。其中一間距位於第一字元線墊和第二字元線墊之間，間距包括一第一間距寬度和一第二間距寬度，第一間距寬度係以 a 表示，第二間距寬度係以 b 表示，其中 a 小於 b 。一些特定實施例中，第二間距寬度 b 相較於第一間距寬度 a 位於距離一字元線較近處，且其中字元線連接至第一字元線墊或第二字元線墊。一些實施例中，第二間距寬度 b 係為約 1.5~3.0 倍的第一間距寬度 a ，例如是約 1.5 倍的該第一間距寬度 a ，或是約 3.0 倍的該第一間距寬度 a 。一些實施例中，位於第一字元線墊和第二字元線墊之間間距可包括一半圓。

【0012】 一些實施例中，半導體裝置可包括一第一字元線墊以及一第二字元線墊，第一字元線墊包括一第一墊寬(pad width)及一第二墊寬，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬不等同於第二墊寬，且字元線連接至第一字元線墊。一些特定實施例中，半導體裝置可包括一第二字元線墊，第二字元線墊包括一第一寬度和一第二寬度，其中第二字元線墊的第一寬度與字元線相鄰，第二字元線墊的第二寬度相對於字元線，第二字元線墊的第一寬度小於第二字元線墊的第二寬度。一些特定實施例中，第一字元線墊係為第二字元線墊的一鏡像(mirror image)。

【0013】 本發明的一方面亦提供一種半導體裝置的製造方法，包括：提供一基板；沿基板形成一膜堆疊(film stack)；以及蝕刻膜堆疊以形成一第一字元線墊和一第二字元線墊，其中一間距位於第一字元線墊和第二字元線墊之間，間距包括一第一間距寬度和一第二間距寬度，第一間距寬度係以 a 表示，第二間距寬度係以 b 表示，其中 a 小於 b 。一些實施例中，第二間距寬度 b 相較於第一間距寬度 a 位於距離一字元線較近處，且其中字元線連接至第一字元線墊或第二字元線墊。一些特定實施例中，第二間距寬度 b 係為約 1.5~3.0 倍的第一間距寬度 a ，例如是約 1.5 倍的該第一間距寬度 a ，或是約 3.0 倍的該第一間距寬度 a 。一些實施例中，位於第一字元線墊和第二字元線墊之間間距可包括一半圓。

【0014】 本發明的一些特定實施例中，蝕刻膜堆疊的步驟包括：蝕刻第一字元線墊，其中第一字元線墊具有一第一墊寬(pad width)及一第二墊寬，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬不等同於第二墊寬。本發明的一實施例中，半導體裝置的製造方法形成的第二字元線墊包括一寬度寬及一第二寬度，第二字元線墊的第一寬度與一字元線相鄰，第二字元線墊的第二寬度相對於字元線，第二字元線墊的第一寬度小於第二字元線墊的第二寬度。

【0015】 一些實施例中，半導體裝置的製造方法更包括沿膜堆疊形成一第一硬遮罩層；沿第一硬遮罩層形成一第二硬遮罩層；沿第二硬遮罩層形成一芯部層；圖案化芯部層以形成一圖案化芯部層；沿圖案化芯部層的複數個側壁形成複數個間隔物；蝕

刻第二硬遮罩層；移除圖案化芯部層；移除第二硬遮罩層的複數個部分；以及蝕刻第一硬遮罩層。一些實施例中，移除第二硬遮罩層的此些部分包括移除沿膜堆疊的一墊圖案(pad pattern)中的一半圓(semicircle)中的第二硬遮罩層。一些實施例中，沿膜堆疊的墊圖案中的半圓具有一半徑係為約 200~300 奈米。更進一步，一些實施例中，圖案化芯部層以形成圖案化芯部層包括：形成一墊圖案和一字元線圖案，其中墊圖案的一寬度係為大於約 600 奈米，字元線圖案的一寬度係為約 10~30 奈米。

【0016】 上述摘要僅用來整理本發明中的一些實施例，以用來提供對於本發明的一些方面之基本的瞭解。因此，以上所列的實施例僅用於示例，並非用以限定本發明之精神和範圍。在本發明之精神和範圍內，更可包含多種可能的實施例之更動與潤飾，且除了上述摘要之外，更於下文中敘述其他的一些可能實施例。

【0017】 下文係配合所附圖式對本發明作詳細說明如下，需注意圖式上的尺寸比例並非按照實際產品等比例繪製。

【圖式簡單說明】

【0018】

第 1A~1C 圖繪示根據本發明之一些實施例之一種半導體裝置的一些部分的示意圖，其中此半導體裝置包括一預定的電路布局。

第 2A~2C 圖繪示根據本發明之一些實施例施加一光阻後的一種半導體裝置的示意圖。

第 3A~3C 圖繪示根據本發明之一些實施例蝕刻一芯部材料

以形成基板上的一圖案後的一種半導體裝置的示意圖。

第 4A~4C 圖繪示根據本發明之一些實施例沿裝置中的圖案化芯部層的側壁形成間隔物後的一種半導體裝置的示意圖。

第 5A~5B 圖繪示根據本發明之一些實施例蝕刻第二硬遮罩層後的一種半導體裝置的示意圖。

第 6A~6B 圖繪示根據本發明之一些實施例自半導體裝置移除芯部材料後的一種半導體裝置的示意圖。

第 7A~7C 圖繪示根據本發明之一些實施例移除第一硬遮罩層的特定區域後的一種半導體裝置的示意圖。

第 7D 圖係根據本發明之一些實施例移除第二硬遮罩層的一些部分後的一種半導體裝置的陣列和周邊區的外型輪廓。

第 8A~8C 圖繪示根據本發明之一些實施例蝕刻第一硬遮罩層後的一種半導體裝置的示意圖。

第 9A~9B 圖繪示根據本發明之一些實施例蝕刻膜堆疊後的一種半導體裝置的示意圖。

第 10A~10C 圖繪示根據本發明之一些實施例施加一光阻於圖案化的膜堆疊之上後的一種半導體裝置的示意圖。

第 11A~11B 圖繪示根據本發明之一些實施例進行蝕刻以形成相鄰的字元線墊後的一種半導體裝置的示意圖。

第 12 圖繪示根據本發明之一些實施例在字元線墊中形成一半圓或一鐘擺形區域的示意圖。

第 13A~13B 圖繪示根據本發明之一些實施例之半導體裝置的製造方法的細部流程圖。

【實施方式】

【0019】 以下係提出本發明的多個實施例並搭配圖式進行詳細說明，然上述實施例並非本發明可呈現之所有實施例。實際上，本發明的多種實施例可以多種形式實施，本發明欲保護之範圍並非限縮於本文所述的實施例之態樣。本文所述之實施例係用以滿足揭露內容之法律規定。

【0020】 本文發明內容及申請專利範圍所述的單數量詞「一」和「該」的含意亦包括多個，除非明確指出只能是單一個。舉例而言，「一閘極結構」的含意包括複數個此閘極結構。

【0021】 除非特別指出，否則本文發明內容及申請專利範圍所述的所有用來表示成分的量、反應條件...等的數字均可以經由「約」之用語而調整。因此，除非特別相對地指明，否則本文發明內容及申請專利範圍所述的數值參數均係為概略值、且可以根據本揭露標的所欲達到的特性而調整改變。

【0022】 本文所述的用語「約」，係指一個數值或質量、重量、時間、體積、濃度或百分比的一個數量可包括一個從指定的數值可變異的範圍，而此可變異的範圍係適合於實施本揭露方法。一些實施例中，此可變異範圍可以是 $\pm 20\%$ 。一些實施例中，此可變異範圍可以是 $\pm 10\%$ 。一些實施例中，此可變異範圍可以是 $\pm 5\%$ 。一些實施例中，此可變異範圍可以是 $\pm 1\%$ 。一些實施例中，此可變異範圍可以是 $\pm 0.5\%$ 。一些實施例中，此可變異範圍可以是 $\pm 0.1\%$ 。

【0023】 雖然本文係使用特定的用語，然此些用語係以共通性且敘述性方式採用，而非用以限制本發明。所有的用於本文的

用語，包括技術性或科學性用語，除非於本文中另有特定定義，均具有本發明所述技術領域具有通常知識者所共同理解的含意。更進一步，於一般常用字典中具有定義的用語，均係詮釋為具有本發明所述技術領域具有通常知識者所共同理解的含意。更進一步，於一般常用字典中具有定義的用語，其含意均係詮釋為與相關技術領域及本揭露內容所載文字內容所具有之含意相同。此些通用的用語，除非本揭露內容明確定義為其他含意，否則不會被解釋為理想化的或過度正式的含意。

【0024】 在半導體業界，降低製作半導體裝置的成本之需求仍持續性地增高，例如是非揮發性記憶裝置。市場需求更小且更便宜的裝置。在製作傳統的半導體裝置時，陣列及周邊區是以分開的光罩進行圖案化。分別的多個製程步驟增加製程的複雜度及成本。

【0025】 在相關領域中仍持續需要替代的記憶裝置結構及其製作方法以容許成本及複雜度的降低。

【0026】 本發明的發明人已發現可以經由形成本文所述的裝置的布局，陣列及周邊區的圖案化便可以整合。如此製作的半導體裝置之成本可降低且效率可提升。採用本文所述的製程步驟，陣列及周邊區的圖案化可以結合並且提供一個適合的半導體裝置。

【0027】 非揮發記憶體係指即使電力供應自記憶體移除、仍可以儲存資訊的半導體裝置。非揮發記憶體包括但不限定遮罩唯讀記憶體(Mask Read-Only Memory)、可程式化唯讀記憶體(Programmable Read-Only Memory)、可抹除可程式化唯讀記憶體

(Erasable Programmable Read-Only Memory)、電性可抹除可程式化唯讀記憶體(Electrically Erasable Programmable Read-Only Memory)、以及快閃記憶體(Flash Memory)，例如是 NAND 裝置和 NOR 裝置。

【0028】 本文所述的「陣列圖案(array pattern)」係指在半導體裝置的中心區(central region)或陣列區(array region)中形成的圖案。在一個完全形成的積體電路中，「陣列區」係典型地高密度地分佈有多個導線和多個可能包括電晶體和電容的電子裝置。電子裝置可形成複數個記憶單元、此些記憶單元典型地配置成一個格狀圖案於多個字元線和多個位元線的多個交叉點。

【0029】 本文所述的「周邊圖案(“periphery pattern” or “peripheral pattern”)」係指在半導體裝置的周邊區中形成的圖案。「周邊區(periphery region)」是環繞陣列區的區域。周邊區典型地包括多個元件，此些元件支援例如是陣列區中的記憶單元之操作。

【0030】 本文所述的「間距(space)」係指裝置中缺了一個層或多個層而形成於裝置的剖面中的一個缺口(void)。舉例而言，第 1A 圖中，多個間距形成於多個字元線和多個墊之間。

【0031】 本文所述的「墊圖案(pad pattern)」係指形成於半導體裝置上用以設置一個或多個墊的圖案。當後續的步驟進行後，一個或多個墊可以形成於墊圖案中。本文所述的「字元線圖案」係指形成於半導體裝置上用以設置一個或多個字元線的圖案。當後續的步驟進行後，一個或多個字元線可以形成於字元線圖案中。

【0032】 本文所述的「邊界區域(boundary area)」係指環繞一個字元線和一個墊的連接點(connection point)之區域。「連接點」係指一個字元線與一個墊接觸的位置。連接至字元線墊的字元線係指「連接字元線(connecting word line)」。本發明之發明人已發現於一些實施例中，經由形成墊和連接字元線的特定布局，陣列和周邊區的圖案化可以整合。當形成此布局，可以蝕刻邊界區域使得進一步的製程更容易。邊界區域的蝕刻可以在各別的字元線或墊形成之前進行，以使得字元線和或墊可以形成。蝕刻邊界區域可以產生一個圖案，例如是一個半圓或鐘擺形(pendulum)，而可以在後續用於圖案化半導體裝置的欲得到的最終結構或布局。在第 1A~1C 圖中的相鄰的墊之間的區域可以見到鐘擺形。

【0033】 第 1A~1C 圖繪示根據本發明之一些實施例之一種半導體裝置的一些部分的示意圖，其中此半導體裝置包括一預定的電路布局。第 1A 圖係半導體裝置在陣列區和周邊區的剖面圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示。陣列和周邊區的連接處係由 Y2 軸線表示。X1 軸線跨過兩個相鄰的墊。如第 1A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 1B 圖所示，第 1C 圖係兩個相鄰字元線墊的放大圖。

【0034】 如第 1A 圖所示，本實施例之半導體裝置包括一基板 110 和一膜堆疊 120。膜堆疊 120 已經蝕刻以形成預定的元件於半導體裝置的各個陣列和周邊區中。一些實施例中，膜堆疊可

包括一氧化物硬遮罩、一控制閘極、一多晶矽間介電層(interpoly dielectric layer)、一浮接閘極以及一穿隧氧化層。膜堆疊可包括以任何適合順序配置的任何適合的膜層。舉例而言，一些實施例中，膜堆疊可包括多種膜層作為埋擴散氧化層(buried diffusion oxide layer)、穿隧氧化層、浮接閘極、控制閘極、高密度電漿或上述任意組合。一些實施例中，一淺溝槽隔離(shallow trench isolation, STI)結構可以形成於基板中。一般而言，淺溝槽隔離(STI)係以多個側壁和一個底部來定義且包括介電材料，例如是氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiO_xN_y)或上述之任意組合。

【0035】 基板可以包括任何下伏(underlying)材料或一裝置、一電路、一磊晶層、或一半導體可形成於其上的材料。一般而言，一個基板可以用來定義一個半導體裝置的一個或多個下伏層、或者可形成一個半導體裝置的基底層。基板可包括矽、摻雜矽、鍺、矽化鍺、半導體化合物、或任何半導體材料、或上述之任意組合，但不限於此。

【0036】 膜堆疊的多個介電層可以包括任何適合的介電材料，例如是氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiO_xN_y)或上述之任意組合。舉例而言，氧化物硬遮罩、多晶矽間介電層和穿隧氧化層可包括氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiO_xN_y)或上述之任意組合。一些特定實施例中，一個或多個介電層可包括一氧氮氧(ONO)層。一個或多個介電層可以經由任何適合的沈積製程形成，例如是化學氣相沈積(CVD)或旋塗介電製程(spin-on dielectric processing)。一些特定實施例中，一個或多個介電層可以成長於基板上。

【0037】 一些實施例中，多個導電層可包括多晶矽。舉例而言，控制閘極和浮接閘極可包括多晶矽。一個或多個導電層可以經由任何適合的製程形成，例如是化學氣相沈積(CVD)或旋塗製程(spin coating)。

【0038】 如第 1B 圖所示的實施例中，半導體裝置包括多個墊 210、多個字元線 220 以及多個電晶體 230。第 1C 圖係兩個相鄰字元線墊 310 的放大圖。

【0039】 如第 1C 圖所示，兩個相鄰的字元線墊 310 之間可具有一間距。本發明的一些特定實施例中，例如如第 1C 圖所示，相鄰的墊之間の間距可具有一個以 a 表示的寬度。舉例而言，第 1C 圖繪示寬度 a 的一個實施例。一些特定實施例中，相鄰的墊之間の間距亦可具有一個以 b 表示的寬度。舉例而言，第 1C 圖繪示寬度 b 的一個實施例。一些實施例中，一個字元線墊可以具有一第一寬度和一第二寬度，第一寬度相對於一連接字元線，第二寬度相鄰於此連接字元線。舉例而言，如第 1C 圖所示，第一寬度相對於連接字元線且以 a 表示，第二寬度相鄰於連接字元線且以 b 表示。一些特定實施例中，相對於字元線的第一寬度可以小於相鄰於字元線的第二寬度。一些實施例中，相鄰於字元線的第二寬度可以是大約 1.5~3.0 倍大於相對於字元線的第一寬度。舉例而言，第二寬度可以是大約 1.6、1.7、1.8、1.9、2.0、2.1、2.2、2.3、2.4、2.5、2.6、2.7、2.8 或 2.9 倍大於相對於字元線的第一寬度。。

【0040】 如第 1 圖所示，相鄰的墊之間の間距具有兩個寬度，一個寬度 a 和一個寬度 b ，其中寬度 b 等同於 1.5~3.0 倍的寬

度 a。本發明的一些實施例中，超過一組的墊之間有具有兩個寬度的間距，其中相對於連接字元線的第一寬度小於相鄰於連接字元線的第二寬度。舉例而言，多個相鄰的墊可具有以上所述的具有兩個寬度的間距，且其中一個寬度小於第二個寬度。此些多個相鄰的墊之間可有具有兩個寬度的間距，且其中相鄰於連接字元線的第二寬度大約是 1.5~3.0 倍的相對於連接字元線的第一寬度。如第 1A~1C 圖所示，相鄰的字元線墊可以彼此互為鏡像 (mirror images)。也就是說，沿著兩個墊之間的軸線，此兩個墊互為彼此的鏡像或反射，此兩個墊的尺寸可以是相同的。舉例而言，形成於兩個墊之間間距可以具有鐘擺形的形狀而使得相鄰的墊互為鏡像。一些實施例中，橫跨 Y2 軸線的字元線墊為鏡像。第 1B 圖繪示橫跨 Y2 軸線的字元線墊為鏡像之實施例。

【0041】 本發明的一些特定實施例中，一個半導體裝置可以由一個包括一基板和一膜堆疊的結構所形成。如第 2 圖所示的實施例中，此結構包括一矽基板 110、一字元線膜堆疊 120、一第一硬遮罩層 130、一第二硬遮罩層 140 和一進階圖案化膜芯部材料 (advanced patterning film (APF) core material) 150。第 2 圖提供各個層的特定材料類型，然而本發明並非限於此，而可以使用任何適合的材料。舉例而言，基板可以包括如前所述的材料(例如矽、矽、摻雜矽、鍺、矽化鍺、半導體化合物、或任何半導體材料)。膜堆疊可以是最終結構所需的任何膜堆疊且可以經由任何適合的製程沿著基板形成。膜堆疊的例子已如上所述。

【0042】 一些特定實施例中，一個或多個硬遮罩層可以形成於膜堆疊上。此一個或多個硬遮罩層可以由任何適合的材料組成

以允許自對準圖案化(self-aligned patterning)。舉例而言，硬遮罩層可以由氮化矽、多晶矽、其他硬遮罩層、或上述之任意組合所組成。如第 2 圖所示的實施例繪示兩個硬遮罩層，第一硬遮罩層 130 和第二硬遮罩層 140。此實施例中，第一硬遮罩層 130 包括多晶矽，第二硬遮罩層 140 包括氮化矽。硬遮罩層可以經由任何適合的製程形成。

【0043】 一些實施例中，一第一芯部材料可以形成於此一個或多個硬遮罩層上。芯部材料可以是任何適合用來圖案化的材料，例如是 APF、多晶矽、任何適合用來自對準二重圖案化的材料、或上述之任意組合。

【0044】 第 2A 圖繪示半導體裝置於陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一整圖案。如第 2A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 2B 圖所示，第 2C 圖可形成係相鄰字元線墊之位置的放大圖。

【0045】 第 2A~2C 圖繪示根據本發明之一些實施例施加一光阻後的一種半導體裝置的示意圖。此光阻可以是任何可圖案化下伏芯部材料的適合的光阻。一些特定實施例中，可以形成一圖案化芯部層。一些實施例中，為了形成圖案化芯部層，可以施加一光阻至裝置並搭配一單一光罩而在陣列和周邊區中的芯部材料上方形成一圖案。如第 2A 圖所示，一些特定實施例中，可以

施加光阻 160(PR)以形成芯部材料之上的一圖案。一些特定實施例中，可以施加光阻以形成至少一個具有特定尺寸的墊圖案，例如是如第 2C 圖所示。舉例而言，一些特定實施例中，可以使一墊圖案連接至墊圖案中間的一字元線圖案。一些實施例中，字元線圖案可以連接至墊圖案上與兩個邊緣的距離相等的墊圖案的一點。舉例而言，第 2C 圖繪示字元線圖案連接至墊圖案並連接於墊圖案的中間，使得此連接點至任一邊緣的距離 A 均相等 ($A=A$)。

【0046】 一些特定實施例中，可形成具有特定尺寸的一字元線。一些實施例中，字元線圖案可具有一寬度 D1。舉例而言，字元線圖案可具有一寬度約為 5~50 奈米，例如是約 10~40 奈米，或是約 10~30 奈米。第 2C 圖係呈現字元線圖案具有大約為 10~300 奈米的一寬度 D1 的一實施例。

【0047】 一些實施例中，可形成具有一特定寬度的一個墊。舉例而言，墊圖案可以具有一寬度 D2 大於約 200 奈米，例如是大於約 400 奈米，或是大於約 600 奈米。第 2C 圖係呈現墊圖案具有大於約 600 奈米的一寬度 D2 之一實施例。

【0048】 可以使用此光阻蝕刻裝置。第 3A~3C 圖繪示根據本發明之一些實施例蝕刻裝置中的一圖案化芯部層後的一種半導體裝置的示意圖。第 3A 圖繪示半導體裝置的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 3A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad

connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 3B 圖所示,第 3C 圖係可形成相鄰字元線墊之位置的放大圖。

【0049】 第 3A~3C 圖繪示蝕刻芯部材料以提供一圖案於基板上。光阻可以保護芯部材料的特定預定區域不受到蝕刻的影響,例如是形成一圖案之蝕刻。可以使用任何適合的製程蝕刻採用的芯部材料,並且可以經由任何已知的製程移除光阻,以留下具有預定圖案的芯部材料。如第 3A~3C 圖所示的實施例中,芯部材料 150 留在下伏(underlying)的硬遮罩層少而形成至少一個墊圖案,且此墊圖案具有大於大約 600 奈米的一寬度,並具有寬度約為 10~30 奈米的一連接字元線圖案。墊圖案的寬度可以是大於約 200 奈米,大於約 400 奈米,或是大於約 600 奈米。連接字元線圖案的寬度可以是大約 5~500 奈米,例如是大約 10~40 奈米,或是大約 10~30 奈米。

【0050】 一些實施例中,可以沿圖案化芯部層的多個側壁形成多個間隔物。第 4A~4C 圖繪示根據本發明之一些實施例沿裝置中的圖案化芯部層(150)的側壁形成間隔物 170 後的一種半導體裝置的示意圖。第 4A 圖繪示半導體裝置於陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示,周邊的剖面係由 X1 軸線表示,陣列和周邊區的連接處係由 Y2 軸線表示,X1 軸線跨過一墊圖案。如第 4A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 4B 圖所示,第 4C 圖係

可形成相鄰字元線墊之位置的放大圖。

【0051】 一些特定實施例中，間隔物的材料可以沈積於或形成於半導體裝置上。間隔物的材料可以沿著半導體裝置的表面沈積、且經過一部分蝕刻後形成間隔物，例如是如第 4A 圖所示的間隔物 170，間隔物沿著圖案化芯部材料的側壁沈積，例如是如第 4A 圖所示的圖案化芯部材料 150。間隔物之間可以形成溝槽或開口區。

【0052】 一些特定實施例中，間隔物的材料可包括任何可以在自對準圖案化(self-aligned patterning)製程中形成間隔物的適合的材料。舉例而言，一些實施例中，低溫氧化物可以沈積於裝置上、並且被蝕刻以沿著圖案化芯部的側壁形成間隔物。在如第 4A~4C 圖所示的實施例中，間隔物 170 包括低溫氧化物。一些特定實施例中，間隔物可以形成以具有一預定厚度，此厚度可以表示為如第 4C 圖所示的 D3。間隔物的材料可以具有任何適合的厚度，例如是 5~50 奈米，10~40 奈米，或約 10~30 奈米寬。如第 4C 圖所示，一些特定實施例中，間隔物的材料可形成間隔物，間隔物沿著圖案化芯部材料可具有寬度約 10~30 奈米。

【0053】 一些實施例中，可以沿裝置移除一第二硬遮罩層。第 5A~5B 圖繪示蝕刻第二硬遮罩層 140 後的一種半導體裝置的示意圖。第 5A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一整圖案。如第 5A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad

connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 5B 圖所示。

【0054】 本發明的一些特定實施例中，可以沿著未覆蓋的區域蝕刻第二硬遮罩層，也就是指未被間隔物和芯部材料所覆蓋的區域。在如第 5A~5B 圖所示之實施例中，第二硬遮罩層 140 包括氮化矽，且第二硬遮罩層 140 未被間隔物 170 和 APF 芯部材料 150 所覆蓋的區域係被蝕刻。可以經由任何適合的製程蝕刻或移除硬遮罩層，只要可以移除第二硬遮罩層時能讓第一硬遮罩層仍留在基板上。

【0055】 一些實施例中，可以經由蝕刻一第二硬遮罩層將圖案化芯部層從半導體裝置移除。第 6A~6B 圖繪示根據本發明之一些實施例將圖案化芯部層從半導體裝置移除後的一種半導體裝置的示意圖。第 6A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 6A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 6B 圖所示。

【0056】 可以使用任何適合的製程移除圖案化芯部層，例如是乾式或濕式剝除，而留下沿基板設置的間隔物。如第 6A 圖所示，芯部材料 150 的移除提供了間隔物 170 之間及第二硬遮罩層 140 之上的開放空間。

【0057】 本發明的一些特定實施例中，可以移除第二硬遮罩

層的一些部分。第 7A~7C 圖繪示根據本發明之一些實施例移除第二硬遮罩層的一些部分後的一種半導體裝置的示意圖。第 7A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 7A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 7B 圖所示，第 7C 圖係可形成相鄰的墊之位置的放大圖。

【0058】 一些特定實施例中，第二硬遮罩層的僅部分區域可以被蝕刻。一些特定實施例中，移除第二硬遮罩層的多個部分之前，可以負載(load)一聚合物至裝置上。在一些特定區域中，例如是小而窄的區域，則負載較少的聚合物；而在其他區域中，例如是大而開放的區域，則堆積較多聚合物於其中。後續的蝕刻步驟可以移除位於具有較少聚合物之區域中的硬遮罩層材料，而留下具有較多聚合物之區域中的硬遮罩層材料。舉例而言，如第 7A~7C 圖所示，間隔物 170 之間的窄間距中的第二硬遮罩材料(140)可以被移除(如第 7A 圖所示的於 Y1 軸線之剖面的「字元線」區域)，而間隔物 170 之間的較寬區域中的第二硬遮罩材料(140)可以被留下(如第 7A 圖所示的於 X1 軸線之剖面的「字元線墊」區域)。此種不同的移除量可以歸因為聚合物的負載效應(loading effect)。舉例而言，一些特定實施例中，由於較多聚合物負載於較大的區域，當位於較分散排列的間隔物之間的第二硬遮罩材料

可能被保留，位於較密排列的間隔物之間的第二硬遮罩材料則可能被移除。當越多聚合物負載於較分散排列的間隔物之間，例如是周邊區，則在後續的蝕刻製程中，此些較分散排列的間隔物之間的第二硬遮罩材料則可能不會被移除。當越少聚合物負載於較密排列的間隔物之間，例如是陣列區，則在後續的蝕刻製程中，此些較密排列的間隔物之間的第二硬遮罩材料則可能會被移除。

【0059】 因此，一些特定實施例中，較小區域中的第二硬遮罩可能會被移除，而較大區域中的第一芯部材料則較不會被移除。如第 7A 圖和第 7B 圖所示，字元線圖案中，彼此較靠近設置的間隔物 170 之間的第二硬遮罩材料(140)係被移除。並且，如第 7A 圖和第 7B 圖所示，沿 X1 軸線的間隔物 170 之間的第二硬遮罩材料(130)未被移除。較多聚合物沈積在間隔物之間的此大區域中以防止第二硬遮罩層被蝕刻。

【0060】 一些實施例中，較小或窄的區域可能與較大而開放的區域接觸。舉例而言，沿著 Y2 軸線，一部份的第二硬遮罩層係被移除，而一部份的第二硬遮罩留在基板上。Y2 軸線係位於沿連接字元線圖案至墊圖案的入口。不限於此，由於字元線圖案的小區域和墊圖案的大區域之連接，墊圖案上的第二硬遮罩層的一些部分可以被移除。如前所述，這個連接字元線至墊的區域可以係指前述的邊界區域(boundary area)。

【0061】 一些特定實施例中，邊界區域中的第二硬遮罩層之移除可以形成一圖案。舉例而言，如第 7C 圖所示，負載效應可以在墊圖案中產生一圖案。此圖案可以是任意形狀，例如是半圓或鐘擺形，如第 7C 圖所示。一些其他實施例中，負載效應可視

元件的結構而產生一不同形狀。一些實施例中，此形狀可具有一尺寸，例如是如第 7C 圖所示的半徑 R 。一些特定實施例中，此尺寸可以是約 50~500 奈米，例如是約 100~400 奈米，或約 200~300 奈米。舉例而言，在於第 7C 圖所示的實施例中，墊圖案中可形成一個半圓，此半圓具有一半徑約為 200~300 奈米。

【0062】 一些特定實施例中，可以形成一邊界圈(boundary circle)，邊界圈具有一半徑大約為 200~300 奈米，而允許膜堆疊的後續蝕刻步驟。具有較大半徑的鐘擺形，墊圖案對於後續的蝕刻可具有較大的製程窗口。不限於此，經由在邊界區域中製作鐘擺形或其他形狀時並提供較大的製程窗口，後續之墊圖案中的多個各別的墊的時刻製程則可以較容易。一些特定實施例中，可以操作第二硬遮罩材料的蝕刻製程以變化邊界區域中最終形成的圖案。當進行蝕刻時，可以使用多種蝕刻氣體，例如是二氟甲烷(CH_2F_2)、八氟環丁烷(C_4F_8)、六氟丁二烯(C_4F_6)、全氟環戊烯(C_5F_8)、氟甲烷(CH_3F)、三氟甲烷(CHF_3)及上述之任意組合，並且採用多種氣體流速，例如是 10~100sccm。經由調整蝕刻氣體的組成和氣體流速，可以在邊界區域中形成預定的圖案，例如是具有半徑約為 200~300 奈米的半圓。

【0063】 第 7D 圖係移除第二硬遮罩層的一些部分後的一種半導體裝置的陣列和周邊區的外型輪廓。如第 7D 圖所示，周邊區中的間隔物之間的區域中的第二硬遮罩層並未被移除。如第 7D 圖所示，陣列區中的間隔物之間的區域中的第二硬遮罩層被移除。

【0064】 一些實施例中，可以蝕刻第二硬遮罩層以提供用於

後續蝕刻膜堆疊的一圖案。第 8A~8C 圖繪示根據本發明之一些實施例蝕刻第一硬遮罩層後的一種半導體裝置的示意圖。第 8A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 8A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 12B 圖所示，第 12C 圖係可形成相鄰的字元線墊之位置的放大圖。

【0065】 如第 8A~8C 圖所示，未被第二硬遮罩層 140 所覆蓋的第一硬遮罩層 130 的一些區域可以被移除，而留下一圖案於基板上，用於膜堆疊 120 的後續蝕刻步驟。當第二硬遮罩層的一些特定的區域由於聚合物的負載效應而被從墊圖案移除，經由此移除所形成的形狀可以被轉移至第一硬遮罩層之上。如第 8C 圖所示的係一種圖案。如第 8B~8C 圖所示的半圓的半徑大約是 200~300 奈米。由於前一個步驟的聚合物負載效應而形成於墊圖案上的半圓或任何其他形狀的半徑或尺寸並不限定，只要可以形成後續的膜堆疊之蝕刻的製程窗口即可。本發明的發明人已發現約 200~300 奈米之之半徑便足以為後續的膜堆疊之蝕刻提供足夠大的製程窗口。

【0066】 一些特定實施例中，可以蝕刻膜堆疊以形成裝置之預定的結構。第 9A~9B 圖繪示根據本發明之一些實施例蝕刻膜堆疊後的一種半導體裝置的示意圖。第 9A 圖繪示半導體裝置於預

定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 9A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 9B 圖所示。

【0067】 根據由第一硬遮罩層所形成的圖案，可以蝕刻膜堆疊以定義陣列區和周邊區。如第 9B 圖所示，字元線和字元線墊可以經由陣列和周邊區中的蝕刻製程而定義。

【0068】 膜堆疊可以經由任何適合的製程蝕刻以形成預定的結構。一些特定實施例中，移除第二硬遮罩層的一些部分後所形成的圖案可以被轉移至膜堆疊。舉例而言，如第 9B 圖所示，墊圖案中形成的圖案(例如是墊圖案中形成的多個半圓)可以被轉移到膜堆疊，而形成多個包括此圖案的墊。一些實施例中，例如是如第 9B 圖所示的實施例，膜堆疊可以被蝕刻以形成一個半圓於一個或多個墊中。一個或多個半圓可以具有任何適合的尺寸。舉例而言，一個或多個半圓可以具有一半徑約為 50~500 奈米，例如是約為 100~400 奈米，或是約為 200~300 奈米。

【0069】 一些實施例中，經由蝕刻膜堆疊而形成的多個墊可以連接至超過一個字元線。也就是說，一些實施例中，單一個墊可以連接至超過一個字元線。在此些實施例中，可以進一步蝕刻墊，而使得此墊僅連接至一個字元線。若一個墊連接至超過一個字元線，此字元線可能會短路而造成裝置的失效。一些實施例

中，一光阻可以施加在裝置上，使得連接至多個字元線的多個墊的一些部分可以暴露於後續的蝕刻步驟。此些未受到保護的部分可能被蝕刻而將多個墊分開，因而能提供一裝置，此裝置中的各個墊僅連接至單一個字元線。

【0070】 第 10A~10C 圖繪示根據本發明之一些實施施加一光阻於圖案化的膜堆疊之上後的一種半導體裝置的示意圖。第 10A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 10A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 10B 圖所示。第 10C 圖係可形成相鄰的字元墊之位置的放大圖。

【0071】 定義陣列和周邊區之後，可需要進一步蝕刻字元線墊以形成相鄰的多個墊。可以施加一個光阻於膜堆疊之上已分開相鄰的多個字元線墊。此光阻可以包括任何可以令未覆蓋的下伏區域在後續的蝕刻步驟中被移除的適合光阻。可以形成相鄰的多個字元線墊並具有一特定定義間距。舉例而言，如第 10C 圖所示，一光阻可以形成於圖案化的膜堆疊之上，以形成相鄰字元線墊之間的一間距具有一寬度，此寬度例如是寬度 a 。一些特定實施例中，較佳地可以使邊界區域中的蝕刻圖案的尺寸係為 1.5~3.0 倍的相鄰字元線間之間距(寬度 a)。不限於此，經由形成一圖案於邊界區域中、且此圖案大約為 1.5~3.0 倍的相鄰字元線間之距離的

寬度，可以製作出足夠尺寸的製程窗口，其係用於形成相鄰字元線墊的後續蝕刻步驟的製程窗口。此寬度可以是任何適合的寬度可用於分開墊並提供一裝置，此裝置中的各個墊僅連接至單一個字元線。

【0072】 第 11A~11B 圖繪示根據本發明之一些實施例進行蝕刻以形成相鄰的字元線墊後的一種半導體裝置的示意圖。第 11A 圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由 Y1 軸線表示，周邊的剖面係由 X1 軸線表示，陣列和周邊區的連接處係由 Y2 軸線表示，X1 軸線跨過一墊圖案。如第 11A 圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line, WL)、字元線墊連接處(word line pad connection, WL PAD)以及字元線墊(word line pad, WL PAD)。半導體裝置的各個剖面之位置的示意圖如第 11B 圖所示。

【0073】 如第 11A~11B 圖所示，經由施加一光阻於半導體裝置之留下的部分之上，需要被蝕刻以分隔開字元線墊的區域可以被蝕刻且移除。一些特定實施例中，預定的區域被蝕刻後且光阻移除後，如第 1A~1C 圖所示的半導體裝置係形成。

【0074】 第 12 圖繪示根據本發明之一些實施例在字元線墊中形成一半圓或一鐘擺形區域的示意圖。本發明之一些特定實施例中，墊圖案係形成而以墊圖案的中間連接至字元線圖案。如第 12 圖中的第一個圖所示，字元線圖案連接至位於墊的中間的字元線墊，使得連接點至墊圖案的端部之距離(A)在連接點的兩端均相同。不限於此，本發明之發明人已發現經由將連接點設置在字元線的中間，可見於第二硬遮罩層的蝕刻部分的負載效應會形成一

鐘擺形狀區域於墊圖案的邊界區域。如第 12 圖中的第 2 個圖所示，負載效應產生了一鐘擺形區域或一個半圓，係集中於字元線圖案連接至墊圖案的連接點。一些特定實施例中，如第 12 圖所示，鐘擺形或經由蝕刻第二硬遮罩層的負載效應形成的其他形狀可具有約 0.2 微米的半徑。邊界區域的此圖案之形成產生了一個大的重疊製程窗口(overlay window)，可用於將墊分隔來兩個分開的墊，使得每個墊具有單一個連接點以連接至一個字元線。邊界區域的此圖案之形成使得後續的膜堆疊的蝕刻製程更加容易。不限於此，本發明之發明人已發現經由使用前述的半導體裝置之布局以及用於形成此布局的製造方法，陣列和周邊區的圖案化可以合併，以提供更便宜且更有效率的形成適合的半導體裝置之製造方法。

【0075】 本發明的一方面係提供一種半導體裝置，係經由本文所述的半導體裝置之製造流程或方法所製作。一些其他特定實施例中，一種半導體裝置可以經由任意組合本文所述的多個方法步驟而製作。更進一步，任何本領域具有通常知識者所知的製程方法若對於本揭露內容所有助益，亦可以用於本發明之實施例之半導體裝置的製造方法。

【0076】 第 13~13B 圖繪示根據本發明之一些實施例之半導體裝置的製造方法的細部流程圖。一些特定實施例中，根據本發明之半導體裝置的製造方法可包括提供一基板之步驟 410 以及沿基板形成一膜堆疊之步驟 420。一些實施例中，此方法更可包括沿膜堆疊形成一第一硬遮罩層之步驟 430、沿第一硬遮罩層形成一第二硬遮罩層之步驟 440 以及沿第二硬遮罩層形成一芯部層之

步驟 450。此方法更包括圖案化此芯部層以形成一圖案化芯部層之步驟 460。一些實施例中，圖案化此芯部層以形成圖案化芯部層時，此方法更可包括沿基板的複數個選擇區域形成一第一光阻之步驟 470 以及蝕刻未被第一光阻覆蓋的芯部材料之步驟 480。一些實施例中，如第 13A 圖所示，根據本發明之半導體裝置的製造方法可包括沿圖案化芯部層的複數個側壁形成複數個芯部間隔物步驟 490。如第 13B 圖所示，此方法更可包括蝕刻第二硬遮罩層之步驟 500、移除圖案化芯部層之步驟 510 以及移除第二硬遮罩層的複數個部分之步驟 520。一些實施例中，此方法可包括蝕刻第一硬遮罩層之步驟 530 以及蝕刻膜堆疊之步驟 540。一些進一步的實施例中，此方法更可包括沿裝置的複數個選擇區域形成一第二光阻之步驟 550、蝕刻膜堆疊之步驟 560 以及移除第二光阻之步驟 570。本發明之方法可包括如第 13A~13B 圖所述的多個步驟之多種組合。

【0077】 本文所述的任何製程步驟、方法或技術均可用來完成本發明所請之方法的任意步驟。於方法中如前所概述的特定步驟本身可包括其他子步驟，而並未必須於此處特別指明。本領域中具有通常知識者均了解可以對於本揭露內容有所助益之進一步的多個步驟。

【0078】 本發明可以應用於製造任何記憶裝置。舉例而言，本發明之方法可以應用於製造任何非揮發性記憶裝置，例如是 NAND 快閃記憶裝置、NOR 快閃記憶裝置、邏輯裝置或任何其他可以使用自對準多重圖案化之裝置。

【0079】 綜上所述，雖然本發明已以各種實施例揭露如上，然其並非用以限定本發明。雖然前述之實施例說明某些特定的元件和/或功能之組合，本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。據此，舉例而言，除了前文詳述的元件和/或功能之組合，其他類型之組合應亦係為本發明之申請專利範圍所界定之保護範圍。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0080】

- 110：基板
- 120：膜堆疊
- 130：第一硬遮罩層
- 140：第二硬遮罩層
- 150：芯部材料
- 160、PR：光阻
- 170：間隔物
- 210：墊
- 220：字元線
- 230：電晶體
- 310：字元線墊
- 410~490、500~570：步驟
- a、b、D1、D2：寬度
- A：距離

D3：厚度

R：半徑

X1、Y1、Y2：軸線

申請專利範圍

1. 一種半導體裝置，包括：
 - 一基板，包含一陣列區及一周邊區；
 - 一第一字元線及一第二字元線自該陣列區延伸至該周邊區；
 - 一第一字元線墊(word line pad)，形成於該基板之該周邊區上，且與該第一字元線連接；以及
 - 一第二字元線墊，形成於該基板之該周邊區上，且與該第二字元線連接；

其中一間距(space)位於該第一字元線墊和該第二字元線墊之間，該間距包括一第一間距寬度和一第二間距寬度，該第一間距寬度係以 a 表示，該第二間距寬度係以 b 表示，其中該第一間距寬度 a 係小於該第二間距寬度 b 。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二間距寬度 b 相較於該第一間距寬度 a 位於距離該第一字元線和該第二字元線較近處。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二間距寬度 b 係為約 1.5~3.0 倍的該第一間距寬度 a 。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二間距寬度 b 係為約 1.5 倍的該第一間距寬度 a 。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二間距寬度 b 係為約 3.0 倍的該第一間距寬度 a 。

6. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一字元線墊包括一第一墊寬及一第二墊寬，該第一字元線墊的該第一墊寬與該第一字元線相鄰，該第一字元線墊的該第二墊寬相對於該第一字元線，該第一字元線墊的該第一墊寬不等同於該第一字元線墊的該第二墊寬。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中該第二字元線墊包括一第一寬度及一第二寬度，該第二字元線墊的該第一寬度與該第二字元線相鄰，該第二字元線墊的該第二寬度相對於該第二字元線，該第二字元線墊的該第一寬度小於該第二字元線墊的該第二寬度。

8. 如申請專利範圍第 1 項所述之半導體裝置，其中該間距包括一半圓。

9. 一種半導體裝置的製造方法，包括：

提供一基板，該基板包含一陣列區及一周邊區；

沿該基板形成一膜堆疊(film stack)；

形成一第一字元線及一第二字元線，該第一字元線及該第二字元線自該陣列區延伸至該周邊區；以及

蝕刻該膜堆疊以形成一第一字元線墊和一第二字元線墊於

該基板之該周邊區上，該第一字元線墊與該第一字元線連接，該第二字元線墊與該第二字元線連接，其中一間距(space)位於該第一字元線墊和該第二字元線墊之間，該間距包括一第一間距寬度和一第二間距寬度，該第一間距寬度係以 a 表示，該第二間距寬度係以 b 表示，其中該第一間距寬度 a 係小於該第二間距寬度 b 。

10. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中蝕刻該膜堆疊包括：蝕刻該第一字元線墊，其中該第一字元線墊具有一第一墊寬(pad width)及一第二墊寬，該第一墊寬與該第一字元線相鄰，該第二墊寬相對於該第一字元線，該第一墊寬不等同於該第二墊寬。

11. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該第二間距寬度 b 相較於該第一間距寬度 a 位於距離該第一字元線和該第二字元線較近處。

12. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該第二間距寬度 b 係為約 1.5~3.0 倍的該第一間距寬度 a 。

13. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該第二間距寬度 b 係為約 1.5 倍的該第一間距寬度 a 。

14. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該第二間距寬度 b 係為約 3.0 倍的該第一間距寬度 a 。

15. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該第二字元線墊包括一第一寬度及一第二寬度，該第二字元線墊的該第一寬度與該第二字元線相鄰，該第二字元線墊的該第二寬度相對於該第二字元線，該第二字元線墊的該第一寬度小於該第二字元線墊的該第二寬度。

16. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，其中該間距形成一半圓。

17. 如申請專利範圍第 9 項所述之半導體裝置的製造方法，更包括：

沿該膜堆疊形成一第一硬遮罩層；

沿該第一硬遮罩層形成一第二硬遮罩層；

沿該第二硬遮罩層形成一芯部層；

圖案化該芯部層以形成一圖案化芯部層；

沿該圖案化芯部層的複數個側壁形成複數個間隔物；

蝕刻該第二硬遮罩層；

移除該圖案化芯部層；

移除該第二硬遮罩層的複數個部分；以及

蝕刻該第一硬遮罩層。

18. 如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中移除該第二硬遮罩層的該些部分包括：

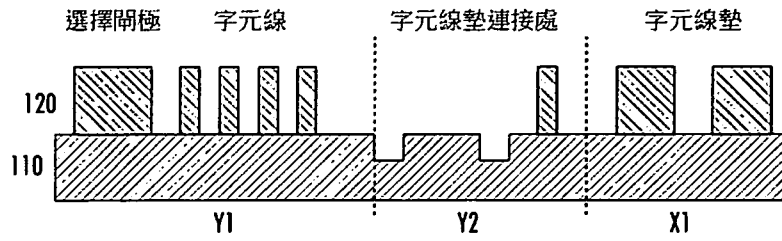
移除沿該膜堆疊的一墊圖案(pad pattern)中的一半圓(semicircle)中的該第二硬遮罩層。

19. 如申請專利範圍第 18 項所述之半導體裝置的製造方法，其中沿該膜堆疊的該墊圖案中的該半圓具有一半徑係為約 200~300 奈米。

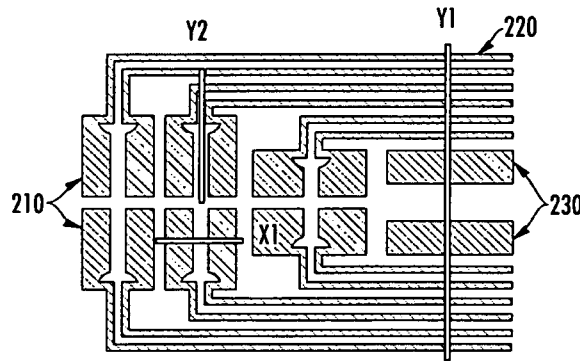
20. 如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中圖案化該芯部層以形成該圖案化芯部層包括：

形成一墊圖案和一字元線圖案，其中該墊圖案的一寬度係為大於約 600 奈米，該字元線圖案的一寬度係為約 10~30 奈米。

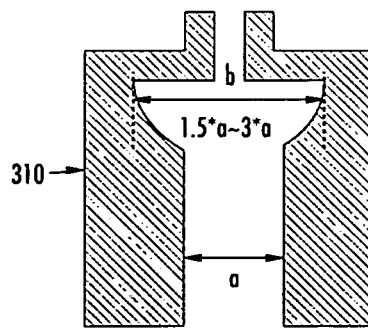
【發明圖式】



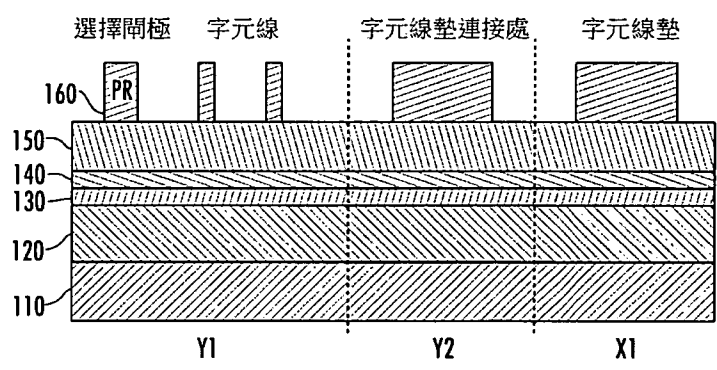
第 1A 圖



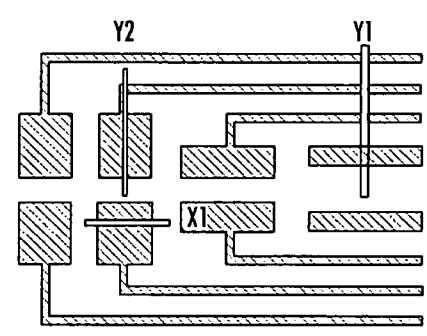
第 1B 圖



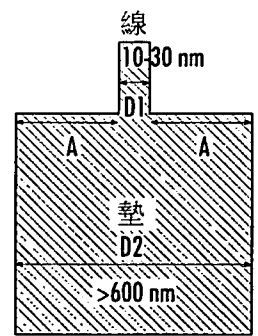
第 1C 圖



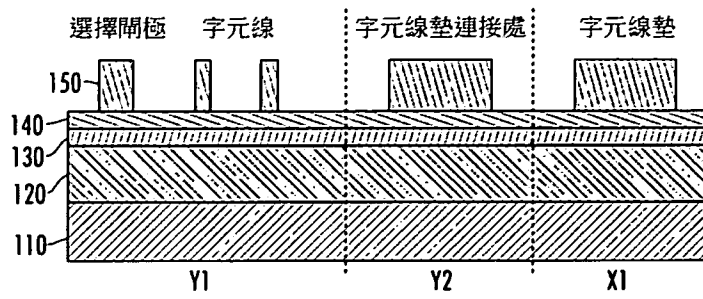
第2A圖



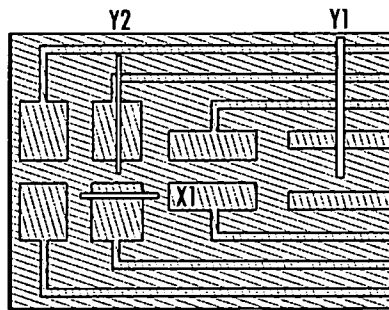
第2B圖



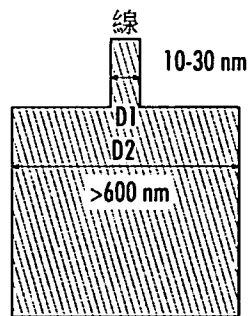
第2C圖



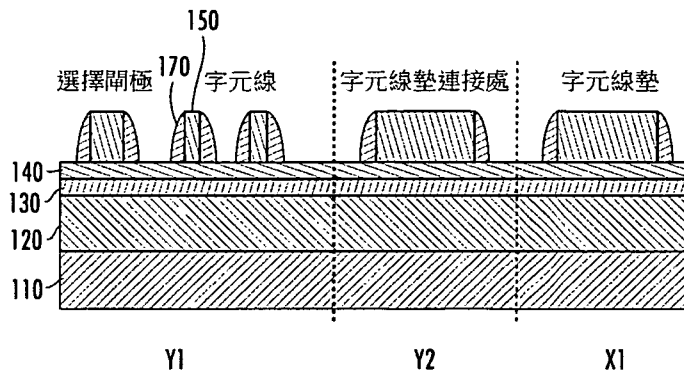
第 3A 圖



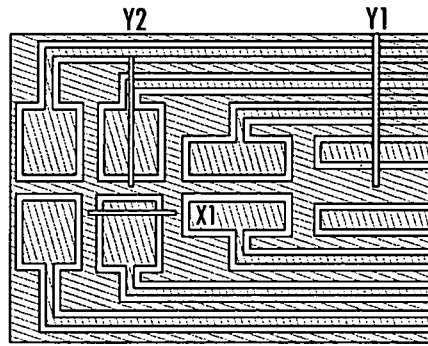
第 3B 圖



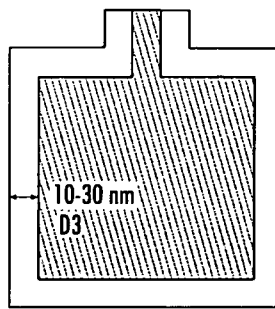
第 3C 圖



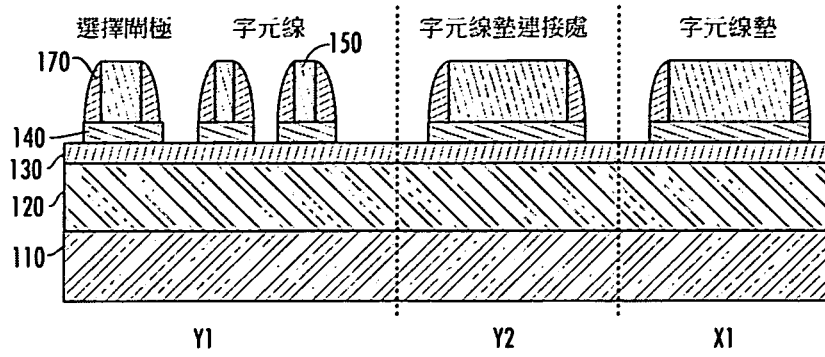
第 4A 圖



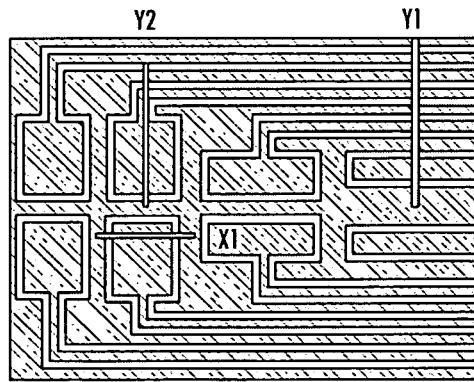
第 4B 圖



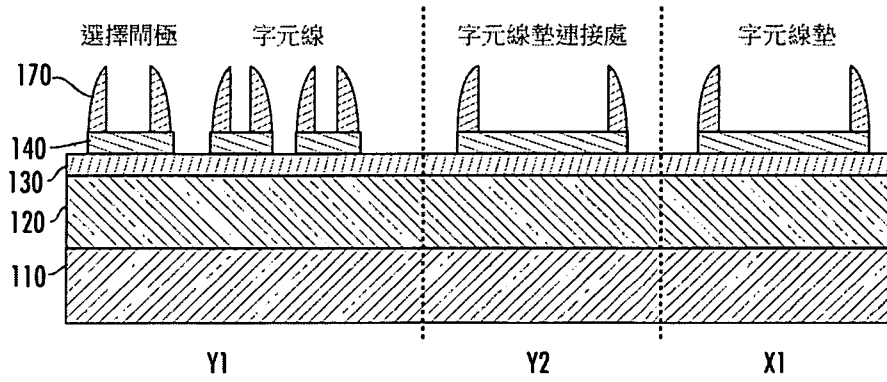
第 4C 圖



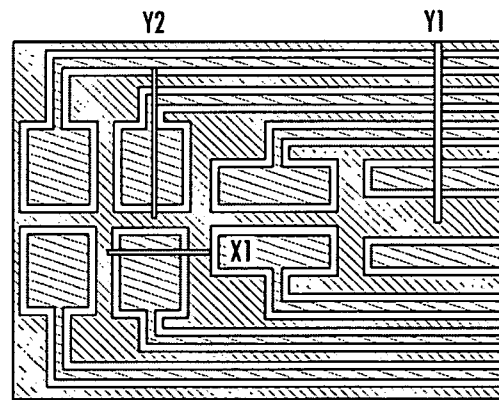
第 5A 圖



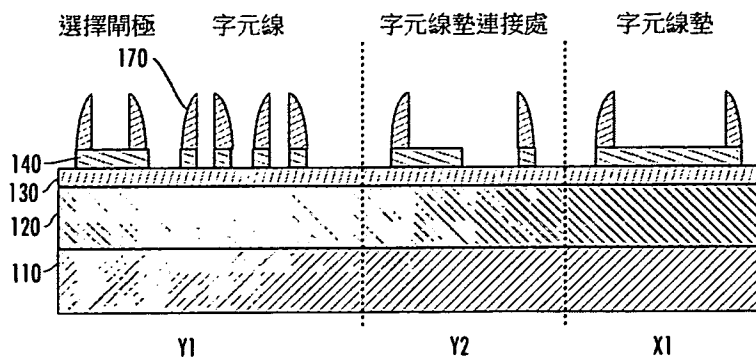
第 5B 圖



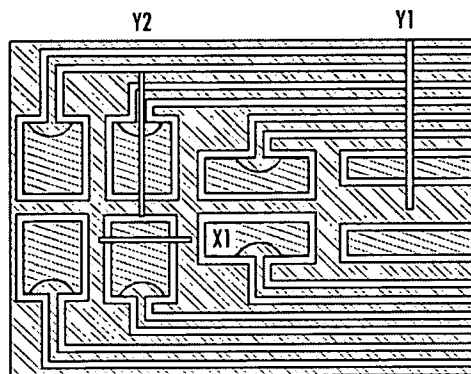
第6A圖



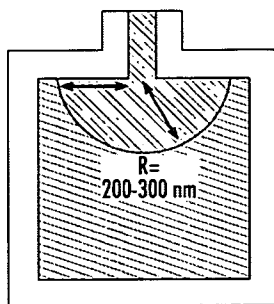
第6B圖



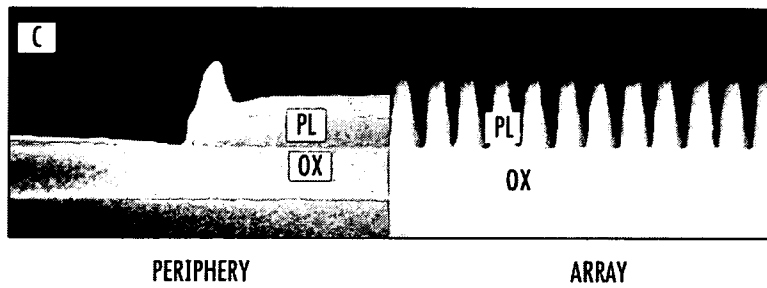
第 7A 圖



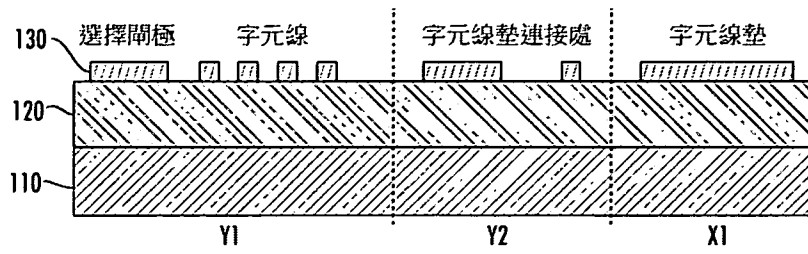
第 7B 圖



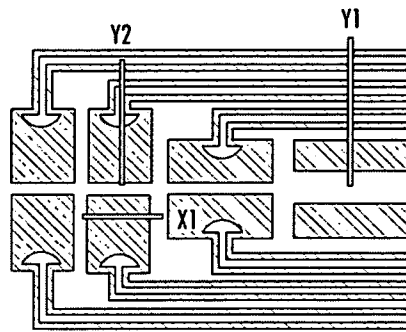
第 7C 圖



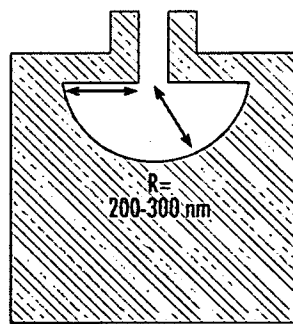
第 7D 圖



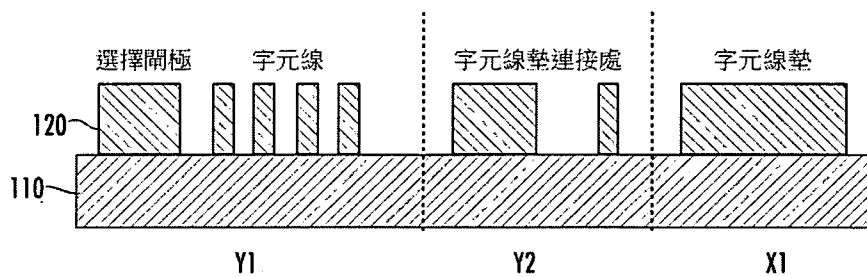
第 8A 圖



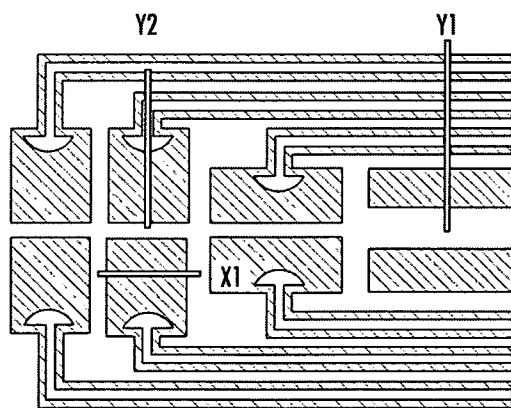
第 8B 圖



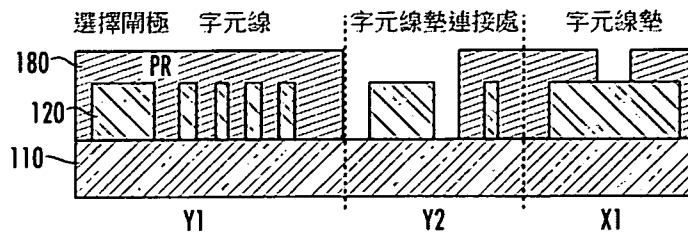
第 8C 圖



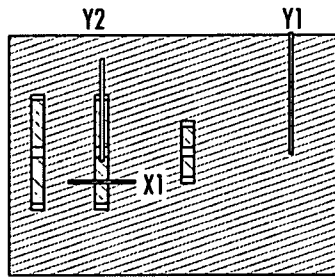
第 9A 圖



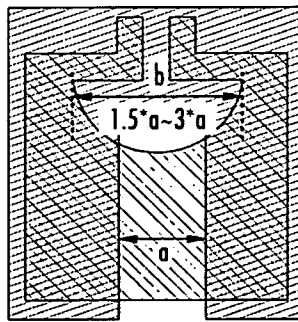
第 9B 圖



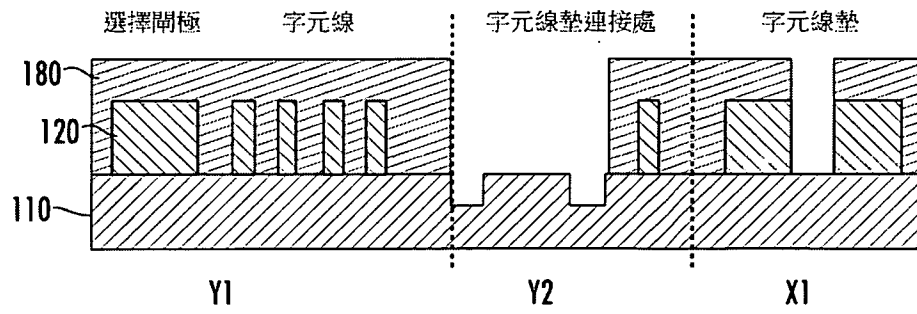
第 10A 圖



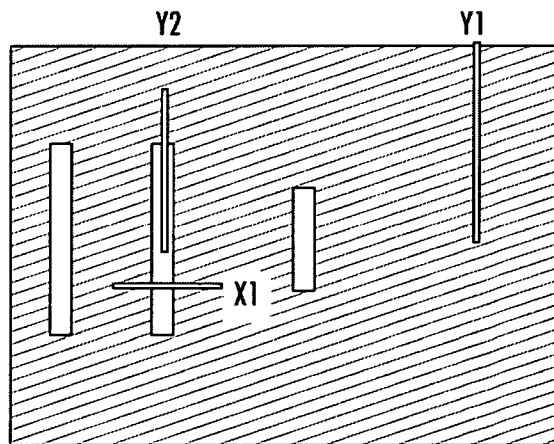
第 10B 圖



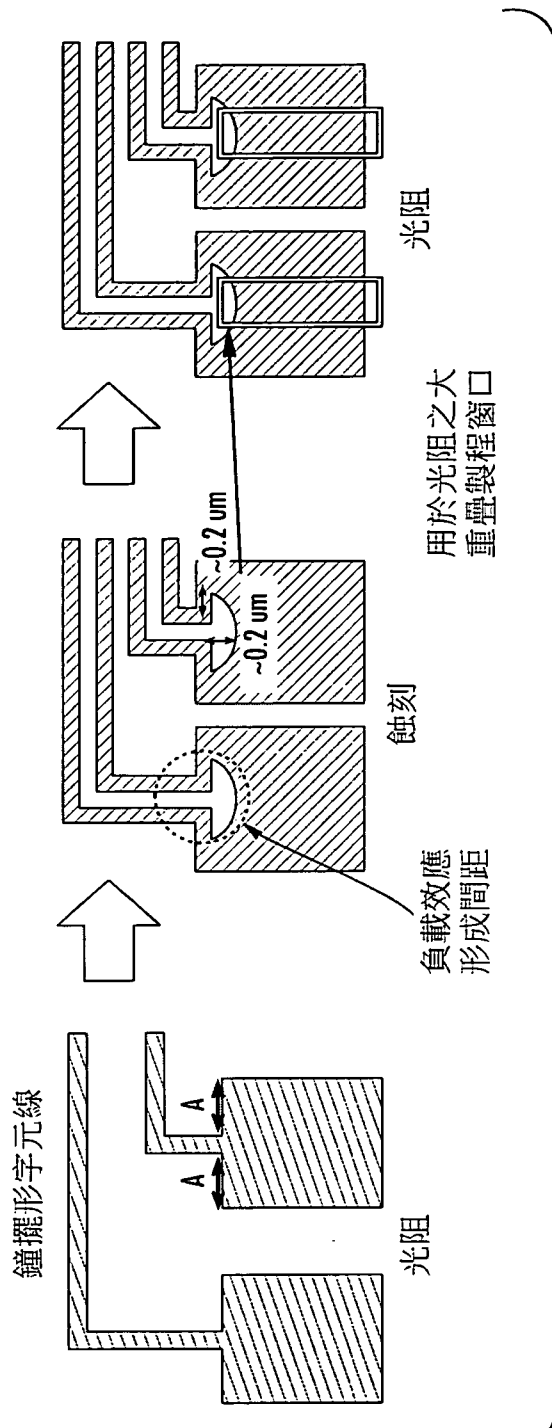
第 10C 圖



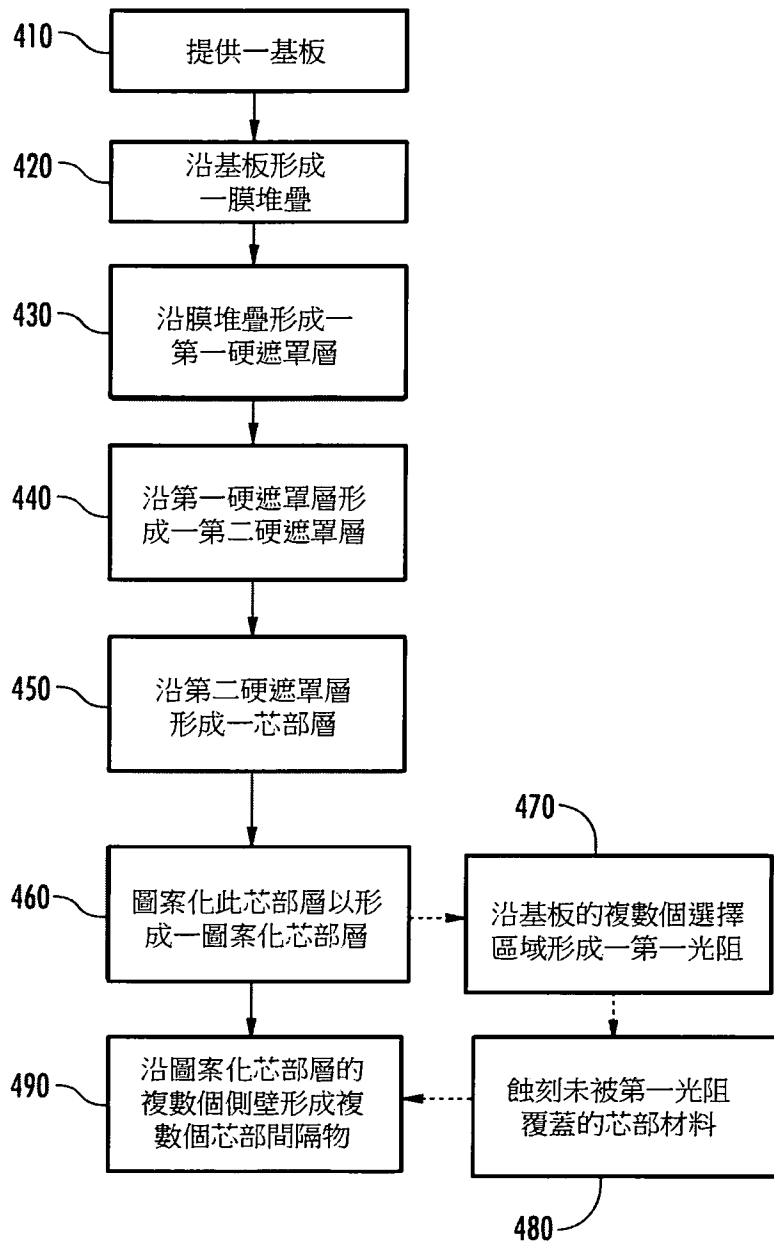
第 11A 圖



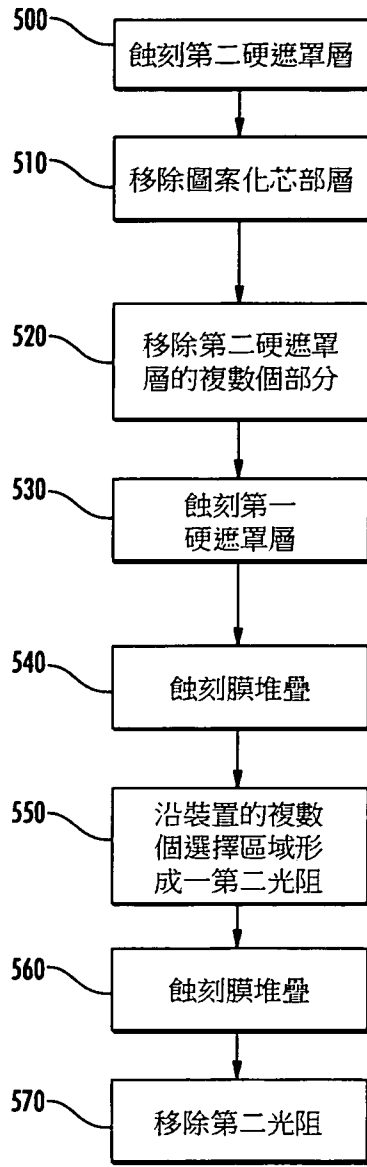
第 11B 圖



第12圖



第 13A 圖



第 13B 圖