(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 29/00

(45) 공고일자 2001년09월06일
(11) 등록번호 10-0301044
(24) 등록일자 2001년06월21일

(21) 출원번호 10-1998-0032892
(22) 출원일자 1998년08월13일

(65) 공개번호 특2000-0013810
(43) 공개일자 2000년03월06일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 조성규
경기도 수원시 팔달구 지동 260-27

(74) 대리인 권석흠
이영필

심사관 : 김세영

(54) 패키지하의내부신호제어가능반도체장치와테스트방법

요약

패키지 하의 내부 신호 및 전압에 대한 제어가 가능한 반도체 장치와 테스트 방법이 개시된다. 외부 연결 패드(32)는 패키지 상태에서의 외부 핀(31)과 전기적으로 연결되는 패드로서, 패키지 상태에서 외부 핀(31)으로 인가되는 테스트 신호(DQM)를 수신한다. 주신호 발생회로(33)는 노말 모드(normal mode)에서 외부 연결 패드(32)를 통하여 입력되는 테스트 신호(DQM)에 응답하여 구동되어, 주신호 (MASIG)를 발생한다. 기준 신호 발생 회로(34)는 기준 신호(PSE)를 발생한다. 기준 신호 발생 회로(34)는 패키지 상태에서의 테스트 모드에서는 외부 연결 패드(32)를 통하여 입력되는 테스트 신호(DQM)에 응답하여 기준 신호(PSE)를 제공한다.

대표도
도 4

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 반도체 메모리 장치를 나타내는 블락도이다.

도 2는 도 1의 메모리 블락의 하나의 칼럼에 대응하는 비트라인 쌍과 감지 증폭기 및 주변회로를 나타내는 도면으로서, 비트라인의 센싱 과정을 설명하기 위한 도면이다.

도 3은 도 2의 감지증폭기의 구동에 의하여 비트라인 쌍의 디벨로프(develope)를 나타내는 도면으로서, 메모리 셀에 " 하이" 데이터가 저장된 경우를 나타낸다.

도 4는 본 발명의 반도체 장치의 제1 실시예를 나타내는 도면이다.

도 5는 도 4의 기준 신호 발생 회로를 나타내는 도면이다.

도 6은 도 5의 예비 신호 발생부를 나타내는 도면이다.

도 7은 도 5의 내부 구동 신호 발생부를 나타내는 도면이다.

도 8은 도 4의 제어 신호 발생부를 나타내는 도면이다.

도 9는 도 4의 주회로를 나타내는 도면으로서, 테스트 동작시에 상기 테스트 신호(DQM)로 인한 영향을 배제한다.

도 10은 본 발명의 반도체 장치의 제2 실시예를 나타내는 도면으로서, 내부 전압을 사용하는 반도체 장치를 나타내는 도면이다.

도 11은 본 발명의 반도체 장치의 제3 실시예를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히 패키지 상태(package state)에서 외부 핀으로 직접 인출되는 패드를 이용하여 내부 신호 또는 전압의 검증이 가능한 구조를 가지는 반도체 장치 및 이를 이용한 테스트 방법에 관한 것이다.

반도체 장치의 신뢰성을 확보하기 위하여, 반도체 장치의 제조자들은 내부 회로에 대하여 여러 가지 테스트를 수행한다.

그 대표적인 것이 비트 라인 센싱 테스트(bit line sensing test)이다. 비트 라인 센싱의 과정은 디램(DRAM)과 같은 반도체 메모리 장치의 동작에는 가장 중요한 동작이다. 일반적인 디램에서의 비트 라인 센싱 과정을 살펴보면, 대략적으로 다음과 같다.

워드라인의 활성화에 의해 수행되는 차아지 세어링(charge sharing) 동작을 통하여 메모리 셀에 저장된 데이터가 비트라인에 전달된다. 그리고 메모리 셀의 데이터가 전달된 비트라인의 전압은 상보 비트라인의 프리차아지 전압에 대하여, 일정한 전압 차이를 가진다. 비트라인과 상보 비트라인 사이의 전압 차이는 비트라인 감지증폭기에 의하여 증폭됨으로써, 로직 " 하이(high)" 또는 로직 " 로우(low)" 의 값을 가진다.

이러한 감지증폭기의 동작시점은 반도체 장치의 동작 시점을 결정하는 중요한 요소가 된다. 그러므로 반도체 장치의 동작 특성을 향상시키기 위해서는, 감지증폭기의 동작 시점을 최적으로 조절하는 것이 필요하다.

따라서 대부분의 반도체 메모리 장치는 감지 증폭기의 동작 시점을 임의로 조절할 수 있는 센싱(sensing) 테스트 모드를 구비한다. 기존의 반도체 메모리 장치는 별도의 내부 패드를 내장하고, 센싱 테스트 모드에서 내부 패드에 감지증폭기의 구동을 지시하는 테스트 신호를 인가한다.

그리고 반도체 메모리 장치에 대한 다른 하나의 중요한 테스트 요소는 내부 전압 발생 회로들이 적절히 동작하는지 여부이다. 그러므로 내부 전압 발생 회로들에 대한 테스트가 테스트 초기 단계에서 수행된다.

반도체 장치에서 사용되는 내부 전압 발생 회로는 10여 종류가 사용된다. 10여 종류의 내부 전압을 테스트하기 위하여, 웨이퍼 상태의 반도체 장치는 내부 패드를 내장한다.

그러나 반도체 장치는 앞에서 언급한 감지증폭기 등의 내부 회로를 구동하기 위한 내부 패드나, 내부 전압을 검증 또는 인가하기 위하여 사용되는 내부 패드 모두를 패키지 상태에서 외부로 인출하는 것은 외부 핀 수의 제약 등으로 인하여 많은 어려움이 따른다. 그러므로 기존의 반도체 장치는 내부 회로들을 제어하기 위하여 신호를 인가, 내부 전압 발생 회로의 전압 레벨을 측정 또는 인가하기 위한 내부 패드는 패키지 상태에서 외부 핀으로 인출되지 않는다.

그런데, 반도체 장치의 동작 특성을 분석하기 위해서는 외부에서 감지증폭기 등의 구동을 제어하고, 내부 전압을 측정 또는 인가하는 것이 매우 중요함에도 불구하고, 기존의 반도체 장치는 일단 플라스틱 등으로 패키지(package)된 후에는 각 내부 회로들의 구동 시점이나 정확한 전압 값을 제어할 수 없는 문제점을 지닌다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 패키지 상태에서 외부로 인출되지 않는 패드를 사용하는 내부 회로의 구동이 가능한 반도체 장치 및 테스트 방법을 제공하는 것이다.

본 발명의 다른 목적은 패키지 상태에서 외부로 인출되지 않는 패드를 사용하는 내부 전압 발생 회로에 대하여 외부에서 전압의 인가 또는 검증이 가능한 반도체 장치 및 테스트 방법을 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 발명이 이루고자하는 기술적 과제를 달성하기 위한 본 발명의 반도체 장치는 내부 회로를 포함하는 반도체 장치이다. 본 발명의 반도체 장치는 패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드; 노말 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및 상기 내부 회로의 구동을 제어하는 기준 신호를 제공하는 기준 신호 발생 회로를 구비한다. 상기 기준 신호 발생 회로는 패키지 상태에서의 테스트 모드에서는 상기 외부 연결 패드를 통하여 입력되는 상기 테스트 신호에 응답하여 상기 기준 신호를 제공한다.

바람직하기로는 상기 기준 신호 발생 회로는 테스트 모드에서는 상기 테스트 신호에 응답하여 활성하고, 노말 모드에서는 소정의 노말 액티브 신호에 응답하여 활성하는 내부 구동 신호를 발생하는 내부 구동 신호 발생부를 구비한다.

상기와 같은 발명이 이루고자하는 다른 기술적 과제를 달성하기 위한 본 발명의 반도체 장치는 내부 전압을 사용하는 반도체 장치이다. 본 발명의 반도체 장치는 패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드; 노말 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및 상기 내부 전압으로 사용되는 기준 신호를 제공하는 기준 신호 발생 회로를 구비한다. 상기 기준 신호 발생 회로는 패키지 상태에서의 외부 전압인가 모드에서는 상기 외부 연결 패드를 통하여 인가되는 상기 테스트 신호를 상기 기준 신호로서 제공하고, 노말 모드에서는 상기 외부 연결 패드와 전기적으로 차단되어 자체적으로 상기 기준 신호를 발생한다.

바람직하게는 상기 반도체 장치는 패키지 상태에서의 외부 전압인가 모드에서는 상기 외부 연결 패드와 상기 기준 신호 발생 회로를 전기적으로 연결하며, 노말 모드에서는 상기 외부 연결 패드와 상기 기준 신호 발생 회로를 전기적으로 차단하는 전송 게이트를 더 구비한다.

상기와 같은 발명이 이루고자하는 기술적 과제를 달성하기 위한 본 발명의 반도체 장치의 테스트 방법은 패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드; 제1 동작 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및 소정의 기준 신호를 제공하는 기준 신호 발생 회로를 구비한다. 상기 기준 신호 발생 회로는 상기 제1 동작 모드에서는 상기 테스트 신호에 응답하지 아니하며, 제2 동작 모드에서는 상기 테스트 신호에 응답하여 상기 기준 신호를 제공한다.

바람직하기로는 상기 제1 동작 모드는 노말 동작 모드이며, 상기 제2 동작 모드는 테스트 모드이다.

상기와 같은 발명이 이루고자하는 기술적 과제를 달성하기 위한 본 발명의 반도체 장치의 테스트 방법은 패키지 상태에서의 외부 핀과 전기적으로 연결되어 테스트 신호를 입력하는 외부 연결 패드, 테스트 모드에서 활성하는 소정의 제어 신호에 의하여 인에이블되고 상기 테스트 신호에 응답하여 내부 회로의 구동을 지시하는 기준 신호를 제공하는 기준 신호 발생 회로를 구비하는 반도체 장치의 테스트 방법이다. 본 발명의 반도체 장치의 테스트 방법은 A) 테스트 모드에서 상기 제어 신호를 활성하는 단계; B) 상기 제어 신호가 활성된 후, 상기 테스트 신호를 활성하는 단계; C) 상기 테스트 신호의 활성에 의하여 상기 기준 신호를 활성하는 단계; 및 D) 상기 기준 신호의 활성에 의하여 상기 내부 회로가 구동되는 단계를 구비한다.

바람직하기로는 상기 반도체 장치는 데이터를 저장하는 메모리 셀, 상기 메모리 셀의 데이터를 입출력하는 입출력선, 상기 입출력선의 데이터를 감지하여 증폭하는 감지 증폭기를 구비하며, 상기 D) 단계는 상기 감지 증폭기를 구동하는 단계를 포함한다.

상기와 같은 발명이 이루고자하는 다른 기술적 과제를 달성하기 위한 본 발명의 반도체 장치의 테스트 방법은 패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드, 내부 전압으로 사용되는 기준 신호를 제공하는 기준 신호 발생 회로 및 소정의 제어 신호에 응답하여 상기 외부 패드와 상기 기준 신호 발생 회로를 전기적으로 연결하는 전송 게이트를 가지는 반도체 장치의 테스트 방법이다. 본 발명의 반도체 장치의 테스트 방법 A) 테스트 모드에서 상기 제어 신호를 활성하는 단계; B) 상기 제어 신호가 활성에 의하여 상기 전송 게이트를 턴온시키는 단계; C) 상기 외부 패드에 소정의 전압을 인가하는 단계; 및 D) 상기 외부 패드에 인가되는 상기 전압을 내부 전압으로 제공하는 단계를 구비한다.

본 발명의 반도체 장치에 의하여, 패키지 상태에서도 외부 핀을 통하여 감지증폭기 등의 구동을 제어할 수 있으며 내부 전압 등을 측정 또는 인가할 수 있다. 따라서 본 발명의 반도체 장치에 의하여, 각종 신호와 전압이 용이하게 테스트된다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 1은 일반적인 반도체 메모리 장치를 나타내는 블락도이다. 도 1을 참조하면, 메모리 블락(11)은 로우와 칼럼 상에 배열되어 데이터를 저장하는 복수개의 메모리 셀(미 도시)을 가진다.

제어 클락부(12)는 반도체 메모리 장치의 외부에서 입력되는 로우 어드레스 스트로브 신호(/RAS: Row Address Strobe), 칼럼 어드레스 스트로브 신호(/CAS: Column Address Strobe), 기입 인에이블 신호(/WE: Write Enable)를 조합하여 반도체 메모리 장치 내의 회로들을 제어하는 신호들을 제공한다.

로우 어드레스 버퍼(13)는 로우 어드레싱 구간 즉, 상기 /RAS가 활성화되는 구간에서 입력되는 어드레스들(A0 내지 A(n-1))을 버퍼링하여 로우 어드레스들(RA0 내지 RA(n-1))을 제공한다.

칼럼 어드레스 버퍼(14)는 칼럼 어드레싱 구간 즉, 상기 /CAS가 활성화되는 구간에서 입력되는 상기 어드레스들(A0 내지 A(n-1))을 버퍼링하여 칼럼 어드레스들(CA0 내지 CA(n-1))을 제공한다.

로우 디코더(15)는 상기 로우 어드레스 버퍼(13)에서 제공되는 상기 로우 어드레스들(RA0 내지 RA(n-1))의 정보에 의하여, 상기 메모리 블락(11)의 로우를 선택한다.

칼럼 디코더(16)는 상기 칼럼 어드레스 버퍼(14)에서 제공되는 상기 칼럼 어드레스들(CA0 내지 CA(n-1))의 정보에 의하여, 상기 메모리 어레이(11)의 칼럼을 선택한다.

그러므로 상기 로우 디코더(15)와 상기 칼럼 디코더(16)에 의하여, 상기 메모리 블락(11)에서 특정한 메모리 셀이 선택된다.

반도체 메모리 장치가 기입 모드일 때 즉, 상기 /RAS, /CAS 및 /WE가 로우로 활성할 때, 데이터 입력 버퍼(17)는 입력 데이터(DIN)를 버퍼링하여 반도체 메모리 장치의 내부로 공급한다. 그리고 기입모드에서 감지증폭부(18)의 감지증폭기는 입출력선(미 도시)을 통하여 입력되는 상기 입력 데이터(DIN)를 감지 증폭하여 선택되는 메모리 셀에 데이터를 저장한다.

반도체 메모리 장치가 독출 모드일 때 즉, 상기 /RAS, /CAS는 로우로 활성하고 상기 /WE는 하이 레벨을 유지할 때, 상기 감지증폭부(18)의 감지증폭기는 선택되는 메모리 셀의 데이터를 감지 증폭하여 상기 입출력선(미 도시)에 전송한다. 그리고 데이터 출력 버퍼(19)는 상기 입출력선의 데이터를 버퍼링하여 반도체 메모리 장치의 외부로 출력한다.

내부 전압 발생 회로(20)는 외부에서 공급되는 전원 전압(VCC)과 접지 전압(VSS)을 수신하여, 반도체 장치의 기준 전압(VDC)을 발생하는 회로이다. 본 명세서에서는 하나의 내부 전압 발생 회로(20)가 대표적으로 도시되었다. 그러나 대부분의 반도체 장치는 여러 종류의 내부 전압을 사용하고, 이를 위한 내부 전압 발생 회로를 구비한다.

대표적인 내부 전압 발생 회로가 백 바이어스 전압(VBB), 승압 전압(VPP) 등을 위한 내부 전압 발생 회로이다.

도 2는 도 1의 메모리 블락(11)의 하나의 칼럼에 대응하는 비트라인 쌍과 감지 증폭기 및 주변회로를 나타내는 도면으로서, 비트라인의 센싱 과정을 설명하기 위한 도면이다.

상기 로우 어드레스 버퍼(13, 도 1 참조)에서 출력되는 상기 로우 어드레스들(RA0 내지 RA(n-1))에 의하여 워드라인(WL)이 활성하면, 선택된 상기 워드라인(WL)에 연결되는 메모리 셀(MC)의 데이터는 비트라인(BL)으로 전송된다. 이때 상보 비트라인(/BL)은 소정의 프리차아지 전압(VREF)를 가진다. 그리고 비트라인(BL)으로 전송된 데이터의 전압은 상기 프리차아지 전압(VREF)에 대하여 일정한 전압차를 발생한다. 그리고 상기 비트라인(/BL)과 상보 비트라인(/BL)의 전압차는 감지증폭기(21)에 의하여 감지 증폭된다. 상기 감지증폭기(21)는 센싱 인에이블 신호(SEN)에 의하여 센싱을 시작한다. 즉, 센싱 인에이블 신호(SEN)는 감지 증폭기를 구동하는 내부 구동 신호이다. 본 발명의 제1 실시예는 상기 센싱 인에이블 신호(SEN)과 같은 내부 구동 신호를 패키지 상태에서 제어할 수 있는 반도체 장치이다. (도 4 참조)

도 3은 도 2의 감지증폭기(21)의 구동에 의하여 비트라인 쌍의 디벨로프(develope)를 나타내는 도면으로서, 메모리 셀(MC)에 " 하이" 데이터가 저장된 경우를 나타낸다. a 구간은 워드라인이 활성하기 전에 비트라인(BL)과 상보 비트라인(/BL)이 상기 프리차아지 전압(VREF)으로 프리차아지되는 구간이다. 그리고 b 구간은 상기 워드라인(WL)의 활성에 의하여 메모리 셀(MC)의 데이터가 비트라인(BL)의 전송되는 구간이다. b 구간에서는 차아지세어링에 의하여 상기 비트라인(BL)과 상기 상보 비트라인(/BL) 사이에는 α의 전압차가 발생한다. 그리고 c 구간은 상기 감지증폭기(21)가 구동되는 구간이다. c 구간에서는 상기 비트라인(BL)과 상기 상보 비트라인(/BL) 사이에는 α의 전압차가 상기 감지증폭기(21)에 의하여 감지 증폭되어 β의 전압차로 증폭된다. 즉, t 시점에서 상기 센싱 인에이블 신호(SEN)가 활성하고, 상기 감지 증폭기(21)가 구동되는 시점이다.

다시 도 2를 참조하면, 칼럼 어드레스 버퍼(14, 도 1 참조)에서 출력되는 칼럼 어드레스들(CA0 내지 CA(n-1))에 의하여 특정한 칼럼 선택 라인(CSL)이 활성하면, 전송 트랜지스터들(22,23)에 의하여 비트라인 쌍(BL, /BL)의 데이터가 입출력선(IO, /IO)에 전송된다.

도 4는 본 발명의 반도체 장치의 제1 실시예를 나타내는 도면이다.

외부 연결 패드(32)는 패키지 상태에서의 외부 핀(31)과 전기적으로 연결되는 패드로서, 패키지 상태에서 상기 외부 핀(31)으로 인가되는 테스트 신호(DQM)를 수신한다.

주신호 발생회로(33)는 노말 모드(normal mode)에서 상기 외부 연결 패드(32)를 통하여 입력되는 테스트 신호(DQM)에 응답하여 구동되어, 주신호 (MASIG)를 발생한다.

기준 신호 발생 회로(34)는 기준 신호(PSE)를 발생하는 회로로서, 본 실시예의 상기 기준 신호(PSE)는 상기 감지증폭기(21, 도 2 참조)를 구동하는 상기 센싱 인에이블 신호(SEN)로서 제공된다.

상기 기준 신호 발생 회로(34)는 패키지 상태에서의 테스트 모드에서는 상기 외부 연결 패드(32)를 통하여 입력되는 상기 테스트 신호(DQM)에 응답하여 상기 기준 신호(PSE)를 제공한다.

도 5는 도 4의 기준 신호 발생 회로를 나타내는 도면이다.

상기 기준 신호 발생 회로(34)는 예비 신호 발생부(41) 및 내부 구동 신호 발생부(42)를 구비한다.

상기 예비 신호 발생부(41)는 테스트되는 반도체 장치가 테스트 모드임을 지시하는 제어 신호(PSECON)의 " 하이(high)" 로의 레벨 천이에 의하여 인에이블된다. 상기 예비 신호 발생부(41)는 상기 테스트 신호(DQM)에 응답하여 활성하는 예비 신호(PSEC)를 상기 내부 구동 신호 발생부(42)에 제공한다.

상기 내부 구동 신호 발생부(42)는 테스트 모드에서는 상기 예비 신호(PSEC)에 응답하여 활성한다. 따라서 상기 내부 구동 신호 발생부(42)는 테스트 모드에서는 궁극적으로 상기 테스트 신호(DQM)에 응답하여 활성한다. 그리고 상기 내부 구동 신호(PSE)는 노말 모드에서는 노말 액티브 신호(PXRC)에 응답하여 활성한다.

바람직하기로는 상기 노말 액티브 신호(PXRC)는 /RAS가 " 로우(low)" 로 활성할 때, " 하이(high)" 로 활성하는 /RAS 계열의 신호이다.

도 6은 도 5의 예비 신호 발생부를 나타내는 도면이다.

제1 논리 게이트(51)는 테스트 모드에서 상기 테스트 신호(DQM)의 " 하이(high)" 로의 천이에 응답하여 " 로우(low)" 로 되는 출력(N52)을 발생한다. 바람직하기로는 상기 제1 논리 게이트(51)는 낸드(NAND) 게이트이다.

그리고 상기 제1 논리 게이트(51)의 출력(N52)이 " 로우(low)" 이면, 제2 논리 게이트(55)의 출력 신호인 상기 예비 신호(PSEC)는 " 하이(high)" 로 활성한다. 바람직하기로는 상기 제2 논리 게이트(55)는 낸드(NAND) 게이트이다.

바람직하게는 상기 예비 신호 발생부(41)는 내부 패드(35)를 더 구비한다. 상기 내부 패드(35)는 웨이퍼 상태에서 소정의 보조 테스트 신호(ASDQM)을 수신한다. 버퍼부(53)는 상기 내부 패드(35)로 인가되는 상기 보조 테스트 신호(ASDQM)를 버퍼링한다. 본 실시예의 상기 버퍼부(53)는 인버터이다.

상기 내부 패드(35)에 논리 " 하이(high)" 의 상기 보조 테스트 신호(ASDQM)가 인가되면, 상기 버퍼부(53)의 출력(N54) 신호는 " 로우(low)" 가 된다. 그리고 상기 제2 논리 게이트(55)는 상기 제1 논리 게이트(51)의 출력(N52)

신호와 상기 버퍼부(53)의 출력(N54) 신호를 논리 연산하여 상기 예비 신호(PSEC)를 발생한다. 그러므로 " 하이(high)" 의 상기 보조 테스트 신호(ASDQM)가 인가되면, 상기 제2 논리 게이트(55)의 출력인 상기 예비 신호(PSEC)는 상기 제1 논리 게이트(51)의 출력(N52) 신호의 논리 상태에 관계없이 " 하이(high)" 가 된다.

즉, 웨이퍼 상태에서는 상기 외부 연결 패드(32, 도 4 참조)에 인가되는 상기 테스트 신호(DQM) 대신에, 직접 상기 내부 패드(35)에 상기 보조 테스트 신호(ASDQM)를 인가함으로써 상기 예비 신호(PSEC)를 활성시킬 수 있다.

더욱 바람직하기로는 상기 예비 신호 발생부(41)는 프리차아지부(57)를 더 구비한다. 그리고 상기 프리차아지부(57)는 게이트 단자는 전원 전압(VCC)이 인가되고, 소스 단자는 접지 전압(VSS)에 접속되며, 드레인 단자는 상기 버퍼부(53)의 입력단(N58)에 접속되는 앤모스 트랜지스터이다.

그리고 상기 프리차아지부(57)로 사용되는 앤모스 트랜지스터는 컨덕턴스가 작은 값을 가지도록 설계된다. 즉, 상기 내부 패드(35)에 상기 보조 테스트 신호(ASDQM)가 인가되면, 상기 버퍼부(53)의 입력단(N58)의 논리 상태는 상기 보조 테스트 신호(ASDQM)에 의하여 결정된다. 그러나 상기 내부 패드(35)에 의하여 수신되는 신호가 없을 때에는, 상기 버퍼부(53)의 입력단(N58)의 논리 상태는 상기 프리차아지부(57)로 사용되는 앤모스 트랜지스터에 의하여 접지 전압(VSS)으로 된다.

도 7은 도 5의 내부 구동 신호 발생부를 나타내는 도면이다. 상기 내부 구동 신호 발생부(42)는 노말 응답부(61), 테스트 응답부(63) 및 논리 게이트(65)를 구비한다. 바람직하기로는 상기 논리 게이트(65)는 논리합(OR) 게이트이다.

상기 노말 응답부(61)는 노말 모드에서 상기 노말 액티브 신호(PXRC)의 활성에 응답한다. 즉, 상기 제어 신호(PSECON)의 논리 상태가 " 로우(low)" 인 노말 모드에서 상기 노말 액티브 신호(PXRC)가 " 하이(high)" 로 활성하면, 상기 노말 응답부(61)의 출력(N62) 신호는 " 하이(high)" 로 활성한다. 그리고 상기 논리 게이트(65)의 출력 신호인 상기 기준 신호(PSE)는 " 하이(high)" 로 활성한다.

상기 테스트 응답부(63)는 테스트 모드에서 상기 예비 신호(PSEC)의 활성에 응답한다. 즉, 상기 제어 신호(PSECON)의 논리 상태가 " 하이(high)" 인 테스트 모드에서 상기 예비 신호(PSEC)가 " 하이(high)" 로 활성하면, 상기 테스트 응답부(63)의 출력(N64) 신호는 " 하이(high)" 로 활성한다. 그리고 상기 논리 게이트(65)의 출력 신호인 상기 기준 신호(PSE)는 " 하이(high)" 로 활성한다.

상기 논리 게이트(65)는 상기 노말 응답부(61)의 출력(N62) 신호와 상기 테스트 응답부(63)의 출력(N64) 신호를 논리합 연산하여 상기 기준 신호(PSE)를 발생한다. 따라서 상기 기준 신호(PSE)는 노말 모드에서 상기 노말 액티브 신호(PXRC)의 활성에 응답하여 활성한다. 그리고 테스트 모드에서 상기 기준 신호(PSE)는 상기 예비 신호(PSEC), 궁극적으로는 상기 외부 연결 패드(32, 도 4 참조)를 통하여 입력되는 상기 테스트 신호(DQM)이나 상기 내부 패드(35, 도 6 참조)를 통하여 입력되는 상기 보조 테스트 신호(ASDQM)의 활성에 응답하여 활성한다.

본 실시예의 상기 기준 신호(PSE)로 상기 감지증폭기(21, 도 2 참조)를 구동하는 센싱 인에이블 신호(SEN)가 사용되므로, 상기 감지증폭기(21)는 노말 모드에서 상기 노말 액티브 신호(PXRC)의 활성에 응답하여 센싱 동작을 시작한다. 그리고 상기 감지증폭기(21)는 테스트 모드에서 상기 외부 연결 패드(32)를 통하여 입력되는 상기 테스트 신호(DQM)이나 상기 내부 패드(35)를 통하여 입력되는 상기 보조 테스트 신호(ASDQM)의 활성에 응답하여 센싱 동작이 제어된다.

다시 도 4을 참조하면, 본 발명의 바람직한 실시예에 따른 반도체 장치는 테스트 모드에서 상기 기준 신호 발생 회로(34)를 인에이블하는 상기 제어 신호(PSECON)를 제공하는 제어 신호 발생부(36)를 더 구비한다.

도 8은 도 4의 제어 신호 발생부를 나타내는 도면이다. 도 8을 참조하면, 상기 제어 신호 발생부(36)는 제어 응답부(71) 및 래치부(73)을 구비한다.

상기 래치부(73)는 상기 제어 응답부(71)의 출력 신호인 제어 응답 신호(RECON)를 반전 래치하여 상기 제어 신호(PSECON)을 발생한다.

상기 제어 응답부(71)는 구체적으로 풀업 트랜지스터(71a) 및 전송 게이트(71b)를 구비한다. 상기 풀업 트랜지스터(71a)는 노말 모드에서 자발 펄스(auto pulse)로 활성하는 노말 리셋 신호(MRSET)에 응답하여, 제어 응답 신호(RECON)를 전원 전압(VCC)으로 고정한다. 즉, 상기 노말 리셋 신호(MRSET)가 " 하이(high)" 로 활성하면, 인버터(71c)의 출력(71d) 신호는 " 로우(low)" 로 된다. 그리고 상기 풀업 트랜지스터(71a)는 " 턴온" 되어 상기 제어 응답 신호(RECON)는 전원 전압(VCC)으로 된다. 따라서 노말 모드에서, 상기 래치부(73)의 출력 신호인 상기 제어 신호(PECON)는 " 로우(low)" 가 된다. 상기 노말 리셋 신호(MRSET)는 노말 모드에서 모드 저장 셋팅(MRS: Mode Register Setting) 명령이 주어질 때, " 하이(high)" 위상으로 생성되어 테스트 모드 관련 내부 신호들을 디스에이블시키는 신호이다.

상기 전송게이트(71b)는 테스트 모드에서 활성하는 테스트 리셋 신호(MRSTEST)에 응답하여, 센싱제어신호(MRAiB)를 전송하여 상기 제어응답신호(RECON)를 발생한다. 상기 테스트리셋신호(MRSTEST)는 테스트 모드 진입 시 " 하이(high)" 위상으로 되는 자발펄스(auto pulse)이다. 본 실시예의 상기 센싱제어 신호(MRAiB)는 센싱제어 테스트 모드에서 사용되는 특정한 내부 어드레스의 신호이다.

상기 제어 응답 신호(RECON)는 테스트 모드 즉, 상기 테스트 리셋 신호(MRSTEST)가 " 하이" 로 활성하고 상기 센싱 제어 신호(MRAiB)가 " 로우(low)" 로 활성하면, 상기 제어 응답 신호(RECON)는 " 로우(low)" 의 논리 상태가 된다. 따라서 테스트 모드에서, 상기 래치부(73)의 출력 신호인 상기 제어 신호(PECON)는 " 로우(low)" 가 된다.

도 4를 참조하여 본 발명의 반도체 장치를 전체적으로 설명하면, 다음과 같다. 노말 모드에서는 상기 노말 리셋 신호(MRSET)의 " 하이(high)" 로의 활성에 응답하여 상기 제어 신호(PSECON)는 " 로우(low)" 가 된다. 따라서 노말 모드에서 상기 기준 신호(PSE)는 상기 노말 액티브 신호(PXRC)의 활성에 응답하여 활성하고, 상기 감지증폭기(21, 도 2 참조)는 상기 노말 액티브 신호(PXRC, 도 7 참조)의 활성에 응답하여 센싱 동작을 시작한다.

테스트 모드에서는 상기 테스트 리셋 신호(MRSTEST)가 " 하이" 로 활성하고 상기 센싱 제어 신호(MRAiB)가 " 로우(low)" 로 활성하면, 상기 제어 신호(PSECON)는 " 하이(high)" 가 된다. 따라서 테스트 모드에서 상기 기준 신호(PSE)는 상기 센싱 제어 신호(MRAiB)의 활성에 응답하여 활성하고, 상기 감지증폭기(21, 도 2 참조)는 상기 외부 연결 패드(31, 도 4 참조)를 통하여 입력되는 상기 테스트 신호(DQM) 또는 상기 내부 패드(35, 도 4 참조)를 통하여 입력되는 상기 보조 테스트 신호(ASDQM)에 응답하여, 센싱 동작을 시작한다.

다시 설명하면, 본 발명의 반도체 장치는 패키지 상태의 테스트 모드에서 상기 외부 연결 패드(31, 도 4 참조)를 통하여 입력되는 상기 테스트 신호(DQM)로써, 상기 감지증폭기(21, 도 2 참조)의 센싱 동작을 제어한다.

도 9는 도 4의 주회로를 나타내는 도면으로서, 테스트 동작 시에 상기 테스트 신호(DQM)로 인한 영향을 배제하기 위한 회로이다. 앞에서 언급한 바와 같이 테스트 모드에서 상기 제어 신호(PSECON)는 " 하이(high)" 상태이다. 그러면, 상기 테스트 신호(DQM)의 논리 상태에 관계없이 노아(NOR) 게이트(81)의 출력(N82) 신호는 " 로우(low)" 이다.

그리고 내부 클락 신호(PCLK)의 상승 단부에서 전송 게이트(83)가 " 턴온" 되어, 노아(NOR) 게이트(81)의 출력(N82) 신호는 래치부(85)에 " 하이(high)" 로 반전 래치된다.

그리고 내부 클락 신호(PCLK)의 하강 단부에서 전송 게이트(87)가 " 턴온" 된다. 이 때, 상기 래치부(85)의 출력(N86) 신호는 인버터(89)로 전송되고, 상기 인버터(89)의 출력 신호인 주신호(MASIC)는 " 로우(low)" 상태가 된다.

즉, 테스트 모드에서의 상기 주신호(MASIC)는 상기 테스트 신호(DQM)의 논리 상태에 관계없이 " 로우(low)" 이다.

그리고 노말 모드에서는 상기 제어 신호(PSECON)는 " 로우(low)" 상태이다. 따라서 상기 주신호(MASIG)는 상기 테스트 신호(DQM)에 응답한다.

도 10은 본 발명의 반도체 장치의 제2 실시예를 나타내는 도면으로서, 내부 전압을 사용하는 반도체 장치를 나타내는 도면이다.

외부 연결 패드(1002)는 패키지 상태에서의 외부 핀(1001)과 전기적으로 연결된다. 주신호 발생회로(1003)는 노말 모드에서 상기 외부 연결 패드(1002)를 통하여 입력되는 테스트 신호(DQM2)에 응답하여 구동된다.

기준 신호 발생 회로(1004)는 내부 전압으로 사용되는 기준 신호(VDC)를 제공한다. 상기 기준 신호(VDC)는 반도체 장치의 내부 전압으로서 백 바이어스 전압(VBB), 승압전압(VPP) 등이 될 수 있다.

상기 기준 신호 발생 회로(1004)는 패키지 상태에서의 외부 전압 인가 모드에서는 상기 외부 연결 패드(1002)를 통하여 인가되는 상기 테스트 신호(DQM2)를 상기 기준 신호(VDC)로서 제공한다. 그리고 상기 기준 신호 발생 회로(1004)는 노말 모드에서는 상기 외부 연결 패드(1002)와 전기적으로 차단되어 자체적으로 상기 기준 신호(VDC)를 발생한다.

전송 게이트(1005)는 패키지 상태에서의 외부 전압 인가 모드에서는 턴온되어, 상기 외부 연결 패드(1002)와 상기 기준 신호 발생 회로(1004)를 전기적으로 연결한다. 즉, 외부 전압 인가 모드에서는 제1 인가 제어 신호(MRSDC)가 " 하이" 로 되어, 상기 전송 게이트(1005)가 턴온된다. 그리고 외부 전압 인가 모드에서는 피모스 트랜지스터(1006)은 " 턴오프" 되고, 주신호 발생 회로(1003)의 구동은 중단된다. 그리고 앤모스 트랜지스터(1007)은 " 턴온" 되고, 주신호(MASIG2)는 " 로우(low)" 로 고정된다.

그리고 상기 전송 게이트(1005)는 노말 모드에서는 상기 외부 연결 패드(1002)와 상기 기준 신호 발생 회로(1004)를 전기적으로 차단한다. 즉, 노말 모드에서는 상기 제1 인가 제어 신호(MRSDC)가 " 로우(low)" 로 되어, 상기 전송 게이트(1005)를 턴오프된다. 그리고 외부 전압 인가 모드에서는 상기 피모스 트랜지스터(1006)는 " 턴온" 되고, 상기 앤모스 트랜지스터(1007)은 " 턴오프" 된다. 그리고 상기 주신호 발생 회로(1003)는 상기 테스트 신호(DQM2)에 응답하여, 상기 주신호(MASIG2)를 발생한다.

바람직하기로는 본 발명의 반도체 메모리 장치는 내부 패드(1009)를 더 구비할 수 있다. 웨이퍼 상태의 테스트 모드에서, 상기 내부 패드(1009)를 통하여 상기 기준 신호(VDC)가 직접 인가될 수 있다.

바람직하기로는 상기 전송 게이트(1005)는 큰 컨덕턴스 값을 가지도록 설계하는 것이다. 이것은 상기 외부 연결 패드(1002)를 통하여 상기 테스트 신호(DQM2)가 인가되는 패키지 상태의 전압 인가 모드에서는 상기 기준 신호 발생 회로(1004)에 의하여 자체적으로 발생하는 전압 값의 영향을 최소화하기 위해서이다.

도 11은 본 발명의 반도체 장치의 제3 실시예를 나타내는 도면으로서, 도 10의 제2 실시예를 변형한 것이다. 그러므로 도 11의 제3 실시예에 대한 설명에 있어서, 도 10의 제2 실시예와 동일한 구성 및 작용 효과를 가지는 부분에 대한 기술은 생략한다.

도 11의 제3 실시예는 기준 신호 발생 회로(1004a)의 전원 전압(VCC) 사이 풀업 트랜지스터(1008)가 배치된다는 점에서 도 10의 제2 실시예와 차이점을 가진다. 즉, 외부 전압 인가 모드에서 제2 인가 제어 신호(MRF)가 " 하이(high)" 로 되어, 상기 풀업 트랜지스터(1008)는 턴오프된다. 따라서 상기 기준 신호 발생 회로(1004a)는 전원 전압(VC

C)의 공급이 차단되어 구동되지 않는다. 그러므로 도 11의 제3 실시예에서의 외부 전압 인가 모드에서, 상기 기준 신호 발생 회로(1004)에 의하여 자체적으로 발생하는 전압 값의 영향이 제거된다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명의 반도체 장치에 의하여 패키지 상태에서 외부 핀으로 인출되는 패드를 사용하여 내부 신호를 제어할 수 있다. 특히, 패키지 상태에서도 외부 핀을 통하여 감지증폭기 등의 구동을 제어할 수 있으며, 내부 전압 등을 측정 또는 인가할 수 있다. 본 발명의 반도체 장치에 의하여, 각종 신호와 전압이 용이하게 테스트된다.

(57) 청구의 범위

청구항 1.

내부 회로를 포함하는 반도체 장치에 있어서,

패키지 상태에서 외부 핀과 전기적으로 연결되는 외부 연결 패드;

노말 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및

상기 내부 회로의 구동을 제어하는 기준 신호를 제공하는 기준 신호 발생 회로를 구비하며,

상기 기준 신호 발생 회로는

패키지 상태의 테스트 모드에서 상기 외부 연결 패드를 통하여 입력되는 상기 테스트 신호에 응답하여 상기 기준 신호를 제공하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1 항에 있어서, 상기 기준 신호 발생 회로는

테스트 모드에서는 상기 테스트 신호에 응답하여 활성하고, 노말 모드에서는 소정의 노말 액티브 신호에 응답하여 활성하는 내부 구동 신호를 발생하는 내부 구동 신호 발생부를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제2 항에 있어서, 상기 기준 신호 발생 회로는

테스트 모드를 지시하는 제어하는 제어 신호가 활성할 때, 상기 테스트 신호에 응답하여 활성하는 예비 신호를 상기 내부 구동 신호 발생부에 제공하는 예비 신호 발생부를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제3 항에 있어서, 상기 예비 신호 발생부는

소정의 보조 테스트 신호를 수신하는 내부 패드를 더 구비하며,

상기 예비 신호는

테스트 모드에서 상기 보조 테스트 신호의 활성에 응답하는 것을 특징으로 하는 반도체 장치.

청구항 5.

제4 항에 있어서, 상기 예비 신호 발생부는

상기 테스트 신호와 상기 제어 신호를 논리 연산하는 제1 논리 게이트;

상기 내부 패드에 의하여 수신되는 상기 보조 테스트 신호를 버퍼링하는 버퍼부; 및

상기 제1 논리 게이트의 출력 신호와 상기 버퍼부의 출력 신호를 논리 연산하는 제2 논리 게이트를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 6.

제5 항에 있어서, 상기 예비 신호 발생부는

상기 내부 패드에 의하여 수신되는 신호가 없을 때, 상기 버퍼부의 입력단을 소정의 전압으로 하는 프리차아지부를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제3 항에 있어서, 상기 내부 구동 신호 발생부는

노말 모드에서 상기 노말 액티브 신호의 활성에 응답하는 노말 응답부;

테스트 모드에서 상기 예비 신호의 활성에 응답하는 테스트 응답부; 및

상기 노말 응답부의 출력 신호와 상기 테스트 응답부의 출력 신호를 논리합 연산하는 논리 게이트를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제1 항에 있어서, 상기 반도체 장치는

테스트 모드에서 상기 기준 신호 발생 회로를 인에이블하는 소정의 제어 신호를 제공하는 제어 신호 발생부를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 9.

제8 항에 있어서, 상기 제어 신호 발생부는

테스트 모드에서는 센싱 제어 신호에 응답하고, 노말 모드에서는 일정한 전압으로 고정되는 제어 응답 신호를 발생하는 제어 응답부; 및

상기 제어 응답 신호를 래치하여 상기 제어 신호를 제공하는 래치부를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제9 항에 있어서, 상기 제어 응답부는

노말 모드에서 활성하는 노말 리셋 신호에 응답하여, 상기 제어 응답 신호를 일정한 전압으로 고정하는 풀업 트랜지스터; 및

테스트 모드에서 활성하는 테스트 리셋 신호에 응답하여, 상기 센싱 제어 신호를 전송하여 상기 제어 응답 신호를 발생하는 전송 게이트를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 11.

내부 전압을 사용하는 반도체 장치에 있어서,

패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드;

노말 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및

상기 내부 전압으로 사용되는 기준 신호를 제공하는 기준 신호 발생 회로를 구비하며,

상기 기준 신호 발생 회로는

패키지 상태에서의 외부 전압 인가 모드에서는 상기 외부 연결 패드를 통하여 인가되는 상기 테스트 신호를 상기 기준 신호로서 제공하고, 노말 모드에서는 상기 외부 연결 패드와 전기적으로 차단되어 자체적으로 상기 기준 신호를 발생하는 것을 특징으로 하는 반도체 장치.

청구항 12.

제11 항에 있어서, 상기 반도체 장치는

패키지 상태에서의 외부 전압 인가 모드에서는 상기 외부 연결 패드와 상기 기준 신호 발생 회로를 전기적으로 연결하며, 노말 모드에서는 상기 외부 연결 패드와 상기 기준 신호 발생 회로를 전기적으로 차단하는 전송 게이트를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제11 항에 있어서, 상기 반도체 장치는

외부 전압 인가 모드에서 상기 기준 신호 발생 회로에 외부 전원의 공급을 차단하고, 노말 모드에서는 상기 외부 전원을 상기 기준 신호 발생 회로에 공급하는 스위칭 소자를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 14.

제13 항에 있어서, 상기 스위칭 소자는

외부 전압 인가 모드에서 턴오프되는 피모스 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 15.

반도체 장치에 있어서,

패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드;

제1 동작 모드에서 상기 외부 연결 패드를 통하여 입력되는 테스트 신호에 응답하여 구동되는 주신호 발생회로; 및

소정의 기준 신호를 제공하는 기준 신호 발생 회로를 구비하며,

상기 기준 신호 발생 회로는

상기 제1 동작 모드에서는 상기 테스트 신호에 응답하지 아니하며, 제2 동작 모드에서는 상기 테스트 신호에 응답하여 상기 기준 신호를 제공하는 것을 특징으로 하는 반도체 장치.

청구항 16.

제15 항에 있어서,

상기 제1 동작 모드는 노말 동작 모드이며,

상기 제2 동작 모드는 테스트 모드인 것을 특징으로 하는 반도체 장치.

청구항 17.

제16 항에 있어서,

상기 기준 신호는 상기 반도체 장치의 내부 회로의 구동 지시하는 신호인 것을 특징으로 하는 반도체 장치.

청구항 18.

제17 항에 있어서,

상기 반도체 장치는

메모리 셀의 데이터가 입출력되는 비트라인과, 상기 비트라인의 데이터를 감지하여 증폭하는 비트라인 감지증폭기를 가지는 반도체 메모리 장치이며,

상기 기준 신호 발생 회로는

상기 비트라인 감지증폭기의 구동을 제어하는 센싱 인에이블 신호를 발생하는 것을 특징으로 하는 반도체 장치.

청구항 19.

제16 항에 있어서,

상기 기준 신호는 일정한 전압 레벨을 가지는 내부 전압 신호이며,

상기 기준 신호 발생 회로는 상기 내부 전압 신호를 발생하는 내부 전압 발생 회로인 것을 특징으로 하는 반도체 장치.

청구항 20.

패키지 상태에서의 외부 핀과 전기적으로 연결되어 테스트 신호를 입력하는 외부 연결 패드, 테스트 모드에서 활성하는 소정의 제어 신호에 의하여 인에이블되고 상기 테스트 신호에 응답하여 내부 회로의 구동을 지시하는 기준 신호를 제공하는 기준 신호 발생 회로를 구비하는 반도체 장치의 테스트 방법에 있어서,

A) 테스트 모드에서 상기 제어 신호를 활성하는 단계;

B) 상기 제어 신호가 활성된 후, 상기 테스트 신호를 활성하는 단계;

C) 상기 테스트 신호의 활성에 의하여 상기 기준 신호를 활성하는 단계; 및

D) 상기 기준 신호의 활성에 의하여 상기 내부 회로가 구동되는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

청구항 21.

제20 항에 있어서,

상기 반도체 장치는

데이터를 저장하는 메모리 셀, 상기 메모리 셀의 데이터를 입출력하는 입출력선, 상기 입출력선의 데이터를 감지하여 증폭하는 감지 증폭기를 구비하며,

상기 D) 단계는

상기 감지 증폭기를 구동하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

청구항 22.

패키지 상태에서의 외부 핀과 전기적으로 연결되는 외부 연결 패드, 내부 전압으로 사용되는 기준 신호를 제공하는 기준 신호 발생 회로 및 소정의 제어 신호에 응답하여 상기 외부 패드와 상기 기준 신호 발생 회로를 전기적으로 연결하는 전송 게이트를 가지는 반도체 장치의 테스트 방법에 있어서,

A) 테스트 모드에서 상기 제어 신호를 활성하는 단계;

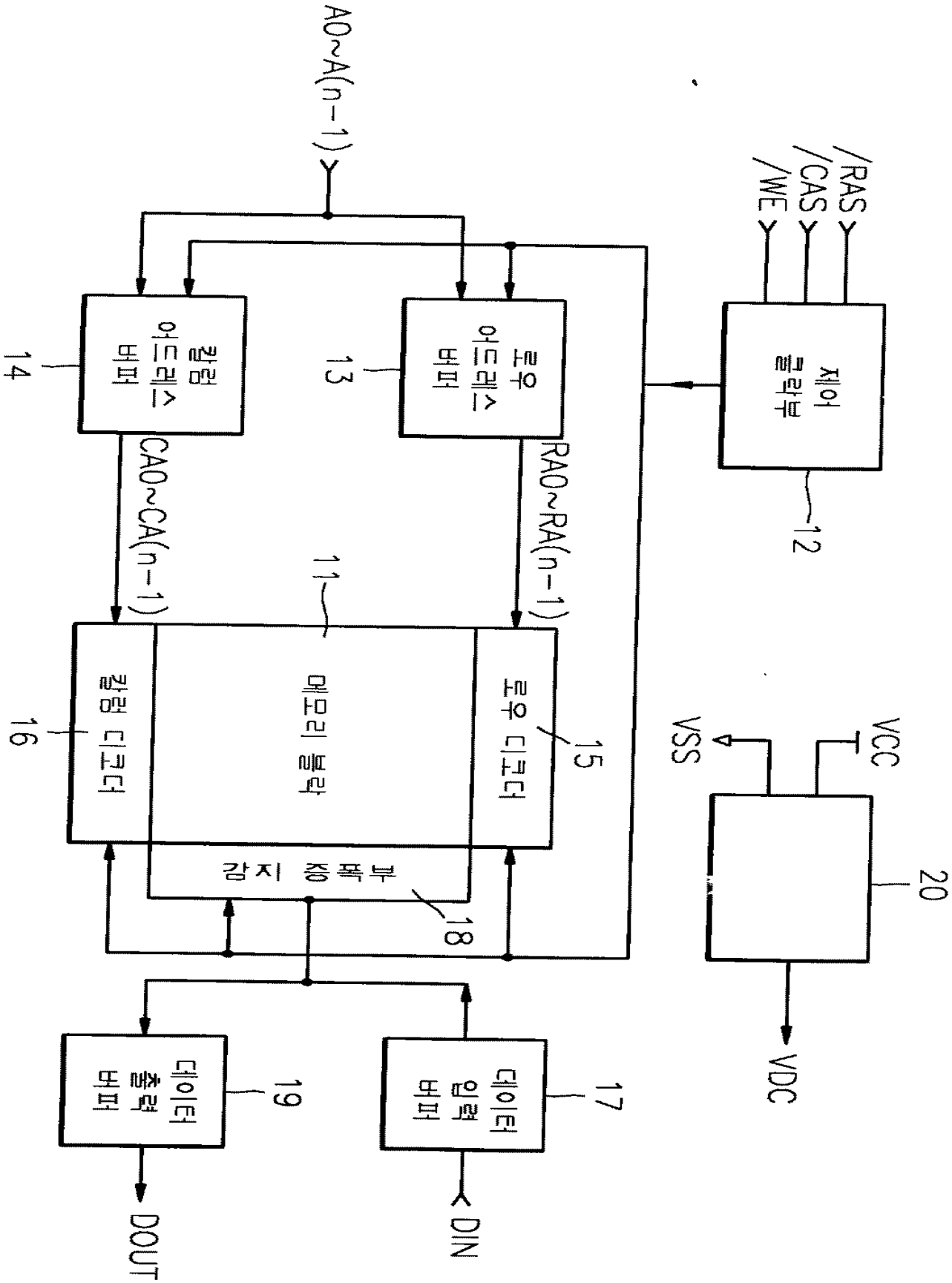
B) 상기 제어 신호가 활성에 의하여 상기 전송 게이트를 턴온시키는 단계;

C) 상기 외부 패드에 소정의 전압을 인가하는 단계; 및

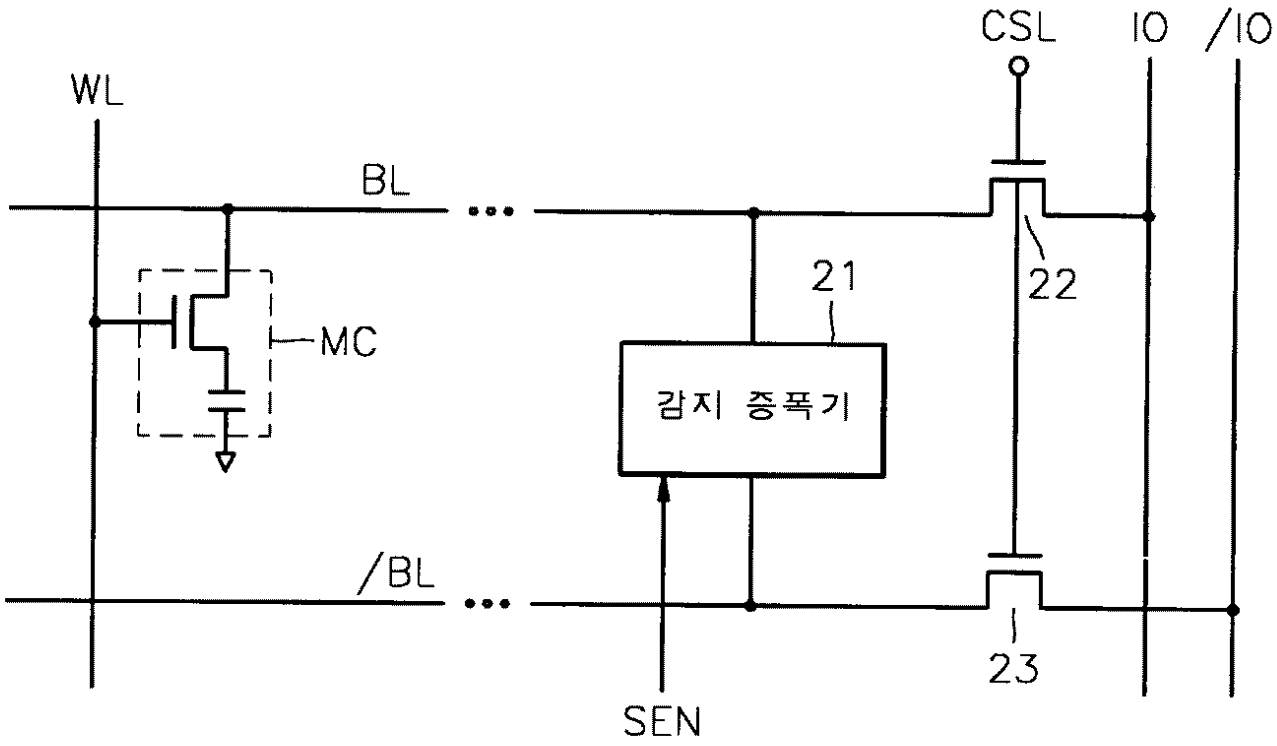
D) 상기 외부 패드에 인가되는 상기 전압을 내부 전압으로 제공하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

도면

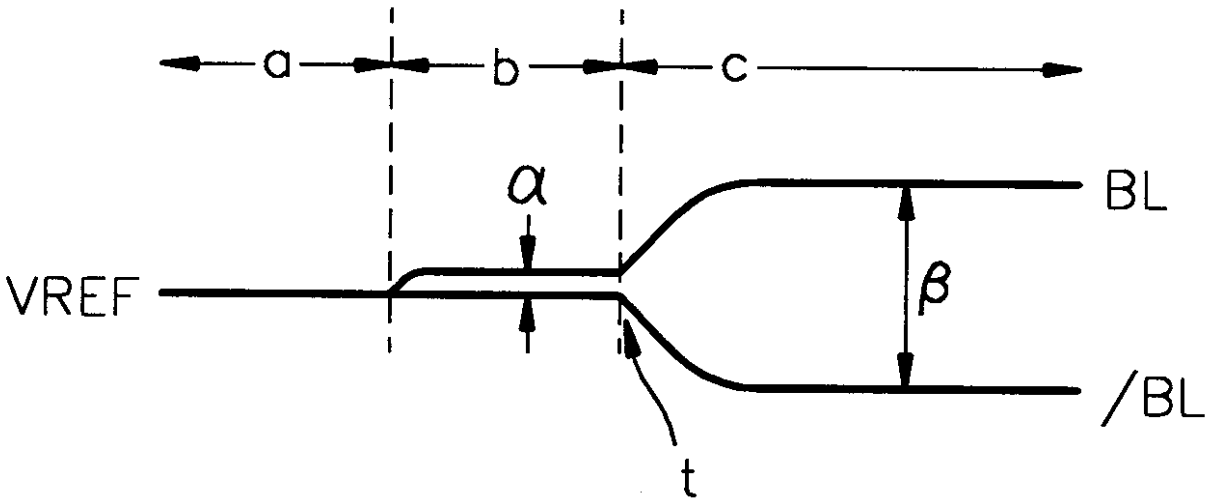
도면 1


A0~A(n-1)
/RAS
/CAS
/WE
칼럼 어드레스 버퍼
14
로우 어드레스 버퍼
13
제어 클럭부
12
CA0~CA(n-1)
RA0~RA(n-1)
11
칼럼 디코더
16
메모리 블럭
로우 디코더
15
VSS
VCC
감지 증폭부
18
20
VDC
데이터 출력 버퍼
19
데이터 입력 버퍼
17
DOUT
DIN

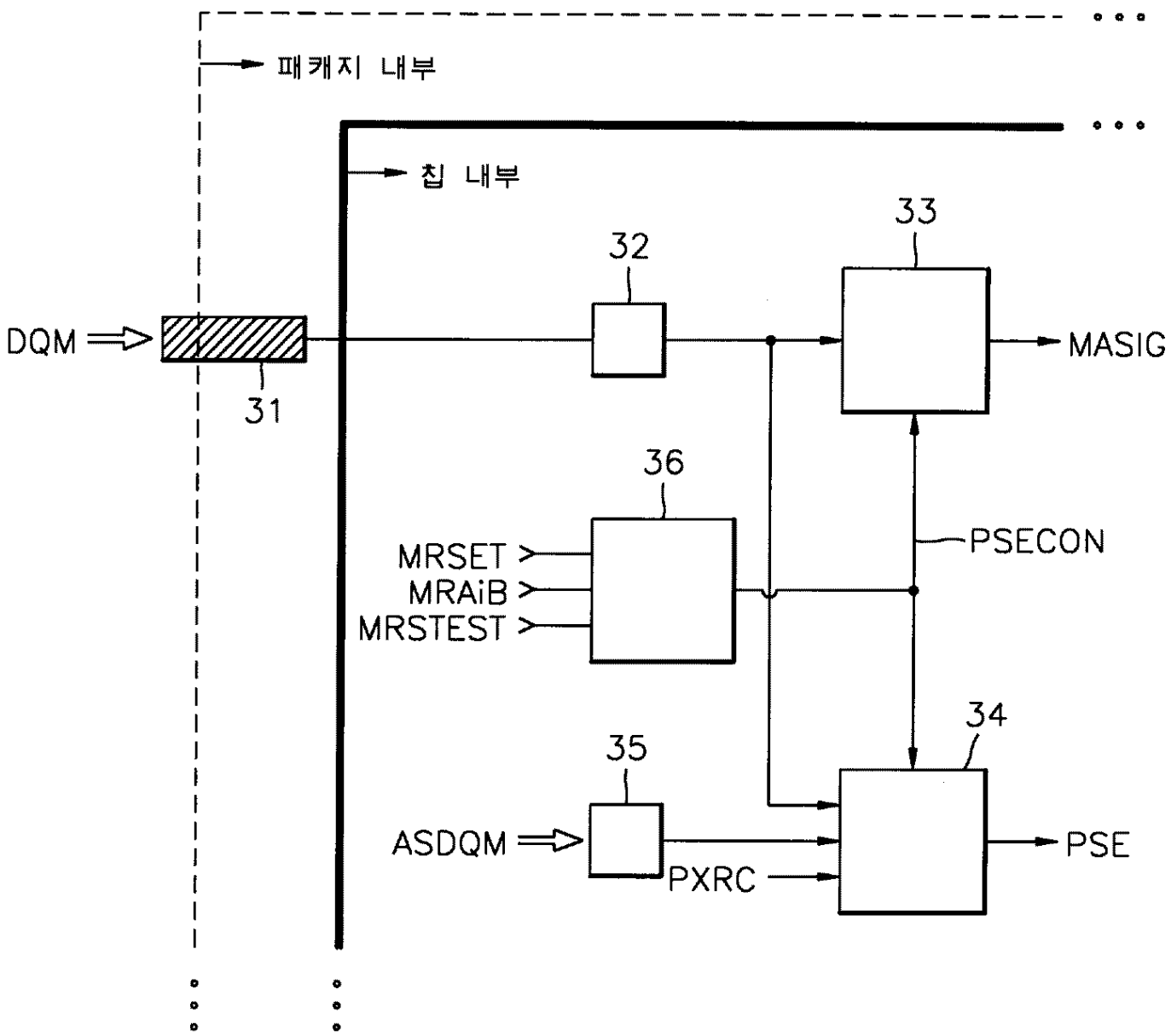
도면 2



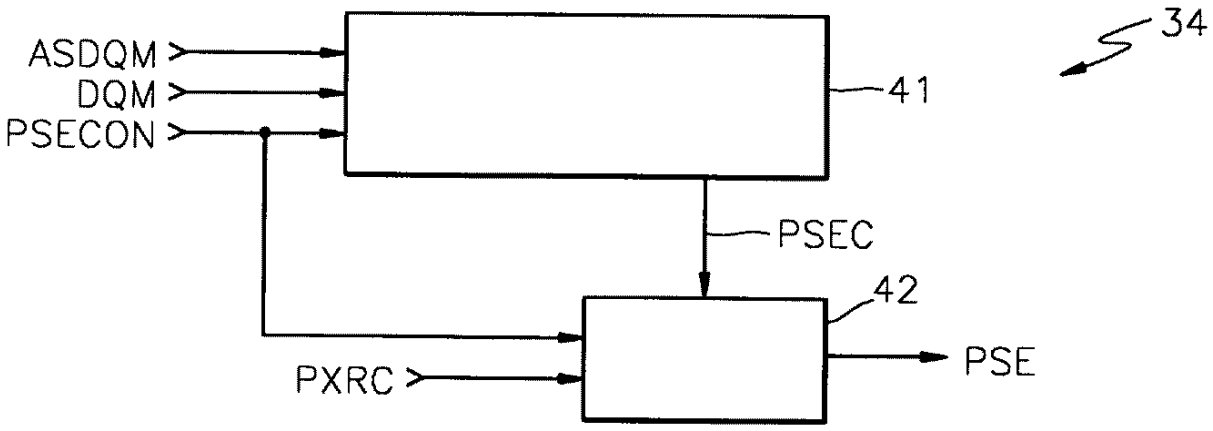
도면 3



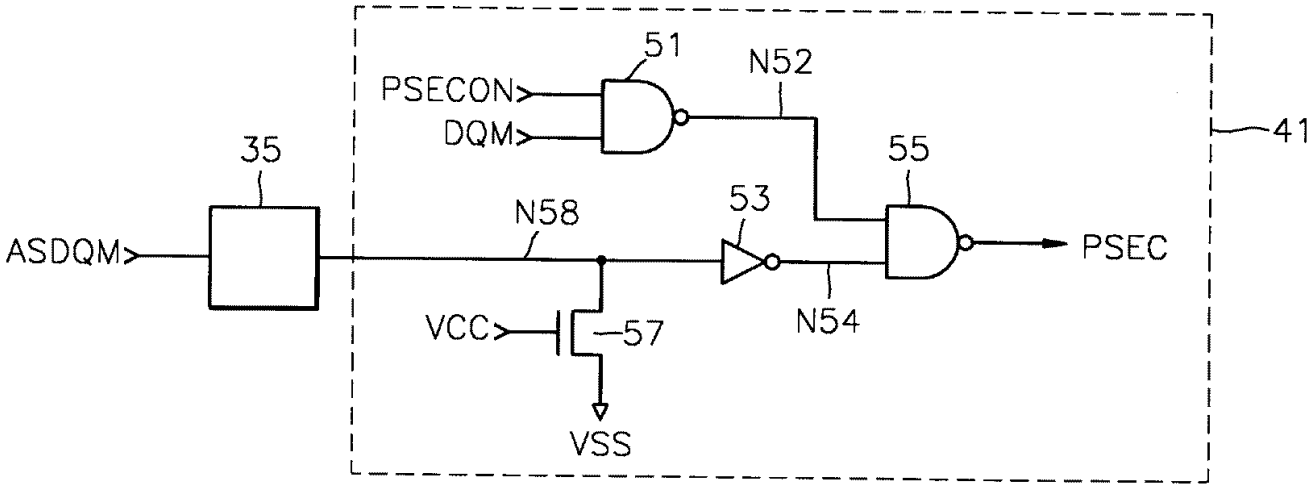
도면 4


패캐지 내부
칩 내부
33
32
DQM
31
MASIG
36
MRSET
MRAiB
MRSTEST
PSECON
34
35
ASDQM
PXRC
PSE

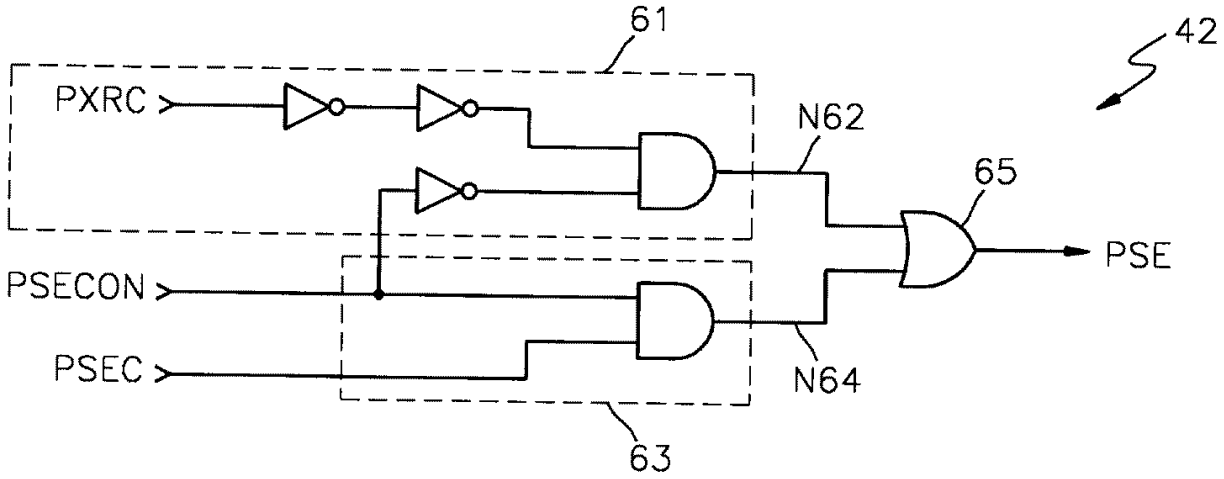
도면 5


34
ASDQM
DQM
PSECON
41
PSEC
42
PXRC
PSE

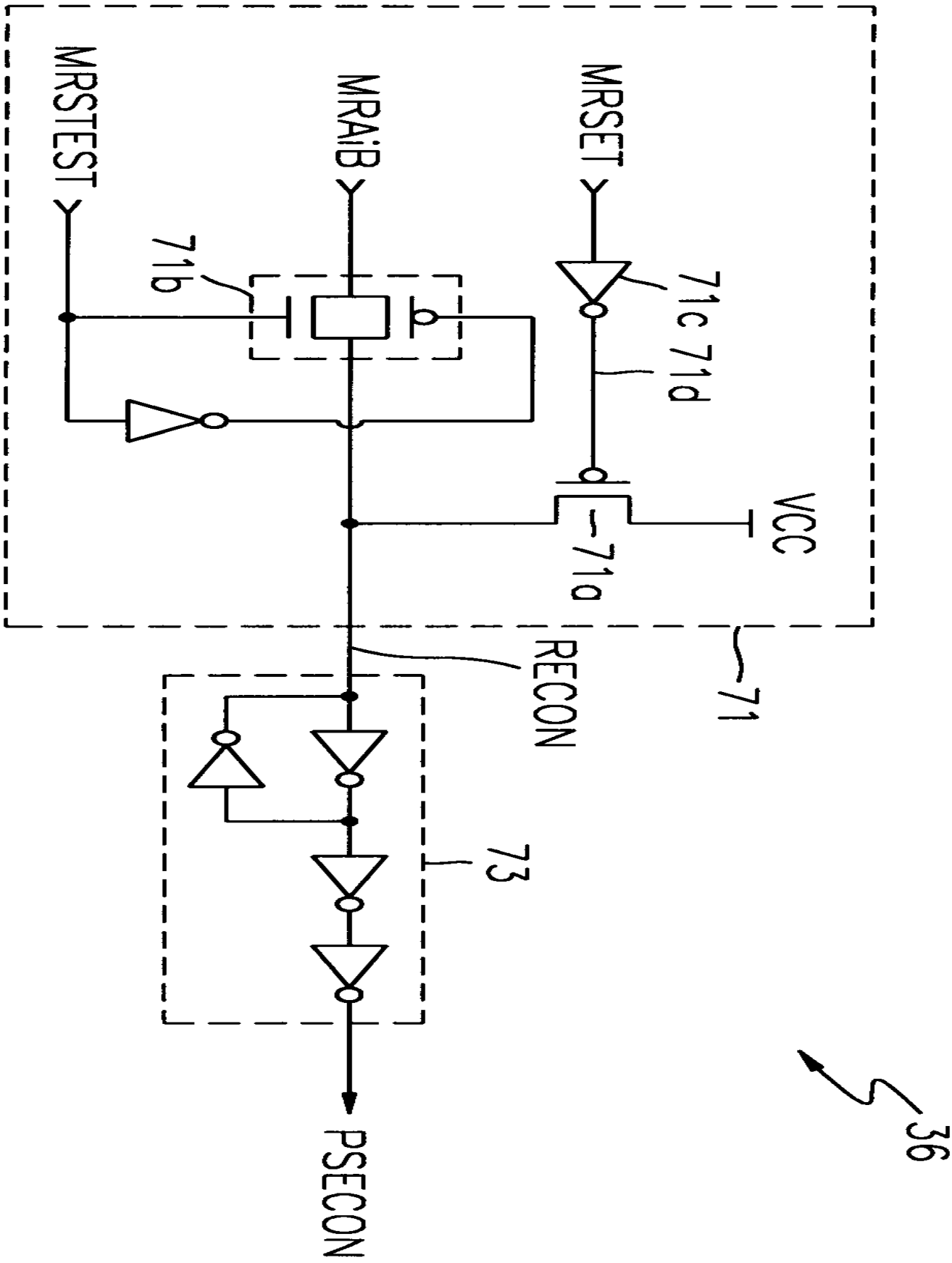
도면 6


51
N52
PSECON
DQM
41
35
55
N58
53
ASDQM
PSEC
VCC
57
N54
VSS

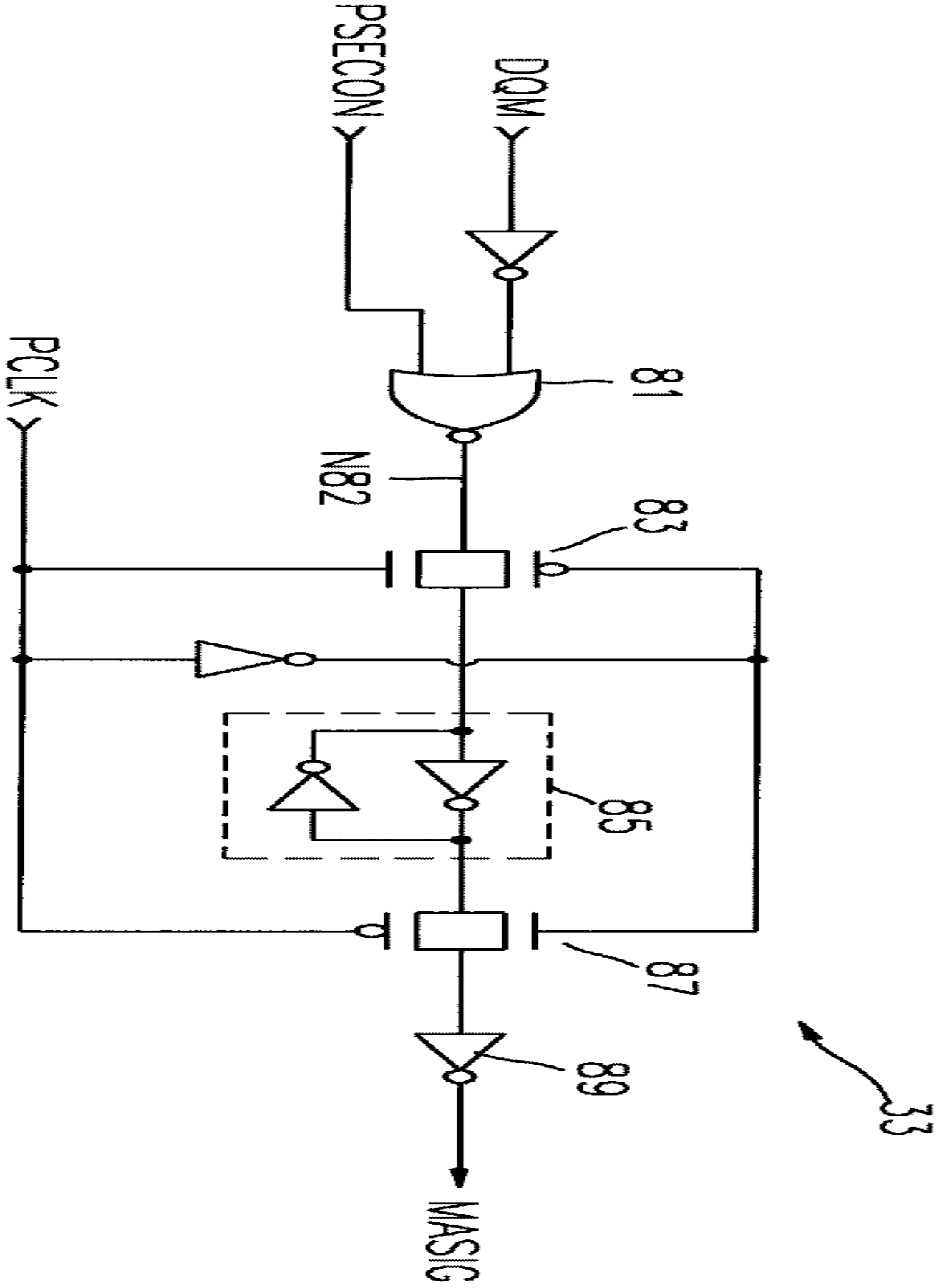
도면 7


61
42
PXRC
N62
65
PSE
PSECON
PSEC
N64
63

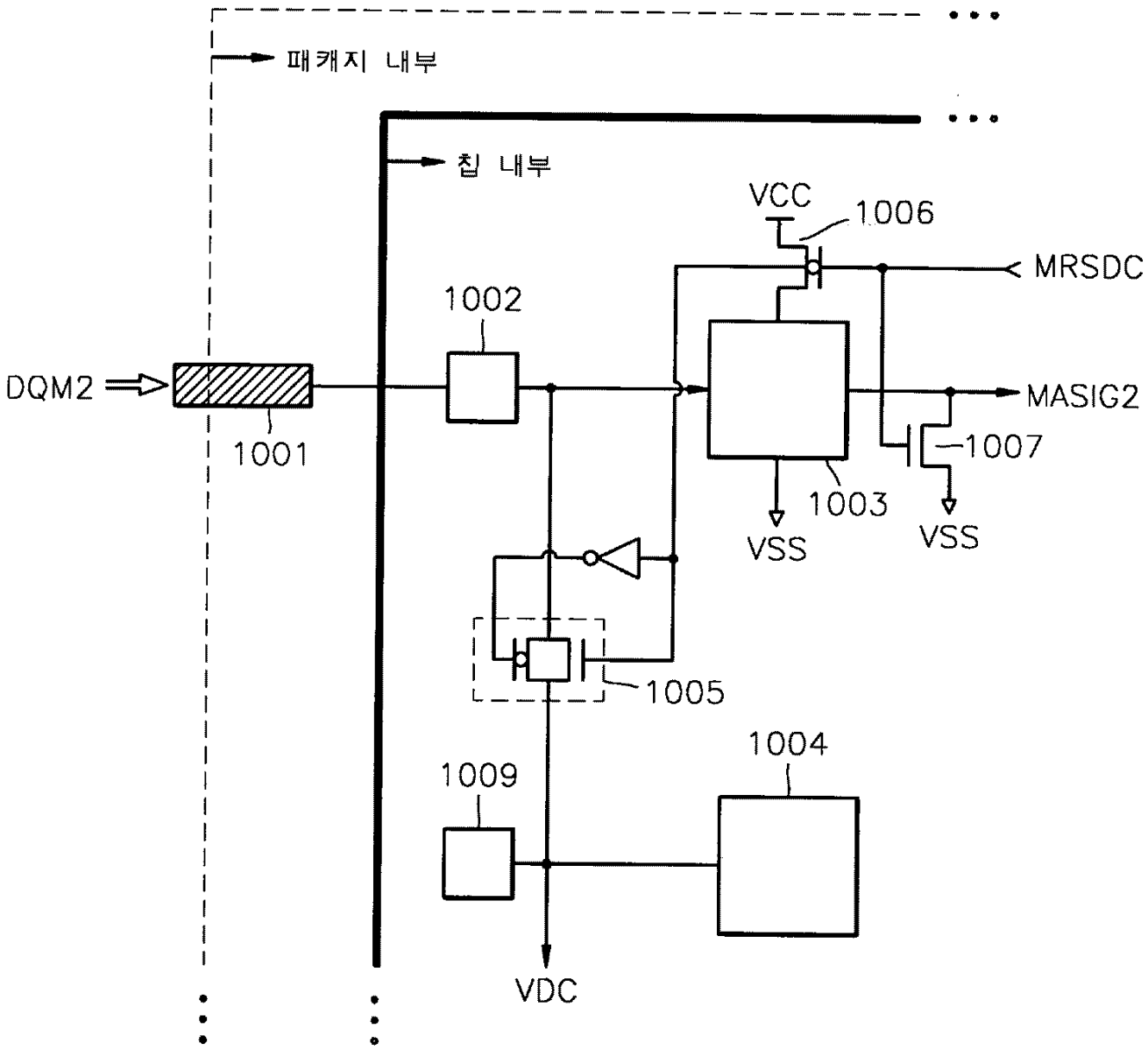
도면 8



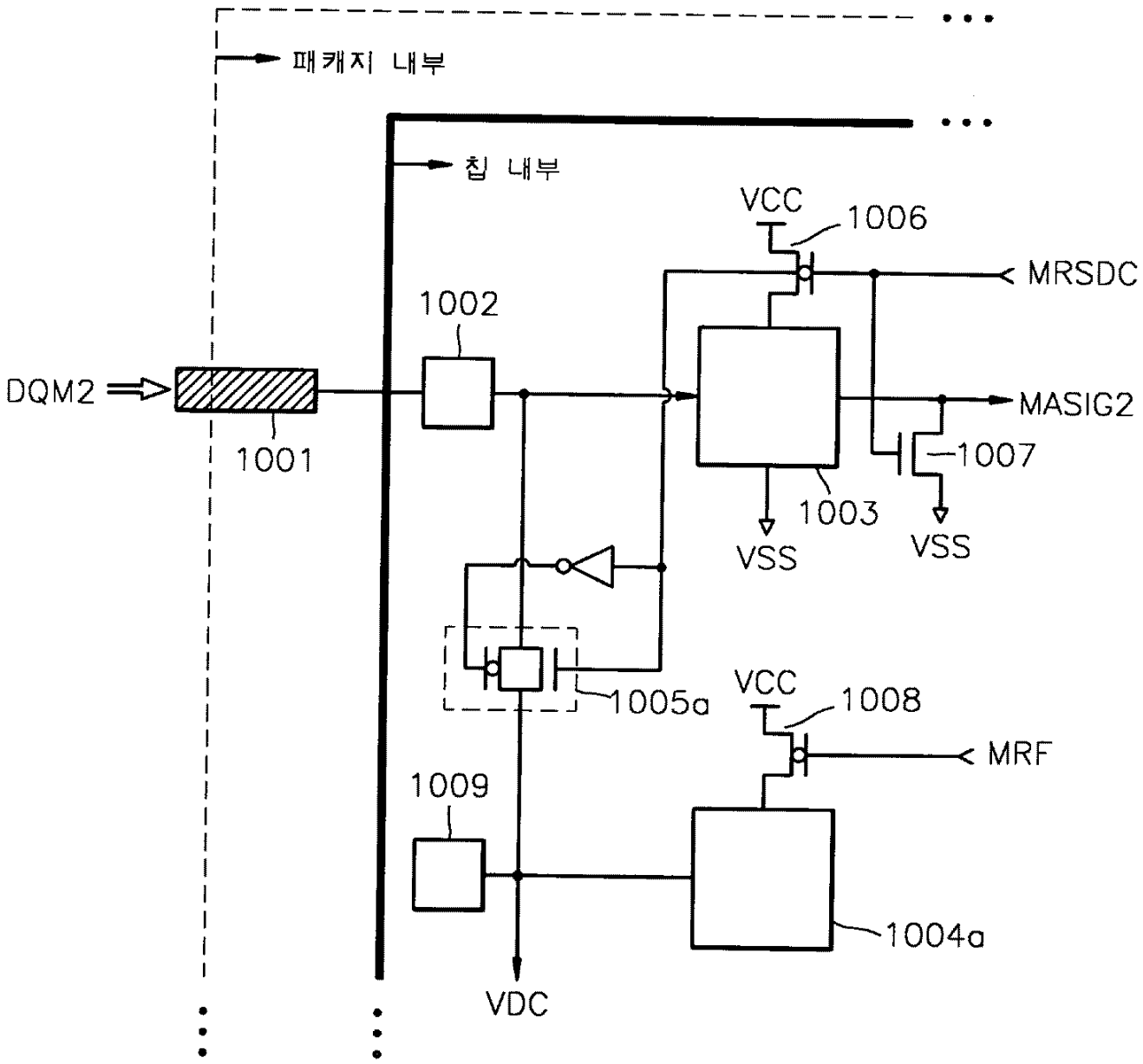
도면 9



도면 10


패캐지 내부
칩 내부
VCC
1006
MRSDC
1002
DQM2
1001
MASIG2
1007
1003
VSS
VSS
1005
1004
1009
VDC

도면 11


패캐지 내부
칩 내부
VCC
1006
MRSDC
1002
DQM2
MASIG2
1001
1007
1003
VSS
VSS
1005a
VCC
1008
MRF
1009
1004a
VDC