



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월21일
 (11) 등록번호 10-1175226
 (24) 등록일자 2012년08월13일

(51) 국제특허분류(Int. Cl.)
 H01L 29/78 (2006.01)
 (21) 출원번호 10-2009-0116075
 (22) 출원일자 2009년11월27일
 심사청구일자 2009년11월27일
 (65) 공개번호 10-2011-0059365
 (43) 공개일자 2011년06월02일
 (56) 선행기술조사문헌
 KR1020090119567 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
매그나칩 반도체 유한회사
 충북 청주시 흥덕구 향정동 1
 (72) 발명자
차재한
 부산광역시 영도구 향토길 14, 미니아파트 38-3
 (영선동4가)
이경호
 충청북도 청원군 강외면 정중리 278번지
 (뫼면에 계속)
 (74) 대리인
이현수, 정홍식, 김태현, 김종선

전체 청구항 수 : 총 10 항

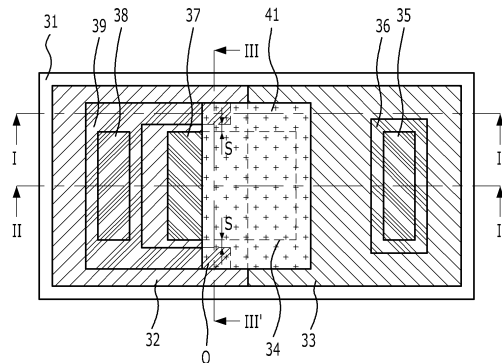
심사관 : 최정민

(54) 발명의 명칭 **반도체 장치**

(57) 요약

본 발명은 고전압용 반도체 장치에서 채널폭방향으로 소자분리막과 인접한 채널영역의 불순물 도핑농도가 국부적으로 감소함에 따른 동작특성 열화를 방지할 수 있는 반도체 장치를 제공하기 위한 것으로, 이를 위한 본 발명의 반도체 장치는, 기판에 형성되어 제1도전형의 제1웰과 제2도전형의 제2웰이 접합된 구조를 갖는 활성영역; 상기 제1웰에 형성된 제1도전형의 제1불순물영역; 및 상기 기판 상에서 상기 제1웰과 상기 제2웰을 동시에 가로지르는 게이트전극을 포함하고, 상기 제1불순물영역이 상기 활성영역 이외의 비활성영역 상의 상기 게이트전극과 중첩되는 중첩영역을 갖도록 확장된 것을 특징으로 하며, 상술한 본 발명에 따르면, 중첩영역을 구비함으로써, 채널폭 방향으로 소자분리막과 인접한 채널영역에서 불순물 도핑농도가 국부적으로 감소함에 따른 문턱전압 값의 변동 및 험프현상에 기인한 반도체 장치의 동작특성 열화를 방지할 수 있는 효과가 있다.

대표도 - 도2a



(72) 발명자

김선구

충청북도 청주시 흥덕구 가경동 신라아파트 2-1211

최형석

충청북도 청주시 흥덕구 증안로 77, 현대2차 아파트 214동 1106호 (복대동)

김주호

충청북도 청주시 흥덕구 매봉로 101, 남 410-1102 (수곡동, 주공아파트)

채진영

충청북도 청주시 흥덕구 가경동 세원2차 아파트 103-1306

오인택

충청북도 청주시 흥덕구 예체로29번길 17, 삼익2차 아파트 206동 1101호 (개신동)

특허청구의 범위

청구항 1

기판에 형성되는 제1도전형의 제1웰;

상기 제1웰과 접합된 형태로 상기 기판에 형성되는 제2도전형의 제2웰;

상기 기판에 형성되어 활성영역을 정의하는 소자분리막;

상기 제1웰 내에 형성된 제1도전형의 제1불순물영역; 및

상기 기판 상에서 상기 제1웰과 상기 제2웰을 동시에 가로지르는 게이트전극;을 포함하고,

상기 제1불순물영역은 상기 활성 영역 이외의 비활성 영역과 상기 게이트 전극의 하부와 중첩되는 중첩영역에 위치하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 중첩영역은 채널폭방향으로 상기 활성영역과 소정 간격 이격된 반도체 장치.

청구항 3

제1항에 있어서,

상기 중첩영역은 상기 비활성영역 내 제1웰과 상기 게이트전극이 중첩되는 영역내에 위치하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 중첩영역은 상기 제1웰과 제2웰이 접하는 경계면에 접하지 않도록 형성된 반도체 장치.

청구항 5

제1항에 있어서,

상기 중첩영역내 상기 제1불순물영역의 불순물 도핑농도는 구배를 갖는 반도체 장치.

청구항 6

제5항에 있어서,

상기 중첩영역내 상기 제1불순물영역의 불순물 도핑농도는 상기 제1웰과 상기 제2웰이 접하는 경계면에서 멀어질수록 증가하는 반도체 장치.

청구항 7

제1항에 있어서,

상기 제1불순물영역의 불순물 도핑농도는 상기 제1웰의 불순물 도핑농도보다 높은 반도체 장치.

청구항 8

제1항에 있어서,
 상기 제1불순물영역 내에 형성된 제1도전형의 픽업영역;
 상기 게이트전극 일측 끝단에 정렬되도록 상기 제1웰에 형성된 제2도전형의 소스영역;
 상기 게이트전극 타측 끝단으로부터 소정 간격 이격되도록 상기 제2웰에 형성된 제2도전형의 드레인영역; 및
 상기 제2웰에 형성되어 상기 드레인영역을 감싸는 제2도전형의 제2불순물영역;을 더 포함하는 반도체 장치.

청구항 9

제1항에 있어서,
 상기 소자분리막은 STI(Shallow Trench Isolation)공정으로 형성된 반도체 장치.

청구항 10

제8항에 있어서,
 상기 게이트전극과 상기 드레인영역 사이의 상기 소자분리막은 상기 게이트전극 하부에서 서로 일부 중첩되는 반도체 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치의 제조 기술에 관한 것으로, 특히 고전압용(High Voltage) 반도체 장치에 관한 것이다.

배경기술

[0002] 고전압용(High Voltage) 반도체 장치에 주로 이용되는 EDMOS(Extended Drain MOS) 트랜지스터는 바이폴라(bipolar) 트랜지스터에 비해 높은 입력 임피던스를 가지기 때문에 전력이득이 크고 게이트 구동회로가 매우 간단하며, 유니폴라(unipolar) 장치이기 때문에 장기간 턴-오프(turn-off)되는 동안 소수 캐리어에 의한 축적 또는 재결합에 의해 발생하는 지연시간이 발생하지 않는다는 장점을 갖고 있다.

[0003] 도 1a 내지 도 1c는 종래기술에 따른 EDMOS 트랜지스터를 도시한 도면으로, 도 1a는 평면도, 도 1b는 도 1a에 도시된 X-X' 절취선을 따라 도시한 단면도, 도 1c는 도 1a에 도시된 Y-Y' 절취선을 따라 도시한 단면도이다. 여기서 는 N채널을 갖는 EDMOS 트랜지스터를 예시하여 도시하였다.

[0004] 도 1a 내지 도 1c를 참조하여 종래기술에 따른 EDMOS 트랜지스터를 살펴보면, 기판(11)에 형성된 P형 제1웰(12)과 N형인 제2웰(13), 기판(11)에 형성된 소자분리막(22)에 의해 정의되고 제1웰(12)과 제2웰(13)이 접합된 구조를 갖는 활성영역(14), 기판(11) 상에서 제1웰(12)과 제2웰(13)을 동시에 가로지르는 게이트전극(21), 게이트전극(21)과 기판(11) 사이에 개재된 게이트절연막(20), 게이트전극(21) 일측 끝단에 정렬되어 제1웰(12)에 형성된 N형 소스영역(17), 제1웰(12)에 형성된 P형 픽업영역(18), 제1웰(12)에 형성되어 픽업영역(18)을 둘러싸는 P형 제1불순물영역(19), 게이트전극(21) 타측 끝단으로부터 소정간격 이격되어 제2웰(13)에 형성된 N형 드레인영역(15) 및 제2웰(13)에 형성되어 드레인영역(15)을 둘러싸는 N형 제2불순물영역(16)으로 이루어져 있다. 여기서, EDMOS 트랜지스터의 채널영역(C)은 게이트전극(21)과 활성영역(14) 내 제1웰(12)이 중첩되는 영역으로 정의된다.

[0005] 하지만, 종래기술에서 소자분리막(22)은 STI(Shallow Trench Isolation)공정을 통해 형성하는데, 채널폭방향(Y-Y' 방향)으로 게이트전극(21) 아래 제1웰(12)과 소자분리막(22)이 인접한 영역(도 1a 및 도 1c의 도면부호 'A' 참조)에서 제1웰(12)에 도핑된 불순물 예컨대, 붕소(Boron)가 소자분리막(22)으로 침투(segregation)하여 소자분리막(22)과 인접한 채널영역(C)의 도핑농도가 국부적으로 감소하는 문제점이 있다.

[0006] 이처럼, 채널폭방향으로 소자분리막(22)과 인접한 채널영역(C)의 도핑농도가 국부적으로 감소하면, 기설정된 문턱전압 값이 변동(variation)되는 문제점이 있다. 또한, 험프현상(hump)을 야기하여 반도체 장치의 동작특성을 열화시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 고전압용 반도체 장치에서 채널폭방향으로 소자분리막과 인접한 채널영역의 불순물 도핑농도가 국부적으로 감소함에 따른 동작특성 열화를 방지할 수 있는 반도체 장치를 제공하는데 그 목적이 있다.

과제 해결수단

[0008] 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 반도체 장치는, 기판에 형성되어 제1도전형의 제1웰과 제2도전형의 제2웰이 접합된 구조를 갖는 활성영역; 상기 제1웰에 형성된 제1불순물영역; 및 상기 기판 상에서 상기 제1웰과 상기 제2웰을 동시에 가로지르는 게이트전극을 포함하고, 상기 제1불순물영역이 상기 활성영역 이외의 비활성영역 상의 상기 게이트전극과 중첩되는 중첩영역을 갖도록 확장된 것을 특징으로 한다.

[0009] 상기 중첩영역은 채널폭방향으로 상기 활성영역과 소정 간격 이격된 구조를 가질 수 있다. 상기 중첩영역은 상기 비활성영역 내 제1웰과 상기 게이트전극이 중첩되는 영역내에 위치할 수 있다. 상기 중첩영역은 상기 제1웰과 제2웰이 접하는 경계면에 접하지 않도록 형성될 수 있다.

[0010] 상기 중첩영역내 상기 제1불순물영역의 불순물 도핑농도는 구배를 가질 수 있다. 구체적으로, 상기 중첩영역내 상기 제1불순물영역의 불순물 도핑농도는 상기 제1웰과 상기 제2웰이 접하는 경계면에서 멀어질수록 증가할 수 있다.

[0011] 상기 제1불순물영역의 불순물 도핑농도는 상기 제1웰의 불순물 도핑농도보다 높을 수 있다.

[0012] 또한, 본 발명의 반도체 장치는 상기 기판에 형성되어 상기 활성영역을 정의하는 소자분리막; 상기 불순물영역내에 형성된 제1도전형의 픽업영역; 상기 게이트전극 일측 끝단에 정렬되도록 상기 제1웰에 형성된 제2도전형의 소스영역; 상기 게이트전극 타측 끝단으로부터 소정 간격 이격되도록 상기 제2웰에 형성된 제2도전형의 드레인영역; 및 상기 제2웰에 형성되어 상기 드레인영역을 감싸는 제2도전형의 제2불순물영역을 더 포함할 수 있다.

[0013] 상기 소자분리막은 STI(Shallow Trench Isolation)공정으로 형성된 것일 수 있다. 상기 게이트전극과 상기 드레인영역 사이의 상기 소자분리막은 상기 게이트전극 하부에서 서로 일부 중첩될 수 있다.

효과

[0014] 상술한 과제 해결 수단을 바탕으로 하는 본 발명은, 제1불순물영역이 활성영역 이외의 비활성영역 상의 게이트전극과 중첩되는 중첩영역을 갖도록 확장된 구조를 가짐으로써, 채널폭방향으로 소자분리막과 인접한 채널영역에서 불순물 도핑농도가 국부적으로 감소함에 따른 문턱전압 값의 변동 및 험프현상에 기인한 반도체 장치의 동작특성 열화를 방지할 수 있는 효과가 있다.

[0015] 또한, 본 발명은 중첩영역이 채널폭방향으로 활성영역과 소정 간격 이격된 형태를 가짐으로써, 문턱전압 값의 변동 및 험프현상에 기인한 반도체 장치의 동작특성 열화를 보다 효과적으로 방지할 수 있는 효과가 있다.

[0016] 또한, 본 발명은 중첩영역이 제1웰과 제2웰이 접하는 경계면과 접하지 않도록 형성함에 따라 중첩영역에 기인한 반도체 장치의 항복전압 특성 열화를 방지할 수 있는 효과가 있다.

[0017] 또한, 본 발명은 중첩영역 내 불순물영역의 불순물 도핑농도가 구배를 갖도록 형성함으로써, 중첩영역에 기인한 반도체 장치의 항복전압 특성 열화를 보다 효과적으로 방지할 수 있는 효과가 있다.

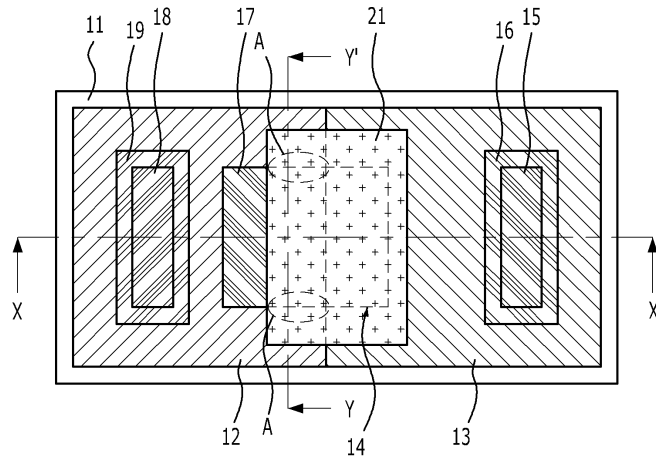
발명의 실시를 위한 구체적인 내용

- [0018] 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.
- [0019] 후술한 본 발명의 실시예에서는 고전압용 반도체 장치에서 채널폭방향으로 소자분리막과 인접한 채널영역의 불순물 도핑농도가 국부적으로 감소함에 따른 동작특성 열화를 방지할 수 있는 반도체 장치를 제공한다. 이를 위해 본 발명은 픽업영역을 둘러싸도록 형성되는 불순물영역을 확장시켜 게이트전극과 불순물영역이 중첩되는 중첩영역을 형성하되, 중첩영역이 활성영역과 소정간격 이격되도록 형성하는 것을 기술요지로 한다.
- [0020] 이하, 실시예에서는 N채널을 갖는 EDMOS(Extended Drain MOS) 트랜지스터에 본 발명의 기술요지를 적용한 경우를 예시하여 설명한다. 따라서, 이하의 설명에서 제1도전형은 P형이고, 제2도전형은 N형이다. 물론, P채널을 갖는 EDMOS 트랜지스터에도 본 발명의 기술요지를 동일하게 적용할 수 있으며, 이 경우에 제1도전형은 N형이고, 제2도전형은 P형이다.
- [0021] 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 EDMOS 트랜지스터를 도시한 도면으로, 도 2a는 평면도, 도 2b는 도 2a에 도시된 I-I' 절취선을 따라 도시한 단면도, 도 2c는 도 2a에 도시된 II-II' 절취선을 따라 도시한 단면도, 도 2d는 도 2a에 도시된 III-III' 절취선을 따라 도시한 단면도이다.
- [0022] 도 2a 내지 도 2d에 도시된 바와 같이, 본 발명의 일실시예에 따른 EDMOS 트랜지스터를 살펴보면, 기판(31)에 형성된 제1도전형의 제1웰(32)과 제2도전형의 제2웰(33), 기판(31)에 형성되어 제1웰(32)과 제2웰(33)이 접합된 구조의 활성영역(34)을 정의하는 소자분리막(42), 기판(31) 상에서 제1웰(32)과 제2웰(33)을 동시에 가로지르는 게이트전극(41), 게이트전극(41)과 기판(31) 사이에 개재된 게이트절연막(40), 게이트전극(41) 일측 끝단에 정렬되어 제1웰(32)에 형성된 제2도전형의 소스영역(37), 소스영역(37)으로부터 소정간격 이격되어 제1웰(32)에 형성된 제1도전형의 픽업영역(38), 제1웰(32)에 형성되어 픽업영역(38)을 둘러싸는 제1도전형의 제1불순물영역(39), 게이트전극(41) 타측 끝단으로부터 소정간격 이격되어 제2웰(33)에 형성된 제2도전형의 드레인영역(35) 및 제2웰(33)에 형성되어 드레인영역(35)을 둘러싸는 제2도전형의 제2불순물영역(36)을 포함할 수 있다.
- [0023] 여기서, 제1불순물영역(39)은 제1웰(32)과 픽업영역(38) 사이의 콘택특성을 향상시키는 역할 및 채널영역(C)에서 국부적인 불순물 도핑농도의 감소를 보상해주는 역할을 수행하는 것으로, 제1웰(32)보다는 높은 불순물 도핑농도를 가질 수 있고, 픽업영역(38)보다는 낮은 불순물 도핑농도를 가질 수 있다. 제2불순물영역(36)은 확장된 드레인영역(35)으로 작용하여 동작간 드레인영역(35)의 안정성을 향상시키는 역할을 수행하는 것으로, 제2웰(33)보다는 높은 불순물 도핑농도를 가질 수 있고, 드레인영역(35)보다는 작은 불순물 도핑농도를 가질 수 있다. 그리고, 소자분리막(42)은 STI(Shallow Trench Isolation)공정을 통해 형성된 것일 수 있으며, 게이트전극(41)과 드레인영역(35) 사이의 소자분리막(42)은 게이트전극(41) 하부에서 서로 일부 중첩되는 구조를 가질 수 있다.
- [0024] 여기서, 본 발명의 일실시예에 따른 반도체 장치는 채널폭방향(III-III'방향)으로 소자분리막(42)과 인접한 채널영역(C)의 불순물 도핑농도가 국부적으로 감소함에 따른 동작특성 열화를 방지하기 위하여, 제1불순물영역(39)이 활성영역(34) 이외의 비활성영역 상의 게이트전극(41)과 중첩되는 중첩영역(O)을 갖도록 확장되고, 중첩영역(O)이 채널폭방향으로 활성영역(34)과 소정 간격(S) 이격된 형태를 갖도록 형성함을 특징으로 한다. 이때, 채널영역(C)은 게이트전극(41)과 활성영역(34) 내 제1웰(32)이 중첩되는 영역으로 정의할 수 있으며, 비활성영역은 활성영역 이외의 제1 및 제2웰(32, 33) 또는 소자분리막(42)이 형성된 영역으로 정의할 수 있다.
- [0025] 구체적으로, 도 2d에 도시된 바와 같이 본 발명의 일실시예에 따른 반도체 장치에서 채널폭방향으로 제1웰(32)에 도핑된 불순물 예컨대, 붕소가 소자분리막(42)으로 침투함에 따라 소자분리막(42)과 인접한 채널영역(C)의 불순물 도핑농도가 국부적으로 감소하는 문제점이 발생한다(도 2d의 도면부호 'A' 참조)
- [0026] 하지만, 중첩영역(O)이 활성영역(34)과 소정 간격(S) 이격되도록 활성영역(34) 이외의 비활성영역의 기판(31) 상에 형성된 게이트전극(41)과 제1불순물영역(39)이 중첩된 구조 즉, 채널영역(C) 외측에 중첩영역(O)이 위치함에 따라 소자분리막(42)과 인접한 채널영역(C)에서 국부적으로 감소된 불순물 도핑농도를 보상해 줄 수 있다. 이를 통해, 소자분리막(42)과 인접한 채널영역(C)의 불순물 도핑농도가 국부적으로 감소함에 따른 문턱전압 값의 변동 및 험프현상(hump)에 기인한 반도체 장치의 동작 특성 열화를 방지할 수 있다.
- [0027] 여기서, 중첩영역(O)을 활성영역(34)과 소정 간격(S) 이격되도록 배치하는 이유는 중첩영역에 의하여 기설정된 문턱전압 값이 변동되는 것을 방지하기 위함이다. 즉, 중첩영역(O)을 활성영역(34)과 접하게 형성하거나, 또는

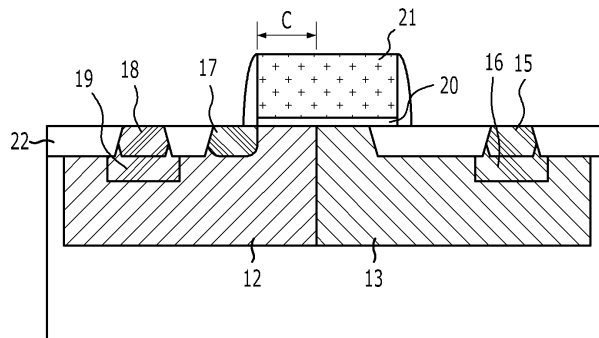
- [0041] 37 : 소스영역 38 : 픽업영역
- [0042] 39 : 제1불순물영역 40 : 게이트절연막
- [0043] 41 : 게이트전극 42 : 소자분리막

도면

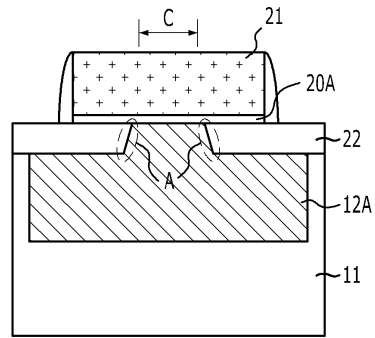
도면1a



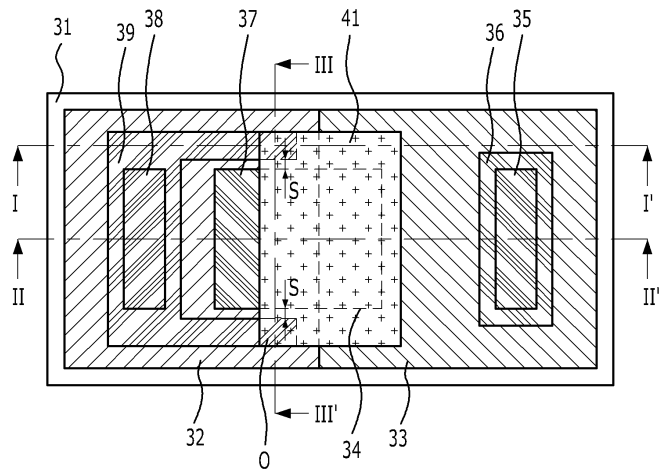
도면1b



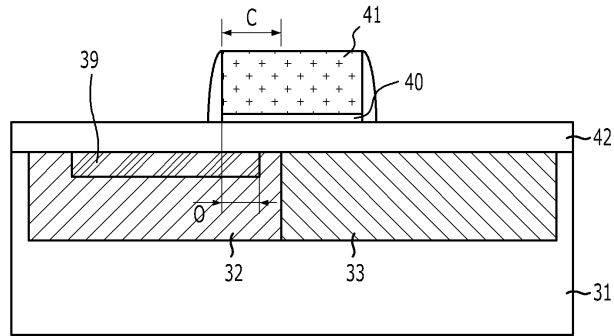
도면1c



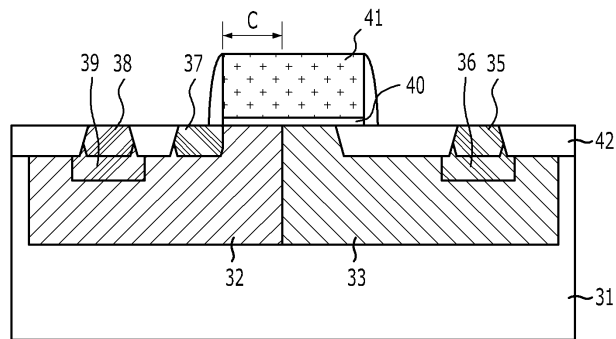
도면2a



도면2b



도면2c



도면2d

