



(12) 发明专利

(10) 授权公告号 CN 101598876 B

(45) 授权公告日 2011.04.06

(21) 申请号 200810187270.2

审查员 黄金龙

(22) 申请日 2008.12.19

(30) 优先权数据

10-2008-0051643 2008.06.02 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金锡垣 扈源俊 权赫振 柳昌模

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G02F 1/1362 (2006.01)

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

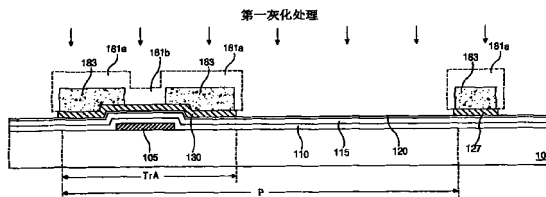
权利要求书 3 页 说明书 9 页 附图 9 页

(54) 发明名称

用于液晶显示装置的阵列基板及其制造方法

(57) 摘要

本发明公开用于液晶显示装置的阵列基板及其制造方法。用于液晶显示装置的阵列基板的制造方法包括：在金属材料层上形成初始光致抗蚀剂 (PR) 图案；使用初始 PR 图案作为蚀刻掩模蚀刻金属材料层，以形成数据线和金属材料图案，其中，初始 PR 图案处于数据线上；在初始 PR 图案上执行第一灰化处理，以部分去除初始 PR 图案，从而形成第一灰化 PR 图案，第一灰化 PR 图案具有比初始 PR 图案更小的宽度和更小的厚度，使得通过第一灰化 PR 图案暴露出数据线的端部；通过第一干蚀刻处理蚀刻本征非晶硅层和掺杂质非晶硅层；在基板上形成源极和漏极。



1. 一种在用于液晶显示装置的阵列基板上制造数据线的方法,该方法包括如下步骤:
在基板上形成栅极绝缘层,本征非晶硅层,掺杂质非晶硅层和金属材料层;
在该金属材料层上形成初始光致抗蚀剂 PR 图案;
使用该初始 PR 图案作为蚀刻掩模蚀刻该金属材料层,以形成该数据线和金属材料图案,其中,该初始 PR 图案处于该数据线上;
在该初始 PR 图案上执行第一灰化处理,以部分去除该初始 PR 图案,从而形成第一灰化 PR 图案,该第一灰化 PR 图案具有比该初始 PR 图案更小的宽度和更小的厚度,从而该数据线的端部通过该第一灰化 PR 图案暴露出;
使用该数据线作为蚀刻掩模,通过第一干蚀刻处理蚀刻该本征非晶硅层和该掺杂质非晶硅层,以在该数据线下形成第一和第二图案;
蚀刻该金属材料图案的一部分,以在该基板上形成源极和漏极;
去除该第一灰化 PR 图案;
在所述源极,漏极和数据线上形成钝化层;以及
在该钝化层上形成像素电极。
2. 根据权利要求 1 所述的方法,还包括,紧接在蚀刻本征非晶硅层和掺杂质非晶硅层的步骤之后执行第二灰化处理,以部分去除该第一灰化 PR 图案,从而形成第二灰化 PR 图案,该第二灰化 PR 图案比第一灰化 PR 图案具有更小的宽度。
3. 根据权利要求 2 所述的方法,还包括,紧接在用以形成源极和漏极的蚀刻步骤之前执行第三灰化处理,以部分去除该第二灰化 PR 图案,从而形成第三灰化 PR 图案,该第三灰化 PR 图案具有比该第二灰化 PR 图案更小的宽度。
4. 根据权利要求 1 所述的方法,其中,该金属材料层包括铜和铜合金中的一种。
5. 根据权利要求 1 所述的方法,其中,在该第一灰化处理期间,该掺杂质非晶硅层和本征非晶硅层叠置在该栅极绝缘层上。
6. 根据权利要求 1 所述的方法,其中,用以形成像素电极的步骤包括:
在该钝化层上沉积氧化铟锡和氧化铟锌中的一种,以形成透明导电材料层;以及
将该透明导电材料层图案化,以形成该像素电极。
7. 根据权利要求 1 所述的方法,其中形成栅极绝缘层的步骤和形成钝化层的步骤中的至少一个步骤,包括沉积硅氮化物和硅氧化物中的一种。
8. 一种用于液晶显示装置的阵列基板的制造方法,该方法包括如下步骤:
在基板上形成栅极线和栅极,所述栅极与栅极线连接;
在所述栅极线和栅极上依次形成栅极绝缘层,本征非晶硅层,掺杂质非晶硅层和金属材料层;
在该金属材料层上形成多个第一光致抗蚀剂 PR 图案和比每个第一 PR 图案具有更小厚度的第二 PR 图案;
使用所述第一和第二 PR 图案作为蚀刻掩模蚀刻该金属材料层,以形成数据线和金属材料图案,该金属材料图案与该栅极相对应,其中,该第二 PR 图案以及相邻于该第二 PR 图案的两侧设置的两个第一 PR 图案处于该金属材料图案上,一个第一 PR 图案处于该数据线上,其中,所述金属材料图案和数据线相对于该第一 PR 图案均具有底切结构;
在所述第一和第二 PR 图案上执行第一灰化处理,以部分去除所述第一 PR 图案和去除

所述第二 PR 图案,从而形成多个第三 PR 图案,每个第三 PR 图案具有比每个第一 PR 图案更小的宽度和更小的厚度,从而使所述数据线和金属材料图案的端部以及该金属材料图案的中心部分通过该第三 PR 图案暴露出;

使用所述金属材料图案和数据线作为蚀刻掩模,通过第一干蚀刻处理蚀刻所述本征非晶硅层和掺杂质非晶硅层,以在该金属材料图案下面形成欧姆接触图案和有源层,在该数据线下形成第一和第二图案,其中,所述欧姆接触图案和有源层均具有与该金属材料图案相同的面积和形状,并且与该金属材料图案重叠,所述第一和第二图案均与该数据线具有相同的面积和形状,并且与该数据线重叠;

蚀刻通过所述第三 PR 图案暴露出的金属材料图案的所述中心部分,以形成源极以及与该源极分隔开的漏极,其中,所述源极,漏极和数据线相对于所述第三 PR 图案均具有底切结构;

使用所述第三 PR 图案作为蚀刻掩模蚀刻该欧姆接触图案,以形成欧姆接触层;

去除所述第三 PR 图案;

在所述源极,漏极和数据线上形成钝化层,该钝化层包括暴露出该漏极的漏极接触孔;以及

在该钝化层上形成像素电极。

9. 根据权利要求 8 所述的方法,其中,该金属材料层包括铜和铜合金中的一种。

10. 根据权利要求 8 所述的方法,还包括紧接在蚀刻本征非晶硅层和掺杂质非晶硅层的步骤之后执行第二灰化处理,以增大通过所述第三 PR 图案暴露出的数据线和金属材料图案的端部的宽度。

11. 根据权利要求 8 所述的方法,还包括紧接在蚀刻金属材料图案的中心部分的步骤之前立即执行第三灰化处理,以减小所述第三 PR 图案的宽度,并且通过所述第三 PR 图案暴露出所述源极,漏极和数据线的端部。

12. 根据权利要求 8 所述的方法,其中,该第一灰化处理具有各向同性特性。

13. 根据权利要求 8 所述的方法,其中,在蚀刻欧姆接触图案的步骤中,使用所述第三 PR 图案作为蚀刻掩模蚀刻该数据线下方的第一图案,使得该第一图案具有小于该第二图案且大于该数据线的宽度,其中所述第一图案,第二图案和数据线一起形成台阶形状。

14. 根据权利要求 8 所述的方法,其中,形成第一 PR 图案和第二 PR 图案的步骤包括:在该金属材料层上形成 PR 层;

在该 PR 层上沉积具有透光区,阻光区和半透光区的掩模;以及

通过该掩模曝光和显影该 PR 层,以形成多个第一 PR 图案和第二 PR 图案,其中,每个第一 PR 图案与所述透光区和阻光区中的一个相对应,该第二 PR 图案与该半透光区相对应;

其中,该透光区的透射率高于该半透光区的透射率,并且该阻光区不透光。

15. 根据权利要求 8 所述的方法,其中,在该第一灰化处理期间,在该栅极绝缘层上叠置所述掺杂质非晶硅层和本征非晶硅层。

16. 根据权利要求 8 所述的方法,其中,用以形成像素电极的步骤包括:

在该钝化层上沉积氧化铟锡和氧化铟锌中的一种,以形成透明导电材料层;以及将该透明导电材料层图案化,以形成该像素电极。

17. 根据权利要求 8 所述的方法,其中,用以形成栅极绝缘层和形成钝化层的步骤中的

至少一个步骤包括沉积硅氮化物和硅氧化物中的一种。

18. 根据权利要求 8 所述的方法,其中,该源极与一部分欧姆接触层一起在该有源层上形成台阶形状,并且该漏极与其他部分的欧姆接触层一起在该有源层上形成台阶形状。

19. 一种用于液晶显示装置的阵列基板,该阵列基板包括:

处于基板上的栅极线;

处于该栅极线上的栅极绝缘层;

处于栅极上并且与该栅极线相交的数据线;

与所述栅极线和数据线连接的薄膜晶体管,其包括栅极,处于该栅极上的有源层,处于该有源层上的欧姆接触层,以及处于该欧姆接触层上的源极和漏极,其中,该栅极与该栅极线连接,该源极与该数据线连接且与该漏极分隔开;

第一图案,其包括与该有源层相同的材料并且设置在该栅极绝缘层上;

第二图案,其包括与该欧姆接触层相同的材料并且设置在该数据线下方的第一图案上;

处于该薄膜晶体管上的钝化层,其包括将该漏极暴露出的漏极接触孔;以及

处于该钝化层上的像素电极,该像素电极通过该漏极接触孔与该漏极接触,

其中,所述第二图案具有比该第一图案小且比该数据线大的宽度,所述第一图案,第二图案和数据线一起具有台阶形状。

20. 根据权利要求 19 所述的阵列基板,其中该源极和一部分欧姆接触层一起在该有源层上具有台阶形状,所述漏极和其他部分的欧姆接触层一起在该有源层上具有台阶形状。

用于液晶显示装置的阵列基板及其制造方法

[0001] 本申请要求 2008 年 6 月 2 日在韩国申请的韩国专利申请 No. 10-2008-0051643 的权益,该申请在此引作参考。

技术领域

[0002] 本发明涉及液晶显示 (LCD) 装置,更具体而言,涉及具有改善的开口率和亮度的阵列基板,以及阵列基板的制造方法。

背景技术

[0003] 由于液晶显示 (LCD) 装置具有轻重量、薄外观和低功耗的特性, LCD 装置已经被广泛地使用,特别是用于电视机、计算机监视器、蜂窝电话显示器、个人数字助理 (PDA) 等中。在已知类型的 LCD 装置中,具有排列成矩阵形式的薄膜晶体管 (TFT) 的有源矩阵 LCD (AM-LCD) 装置是重点研究和发展的课题,这是因为它们具有高分辨率,并且在显示运动图像时具有优异的性能。

[0004] 通常,通过阵列基板制造过程,滤色镜基板制造过程和单元制造过程来制造 LCD 装置。在阵列基板制造过程中,在第一基板上形成诸如 TFT 和像素电极的阵列元件。在滤色镜基板制造过程中,在第二基板上形成滤色镜和公共电极。在单元制造过程中,将第一与第二基板彼此固定在一起,将液晶设置在它们之间。

[0005] 图 1 为现有技术 LCD 装置的分解透视图。该 LCD 装置包括第一和第二基板 12 和 22,以及液晶层 30。第一和第二基板 12 和 22 彼此面对,液晶层 30 被置于两者之间。

[0006] 第一基板 12 包括栅极线 14,数据线 16, TFT “Tr” 和像素电极 18。将包括这些元件的第一基板 12 称作阵列基板 10。栅极线 14 与数据线 16 彼此交叉,从而在栅极线 14 与数据线 16 之间形成一个区域,将其限定为像素区域 “P”。在栅极线 14 与数据线 16 之间的交叉部分处形成 TFT “Tr”,像素电极 18 形成在像素区域 “P” 中,与 TFT “Tr” 连接。

[0007] 第二基板 22 包括黑色矩阵 25,滤色镜层 26 和公共电极 28。将包括这些元件的第二基板 22 称作滤色镜基板 20。黑色矩阵 25 具有栅格形状,覆盖第一基板 12 的非显示区,诸如栅极线 14,数据线 16 和 TFT “Tr”。滤色镜层 26 包括第一,第二和第三子滤色镜 26a, 26b 和 26c。每个子滤色镜 26a, 26b 和 26c 具有红色 R,绿色 G 和蓝色 B 中的一种颜色,并且与每个像素区域 “P” 相应。在黑色矩阵 25 和滤色镜层 26 上形成公共电极 28,覆盖第二基板 22 的整个表面。

[0008] 尽管没有示出,不过,为了防止液晶层 30 泄漏,可以沿着第一和第二基板 12 和 22 的边缘形成密封图案。在第一基板 12 与液晶层 30 之间,以及第二基板 22 与液晶层 30 之间可形成第一和第二取向层。可在第一和第二基板 12 和 22 的外表面上形成偏振片。

[0009] LCD 装置包括与第一基板 12 的外表面相对的背光组件,向液晶层 30 输送光。当将扫描信号施加给栅极线 14,以便对 TFT “Tr” 进行控制时,通过数据线 16 将数据信号施加给像素电极 18,从而在像素电极 18 与公共电极 28 之间感应出电场。从而,电场将液晶切换成导通,结果, LCD 装置利用来自背光组件的光产生图像。

[0010] 图 2 为用于现有技术 LCD 装置的阵列基板的一个像素区域的剖面图。在基板 59 上形成栅极线和数据线 79。栅极线 79 彼此相交,限定出像素区域 P。在像素区域 P 中的开关区域 TrA 中形成与栅极线连接的栅极 63。在栅极线 79 和栅极 63 上形成栅极绝缘层 66。在栅极绝缘层 66 上,与栅极 63 相对应地形成包括有源层 67 和欧姆接触层 74 的半导体层 76。在欧姆接触层 74 上形成源极 82 和漏极 84。源极 82 与数据线 79 连接,漏极 84 与源极 82 分隔开。在开关区域 TrA 中,栅极 63,栅极绝缘层 66,半导体层 76,源极 82 和漏极 84 构成 TFT Tr。在数据线和 TFT Tr 上形成包括漏极接触孔 87 的钝化层 86。漏极接触孔 87 暴露出漏极 84 的一部分。在每个像素区域 P 中,在钝化层 86 上形成像素电极 88,并且像素电极 88 通过漏极接触孔 87 与漏极 84 接触。

[0011] 半导体层 76 伸出源极和漏极之外超过大约 2 微米的第一宽度“A1”。此外,包括第一图案 72 和第二图案 68 的半导体图案 73 在每一侧伸出数据线 79 之外超过大约 2 微米的第二宽度“A2”。这是由于阵列基板 59 是通过四道掩模处理而形成的。将参照附图解释四道掩模处理。

[0012] 图 3A 到 3H 的剖面图表示用于制造根据现有技术的阵列基板的四道掩模处理。

[0013] 在图 3A 中,在基板 59 上形成第一金属材料层。通过第一掩模处理将第一金属材料层图案化,形成栅极线 79 和栅极 63。栅极 63 处于开关区域 TrA 中。尽管图中没有示出,第一掩模处理包括形成光致抗蚀剂 (PR) 层的步骤,使用第一掩模对 PR 层进行曝光的步骤,将已曝光的 PR 层显影以便形成 PR 图案的步骤,使用 PR 图案作为蚀刻掩模蚀刻第一金属材料层以便形成栅极线 79 和栅极 63 的步骤,以及剥离 PR 图案的步骤。

[0014] 在图 3B 中,在栅极线 79 和栅极 63 上依次形成栅极绝缘层 66,本征非晶硅层 69,掺杂质非晶硅层 70 和第二金属材料层 78。在第二金属材料层 78 上形成 PR 层,并使用第二掩模对 PR 层进行图案化,形成第一和第二 PR 图案 91a 和 91b。第二掩模可以为折射性曝光掩模或半色调曝光掩模。第一 PR 图案 91a 具有第一厚度,并且与源极、漏极和数据线相对应。第二 PR 图案 91b 具有小于第一厚度的第二厚度,并且与栅极 63 的中心相对应。即,第二 PR 图案 91b 与源极和漏极之间的空间相对应。将处于其他部分的 PR 层完全去除,从而暴露出第二金属材料层 78。

[0015] 在图 3C 中,使用蚀刻剂,利用第一和第二 PR 图案 91a 和 91b 作为蚀刻掩模对暴露出的第二金属材料层 78(图 3B)进行湿蚀刻,形成数据线 79 和金属材料图案 80。在数据线 79 与金属材料图案 80 之间露出掺杂质的非晶硅层 70。第二金属材料层 78(图 3B)可包括低阻抗金属材料。例如,第二金属材料层 78(图 3B)可包括铜 (Cu),Cu 合金,铝 (Al),Al 合金中的一种。当第二金属材料层 78(图 3B)包括 Cu 或 Cu 合金时,第二金属材料层 78(图 3B)对于蚀刻剂具有相对较高的蚀刻速度。因而,在第一 PR 图案 91a 下面,数据线 79 和金属材料图案 80 具有底切结构。即,数据线 79 的宽度小于第一 PR 图案 91a 的宽度,金属材料图案 80 的宽度小于开关区域 TrA 中第一和第二 PR 图案 91a 和 91b 的宽度。

[0016] 在图 3D 中,使用第一和第二 PR 图案 91a 和 91b 对暴露出的掺杂质非晶硅层 70(图 3C)和本征非晶硅层 69(图 3C)进行干蚀刻,在金属材料图案 80 下面形成欧姆接触图案 71 和有源层 67。同时,在数据线 79 的下面形成掺杂质非晶硅的第一图案 72 和本征非晶硅的第二图案 68。第一图案 72 和第二图案 68 构成半导体图案 73。由于使用第一和第二 PR 图案 91a 和 91b 作为蚀刻掩模形成欧姆接触图案 71 和有源层 67,它们的宽度大于金属材料

图案 80 的宽度。

[0017] 在图 3E 中,在基板 59 上执行灰化处理。结果,去除第二 PR 图案 91b,使得金属材料图案 80 的一部分暴露在外。减小第一 PR 图案 91a 的厚度,从而形成第三 PR 图案 92。第三 PR 图案 92 可具有与第一 PR 图案 91a 相同的宽度。在此情形中,在金属材料图案 80 上第三 PR 图案 92 的外端可以是欧姆接触图案 71 的重叠端,在数据线 79 上第三 PR 图案 92 的外端可以是第一图案 72 的重叠端。另一方面,由于灰化处理,第三 PR 图案 92 可具有小于第一 PR 图案 91a 的宽度。在此情形中,在金属材料图案 80 和数据线 79 上,第三 PR 图案 92 的外端分别处于欧姆接触图案 71 和第一图案 72 之内。

[0018] 在图 3F 中,使用蚀刻剂对通过去除第二 PR 图案 91b(图 3E)而暴露出的金属材料图案 80(如 3E)的部分进行湿蚀刻,形成源极 82 和漏极 84。结果,源极 82 和漏极 84 处于欧姆接触图案 71 上,并且彼此间隔开。由于金属材料图案 80(图 3E)对于蚀刻剂具有相对较高的蚀刻速度,源极 82、漏极 84 和数据线 79 对于第三 PR 图案 92 具有明显的底切效果。

[0019] 在图 3G 中,暴露在源极 82 与漏极 84 之间的欧姆接触图案 71 的部分被干蚀刻,在源极 82 和漏极 84 下面形成欧姆接触层 74。同时,有源层 67 的一部分通过欧姆接触层 74 露出,限定出沟道。在开关区域 TrA 中,栅极 63,栅极绝缘层 66,包括有源层 67 和欧姆接触层 74 的半导体层 76,源极 82 和漏极 84 构成 TFT Tr。

[0020] 在图 3H 中,剥除第三 PR 图案 92(图 3G)。然后,通过第三掩模处理在数据线 79 和 TFT Tr 上形成包括漏极接触孔 87 的钝化层 86。漏极接触孔 87 暴露出漏极 84 的一部分。通过第四道掩模处理在钝化层 86 上形成通过漏极接触孔 87 接触漏极 84 的像素电极 88。通过上述四个掩模处理制造阵列基板。

[0021] 如上所述,在现有技术的阵列基板中,在数据线 79 下面,包括第一图案 72 和第二图案 68 的半导体图案 73 在每一侧伸出数据线 79 超过大约 2 微米的范围。由于像素电极 88 被设置成与半导体图案 73 分隔预定的距离,开口率会由于数据线 79 与像素电极 88 之间的距离而减小。从而,希望减小数据线 79 和像素电极 88 之间的距离,以改善开口率。

发明内容

[0022] 因而,本发明旨在提供用于液晶显示装置的阵列基板及其制造方法,基本上能够解决由于现有技术的限制和缺陷所引起的一个或多个问题。

[0023] 在随后的描述中将给出本发明的附加特征和优点,其一部分可由描述显然得出,或者可通过本发明的实施而获悉。通过文字描述和权利要求以及附图中具体给出的结构,将实现和获得本发明的目的和其他优点。

[0024] 为了实现这些和其他优点,根据本发明的目的,正如此处具体化和概括描述的,用于液晶显示装置的阵列基板的制造方法包括:在基板上形成栅极绝缘层,本征非晶硅层,掺杂质非晶硅层和金属材料层;在金属材料层上形成初始光致抗蚀剂(PR)图案;使用初始 PR 图案作为蚀刻掩模蚀刻金属材料层,以形成数据线和金属材料图案,其中,初始 PR 图案处于数据线上;在初始 PR 图案上执行第一灰化处理,以部分去除初始 PR 图案,从而形成第一灰化 PR 图案,第一灰化 PR 图案与初始 PR 图案相比具有更小宽度和更小厚度,从而通过第一灰化 PR 图案暴露出数据线的端部;使用数据线作为蚀刻掩模,通过第一干蚀刻处理蚀刻本征非晶硅层和掺杂质非晶硅层,以在数据线下面形成第一和第二图案;蚀刻金属材料图

案的一部分,以在基板上形成源极和漏极;去除第一灰化 PR 图案;在源极、漏极和数据线上形成钝化层;以及在钝化层上形成像素电极。

[0025] 在本发明的另一方面,用于液晶显示装置的阵列基板的制造方法包括:在基板上形成栅极线和栅极,栅极与栅极线连接;在栅极线和栅极上依次形成栅极绝缘层,本征非晶硅层,掺杂质非晶硅层和金属材料层;在金属材料层上形成多个第一光致抗蚀剂(PR)图案和厚度小于每个第一 PR 图案的第二 PR 图案;使用第一和第二 PR 图案作为蚀刻掩模蚀刻金属材料层,以形成数据线和金属材料图案,数据线与栅极线相交,并且金属材料图案与栅极相对应,其中,第二 PR 图案和相邻于第二 PR 图案两侧设置的两个第一 PR 图案,处于金属材料图案上,第一 PR 图案中的一个处于数据线上,其中,金属材料图案和数据线的每一个相对于第一 PR 图案具有底切结构;在第一和第二 PR 图案上执行第一灰化处理,以部分地去除第一 PR 图案,完全去除第二 PR 图案,从而形成多个第三 PR 图案,每个第三 PR 图案具有比每个第一 PR 图案更小的宽度和更小的厚度,从而通过第三 PR 图案暴露出数据线和金属材料图案的端部以及金属材料图案的中心部分;使用金属材料图案和数据线作为蚀刻掩模,通过第一干蚀刻处理蚀刻本征非晶硅层和掺杂质非晶硅层,以在金属材料图案下面形成欧姆接触图案和有源层,并且在数据线下形成第一和第二图案,其中,欧姆接触图案和有源层中的每一个与金属材料图案具有相同的面积和形状,并且与金属材料图案完全重叠,第一和第二图案的每一个与数据线具有相同的面积和形状,并且与数据线完全重叠;蚀刻通过第三 PR 图案暴露出的金属材料图案的中心部分,以形成与数据线连接的源极和与源极分隔开的漏极,其中,源极、漏极和数据线的每一个相对于第三 PR 图案具有底切结构;使用第三 PR 图案作为蚀刻掩模蚀刻欧姆接触图案,以形成欧姆接触层;完全去除第三 PR 图案;在源极、漏极和数据线上形成钝化层,钝化层包括暴露出漏极的漏极接触孔;以及在钝化层上形成像素电极,像素电极通过漏极接触孔与漏极接触。

[0026] 在本发明的另一方面,用于液晶显示装置的阵列基板包括:处于基板上的栅极线;处于栅极线上的栅极绝缘层;处于栅极上并且与栅极线交叉的数据线;与栅极线和数据线连接的薄膜晶体管,该薄膜晶体管包括栅极,处于栅极上的有源层,处于有源层上的欧姆接触层,以及处于欧姆接触层上的源极和漏极,其中,栅极与栅极线连接,并且源极与数据线连接,且与漏极分隔开;第一图案,包括与有源层相同的材料并且设置在栅极绝缘层上;第二图案,包括与欧姆接触层相同的材料并且设置在数据线下方的第一图案上;处于薄膜晶体管上并且包括暴露出漏极的漏极接触孔的钝化层;以及处于钝化层上并且通过漏极接触孔与漏极接触的像素电极,其中,第二图案具有比第一图案小且比数据线大的宽度,并且第一图案,第二图案和数据线一起具有台阶形状。

[0027] 应当理解,上面的概括描述和后面的详细描述都是示例性和解释性的,意在提供对所要求保护的发明的进一步解释。

[0028] 附图说明

[0029] 附图并入本申请中构成本申请的一部分,以提供对本发明的进一步理解。附图示出了本发明的实施方式,并与说明一起用于解释本发明的原理。在附图中:

[0030] 图 1 为现有技术 LCD 装置的分解透视图;

[0031] 图 2 为现有技术 LCD 装置的阵列基板的一个像素区域的剖面图;

[0032] 图 3A 到 3H 是表示用于制造现有技术阵列基板的四道掩模处理的剖面图;以及

[0033] 图 4A 到 4J 是表示根据本发明的阵列基板的制造过程的剖面图。

具体实施方式

[0034] 现在将详细描述优选实施方式,附图中表示出其示例。

[0035] 图 4A 到 4J 的剖面图表示根据本发明的阵列基板的制造过程。形成薄膜晶体管(TFT)的区域被限定为像素区域 P 中的开关区域 TrA。

[0036] 在图 4A 中,在基板 101 上形成第一金属材料层。通过第一掩模处理将第一金属材料层图案化,形成栅极线和栅极 105。栅极 105 处于开关区域 TrA 中。尽管图中没有示出,第一掩模处理包括形成光致抗蚀剂(PR)层的步骤,使用第一掩模将 PR 层曝光的步骤,将已曝光的 PR 层显影以形成 PR 图案的步骤,使用 PR 图案作为蚀刻掩模蚀刻第一金属材料层以形成栅极线和栅极 105 的步骤,以及剥离 PR 图案的步骤。第一金属材料层可以具有多层结构。在此情形中,栅极线和栅极 105 均具有多层结构。

[0037] 在图 4B 中,在形成有栅极线和栅极 105 的基板 101 上沉积无机绝缘材料,诸如硅氧化物(例如 SiO_2)和硅氮化物(SiN_x),形成栅极绝缘层 110。在栅极绝缘层 110 上依次形成本征非晶硅层 115,掺杂质非晶硅层 120 和第二金属材料层 125。本征非晶硅层 115 包括本征非晶硅,掺杂质非晶硅层 120 包括掺杂质非晶硅。第二金属材料层 125 优选包括铜(Cu),Cu 合金,铝(Al)和 Al 合金中的一种。然后,在第二金属材料层 125 上形成 PR 层 180。如果将 PR 层 180 的已曝光部分去除,则这种 PR 层可以被称作正型。另一方面,可使用具有相反特性的负型 PR 层。在此情形中,切换掩模中透光区与阻光区的位置,可获得同样的结果。

[0038] 接下来,在 PR 层 180 上设置具有透光区 TA,阻光区 BA 和半透光区 HTA 的第二掩模 190。透光区 TA 具有相对较高的透射率,从而通过透光区 TA 的光能够使 PR 层 180 完全发生化学改变。阻光区 BA 完全阻挡光。半透光区 HTA 具有狭缝结构或半透光膜,以降低通过半透光区 HTA 的光的强度或透射率。结果,半透光区 HTA 的透射率低于透光区 TA,且高于阻光区 BA 的透射率。半透光区 HTA 和靠近半透光区 HTA 两侧设置的阻光区 BA,对应于开关区域 TrA。即,半透光区 HTA 对应栅极 105 的中心。阻光区 BA 对应待形成源极和漏极的部分,如下所述。此外,如下所述,阻挡区 BA 对应待形成数据线的部分。透光区 TA 对应其他部分。通过第二掩模 190 将 PR 层 180 曝光,以根据第二掩模 190 的结构有选择地去掉 PR 层 180。

[0039] 在图 4C 中,将 PR 层 180(图 4B)显影,在第二金属材料层 125 上形成第一和第二 PR 图案 181a 和 181b。第一 PR 图案 181a 具有第一厚度,并且与源极、漏极和数据线相对应。第二 PR 图案 181b 具有小于第一厚度的第二厚度,并且与栅极 105 的中心相对应。即,第二 PR 图案 181b 对应源极与漏极之间的空间。在与透光区 TA 对应的其他部分中的 PR 层 180(图 4B),被完全去除,从而暴露出第二金属材料层 125。

[0040] 在图 4D 中,使用第一和第二 PR 图案 181a 和 181b 作为蚀刻掩模,用蚀刻剂对通过第一和第二 PR 图案 181a 和 181b 暴露出的第二金属材料层 125(图 4C)进行湿蚀刻,形成数据线 127 和金属材料图案 130。金属材料图案 130 处于开关区域 TrA 中,并且与数据线 127 连接。在数据线 127 与金属材料图案 130 之间暴露出掺杂质非晶硅层 120。当第二金属材料层 125(图 4C)包括 Cu 或 Cu 合金时,第二金属材料层 125(图 4C)对蚀刻剂具有相

对较高的蚀刻速度。因而,数据线 127 和金属材料图案 130 相对于第一 PR 图案 181a 具有底切结构。即,数据线 127 的宽度小于数据线 127 上第一 PR 图案 181a 的宽度,并且金属材料图案 130 的宽度小于开关区域 TrA 中第一和第二 PR 图案 181a 和 181b 的宽度。

[0041] 在图 4E 中,在形成第一和第二 PR 图案 181a 和 181b,数据线 127 和金属材料图案 130 的基板 101 上执行第一灰化处理。第一灰化处理具有各向同性特性。通过第一灰化处理,不仅去除了第二 PR 图案 181b,而且还减小了第一 PR 图案 181a 的宽度。

[0042] 通过第一灰化处理去除第二 PR 图案 181b,从而暴露出金属材料图案 130 的一部分。同时,减小第一 PR 图案 181a 的宽度和厚度,在金属材料图案 130 和数据线 127 上形成第三 PR 图案 183。由于第三 PR 图案 183 具有比第一 PR 图案 181a 更小的宽度,金属材料图案 130 的两端被暴露出。此外,数据线 127 的两端被暴露出。即,在第一灰化处理之后,数据线 127 具有比第一 PR 图案 183 更大的宽度。

[0043] 在本发明中,与现有技术的灰化处理相比,第一灰化处理可具有更短的处理时间,如图 3E 中所示。这样可增大输送给灰化处理室的功率,缩短处理时间。在现有技术的灰化处理中,在灰化处理期间栅极绝缘层 66(图 3E) 被暴露出,以便去除第二 PR 图案 91b(图 3E)。用于栅极绝缘层的诸如硅氧化物和硅氮化物的材料具有较弱的静电特性。因而,如果使用增大的功率进行灰化处理,栅极绝缘层可能被破坏,从而可能对栅极绝缘层的绝缘性造成不利影响。栅极绝缘层被破坏的结果是,可能会导致栅极线与数据线之间,以及栅极与金属材料图案之间短路的问题。如果为了不产生上述问题而控制用于灰化处理的功率,则会增加处理时间。

[0044] 不过,在本发明中,在第一灰化处理期间栅极绝缘层 110 被掺杂质非晶硅层 120 覆盖。由于掺杂质非晶硅层 120 具有比栅极绝缘层 110 更高的导电性,如果利用增大的功率执行第一灰化处理,则不会破坏掺杂质非晶硅层 120。因而,用高功率执行第一灰化处理,可减小处理时间。

[0045] 在图 4F 中,使用金属材料图案 130 和数据线 127 作为蚀刻掩模,通过第一干蚀刻处理,去除暴露在数据线 127 与金属材料图案 130 之间的掺杂质非晶硅层 120(图 4E) 部分,以及处于暴露出的掺杂质非晶硅层 120(图 4E) 下面的本征非晶硅层 115 部分,以便由掺杂质非晶硅层 120(图 4E) 形成欧姆接触图案 121,由本征非晶硅层 115(图 4E) 形成有源层 116。欧姆接触图案 121 和有源层 116 中的每一个与金属材料图案 130 具有相同的面积和形状,并且与金属材料图案 130 完全重叠。即,在这一阶段,欧姆接触图案 121 和有源层 116 均与金属材料图案 130 具有相同的端线。

[0046] 此外,在数据线 127 下面形成具有源于掺杂质非晶硅层 120(图 4E) 的第一图案 122 和源于本征非晶硅层 115(图 4E) 的第二图案 117 的半导体图案 124。半导体图案 127 与数据线 127 具有相同的面积和形状,并且与数据线 127 完全重叠。即,在这一阶段,半导体图案 127 与数据线 127 具有相同的端线。

[0047] 在图 4G 中,通过湿蚀刻处理将暴露在第三 PR 图案 183 之间的金属材料图案 130 部分(图 4F) 图案化,以形成源极 133 和漏极 135。源极 133 与数据线 127 连接,并且与漏极 135 分隔开。当数据线 127 和金属材料图案 130(图 4F) 包括 Cu 或 Cu 合金时,数据线 127 和金属材料图案 130(图 4F) 对蚀刻剂具有相对较高的蚀刻速度。因而,数据线 127,源极 133 和漏极均相对于第三 PR 图案 183 具有底切结构。

[0048] 另一方面,再次参照图 4F,通过第一干蚀刻处理,有可能会破坏金属材料图案 130。在此情形中,通过图 4G 中的湿蚀刻处理,有可能在金属材料图案 130(图 4F) 中产生不需要的图案化。因此,尽管图中没有示出,在第一干蚀刻处理之后,通过具有各向同性特性的第二灰化处理,减小第三 PR 图案 183 的宽度,从而增大暴露出的金属材料图案 130(图 4F) 的宽度,防止通过图 4G 中的湿蚀刻处理在金属材料图案 130(图 4F) 中形成不需要的图案化。可省略第二灰化处理。

[0049] 在图 4H 中,通过第二干蚀刻处理将欧姆接触图案 121(图 4F) 的通过源极 133 与漏极 135 之间的空间暴露出的部分去除,以形成欧姆接触层 123,并且将有源层 116 的一部分暴露出。由于使用第三 PR 图案 183 作为蚀刻掩模执行第二干蚀刻处理,欧姆接触图案 121 伸出第三 PR 图案 183 以外的部分(图 4G) 和半导体图案 124 的第一图案 122 伸出第三 PR 图案 183 以外的部分(图 4G) 也被去除。栅极 105,栅极绝缘层 110,包括有源层 123 和欧姆接触层 116 的半导体层 126,源极 133 和漏极 135,构成开关区域 TrA 中的薄膜晶体管(TFT)。

[0050] 在本发明中,第二图案 117,第一图案 122 和数据线 127 叠置在栅极绝缘层 110 上。第一图案 122 具有小于第二图案 117 且大于数据线 127 的宽度。因此,第二图案 117,第一图案 122 和数据线 127 具有台阶状轮廓,如图 4H 中所示。换言之,第二图案 117,第一图案 122 和数据线 127 一起形成台阶形状。数据线 127 下面的本征非晶硅的第二图案 117 具有超出数据线 127 以外大约 1.5 微米到大约 1.8 微米范围的伸出宽度。由于第二图案 117,第一图案 122 和数据线 127 具有台阶状轮廓,掺杂质非晶硅的第一图案 122 超出数据线 127 以外的伸出宽度,小于第二图案 117 的伸出宽度。在本发明的实施方式中,第二图案 117 超出数据线 127 以外的伸出宽度,比现有技术中第二图案 72 超出数据线 79 的伸出宽度小大约 2 微米。

[0051] 类似地,在开关区域 TrA 中形成具有台阶状轮廓的有源层 116,欧姆接触层 123,源极 133 和漏极 135。更详细而言,在有源层 116 上,源极 133 和一部分欧姆接触层 123 具有台阶状轮廓或台阶形状;在有源层 116 上,漏极 135 和其他部分的欧姆接触层 123 具有台阶状轮廓或台阶形状。有源层 116 具有超出源极 133 和漏极 135 以外大约 1.5 微米到大约 1.8 微米范围的伸出宽度。此外,由于欧姆接触层 123,源极 133 和漏极 135 具有台阶状轮廓或台阶形状,欧姆接触层 123 超出源极 133 和漏极 135 以外的伸出宽度要小于有源层 116 的伸出宽度。

[0052] 另一方面,尽管图中没有示出,紧接在第二干蚀刻处理之前,在包括源极和漏极的基板上可执行具有各向同性性质的第三灰化处理,以减小第三 PR 图案的宽度。结果,通过第三 PR 图案暴露出数据线,源极和漏极的端部。然后,通过第二干蚀刻处理将通过源极与漏极之间的空间暴露出的欧姆接触图案部分,以及超出源极和漏极以外的欧姆接触图案的伸出部分去除,以形成欧姆接触层,并且将有源层的一部分暴露出。结果,欧姆接触层与源极和漏极具有相同的面积和形状。欧姆接触层与源极和漏极完全重叠。因而,只有有源层具有超出源极和漏极以外大约 1.5 微米到大约 1.8 微米范围的伸出宽度。同时,通过第二干蚀刻去除半导体图案的第一图案超出数据线以外的伸出部分。结果,在数据线下方的半导体图案的第一图案与数据线具有相同的面积和形状。半导体图案的第一图案完美地与数据线重叠。因此,仅数据线下方的本征非晶硅的第二图案具有超出数据线以外大约 1.5 微

米到大约 1.8 微米范围的伸出宽度。

[0053] 下面,在图 4I 中,在包括源极 133,漏极 135 和处于源极 133 和漏极 135 下面的欧姆接触层 123 的基板 101 上实施剥离处理,以去除第三 PR 图案 183(图 4H)。然后,通过沉积无机绝缘材料,诸如硅氧化物(例如 SiO_2) 和硅氮化物(SiN_x),在源极 133,漏极 135 和数据线 127 上形成钝化层 140。通过掩模处理将钝化层 140 图案化,形成将漏极 135 的一部分暴露出的漏极接触孔 143。

[0054] 接下来,在图 4J 中,在钝化层 140 上通过沉积透明导电材料,诸如氧化铟锡(ITO)和氧化铟锌(IZO),形成透明导电材料层。通过掩模处理将透明导电材料层图案化,以在每个像素区域 P 中形成像素电极 150。像素电极 150 通过漏极接触孔 143 与漏极 135 接触。像素电极 150 可与前一条栅极线重叠,形成存储电容。

[0055] 与现有技术阵列基板 59(图 2) 相比,本发明阵列基板 101 的半导体层 126 超出源极 133 和漏极 135 以外的伸出宽度 B1 被减小。此外,半导体图案 124 超出数据线 127 以外的伸出宽度 B2 被减小。

[0056] 再次参照表示现有技术阵列基板的图 2,有源层 67 和欧姆接触层 74 都伸出到源极 82 和漏极 84 以外大约 2 微米到 2.5 微米的宽度“A1”。本征非晶硅的第二图案 68 和掺杂质非晶硅的第一图案 72 也伸出到数据线 79 以外大约 2 微米到大约 2.5 微米的宽度“A2”。另一方面,再次参照表示本发明阵列基板的图 4J,有源层 116 伸出到源极 133 和漏极 135 以外大约 1.5 微米到大约 1.8 微米的宽度“B1”。本征非晶硅的第二图案 117 伸出到数据线 127 以外大约 1.5 微米到 1.8 微米的宽度“B2”。即,在本发明的阵列基板中,有源层 116 和第二图案 117 具有的分别从源极 133 和漏极 135 以及数据线 127 露出的部分,比现有技术阵列基板要少。因而,可减小数据线 127 和像素电极 150 的距离,从而提高开口率。

[0057] 现有技术的缺点源于源极和漏极制造过程中的干蚀刻处理和灰化处理。再次参照表示现有技术阵列基板的制造过程的图 3C 和 3F,紧接在 Cu 或 Cu 合金的第二金属材料层 78 上进行形成数据线 79 和金属材料图案 80 的湿蚀刻处理之后,执行干蚀刻处理以形成有源层 67 和第二图案 68。在后续处理中,有源层 67 和第二图案 68 的宽度均没有发生改变。但是,在图 3F 中通过湿蚀刻处理来蚀刻数据线 79 和金属材料图案 80。因而,增大了有源层 67 和第二图案 68 的伸出部分。

[0058] 另一方面,参照表示本发明阵列基板制造过程的图 4E,在进行形成数据线 127 和金属材料图案 130 的湿蚀刻处理之后,且在进行形成有源层 116,欧姆接触图案 121,第一图案 122 和第二图案 117 的第一干蚀刻处理之前,执行第一灰化处理,以去除第二 PR 图案 181b 并形成第三 PR 图案 183。通过第一灰化处理,不仅减小了第一 PR 图案 181a 的厚度,而且也减小了第一 PR 图案 181a 的宽度,使得第三 PR 图案 183 具有比第一 PR 图案 181a 更小的厚度和更小的宽度。因而,在基板 101 上执行第一干蚀刻处理之后,如图 4F 中所示,有源层 116 没有伸出到金属材料图案 130 以外。此外,半导体图案 124 的第二图案 117 没有伸出到数据线 127 以外。因而,如图 4J 中所示,有源层 116 超出源极 133 和漏极 135 以外的伸出宽度 B1 以及第二图案 117 超出数据线 127 以外的伸出宽度均得到最小化。

[0059] 在本发明的阵列基板中,由于在数据线下方的半导体图案的伸出宽度被最小化,可减小数据线 127 与像素电极 150 之间的距离。结果,包括根据本发明实施方式的阵列基板的 LCD 装置具有改善的开口率和亮度。

[0060] 所属领域技术人员在不偏离本发明精神或范围的条件下显然可对本发明作出多种变型和改变。因此,本发明意在涵盖落入所附权利要求范围及其等效范围内的变型和改变。

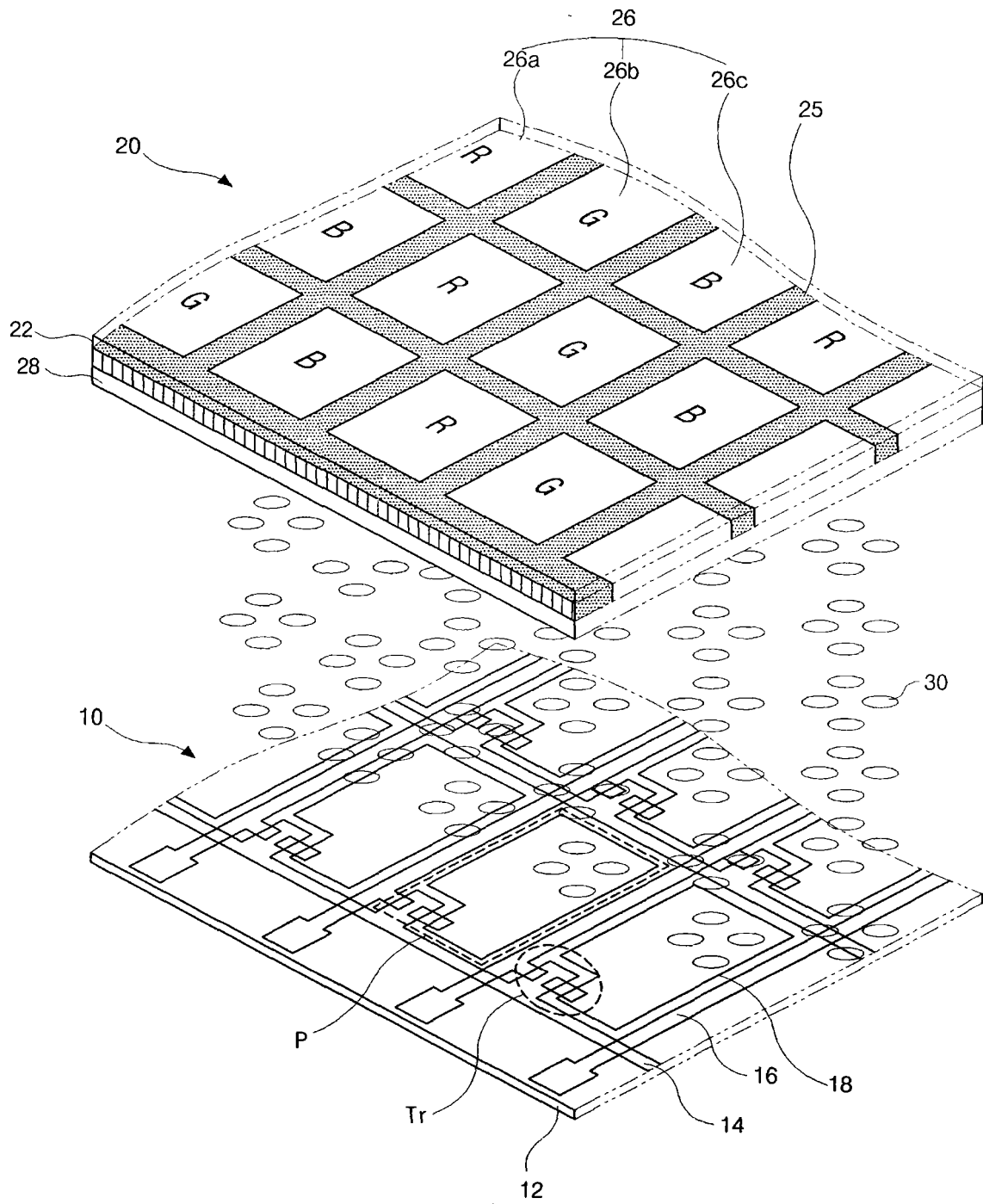


图 1

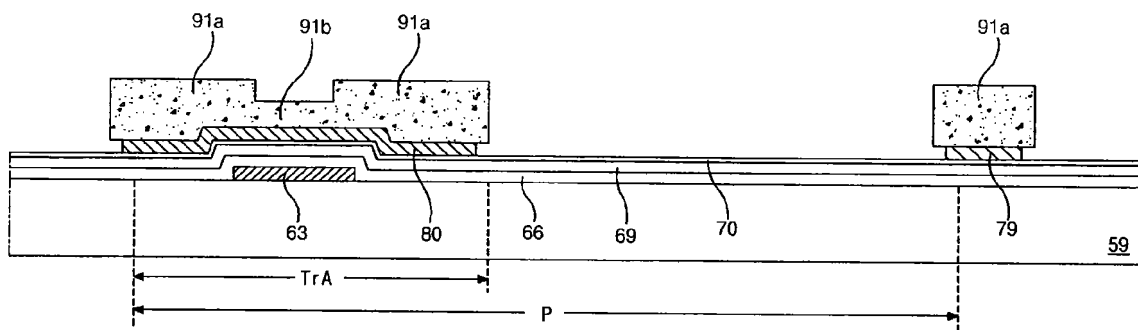


图 3C

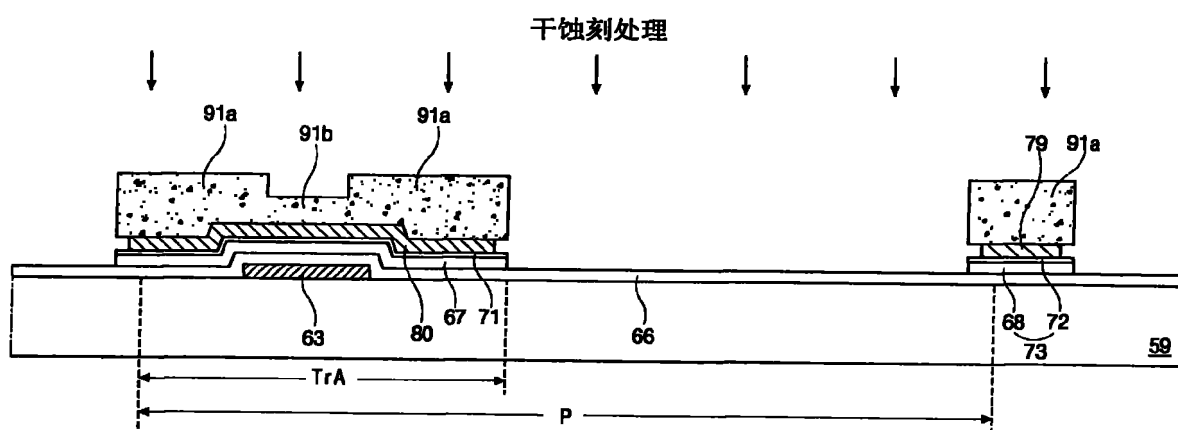


图 3D

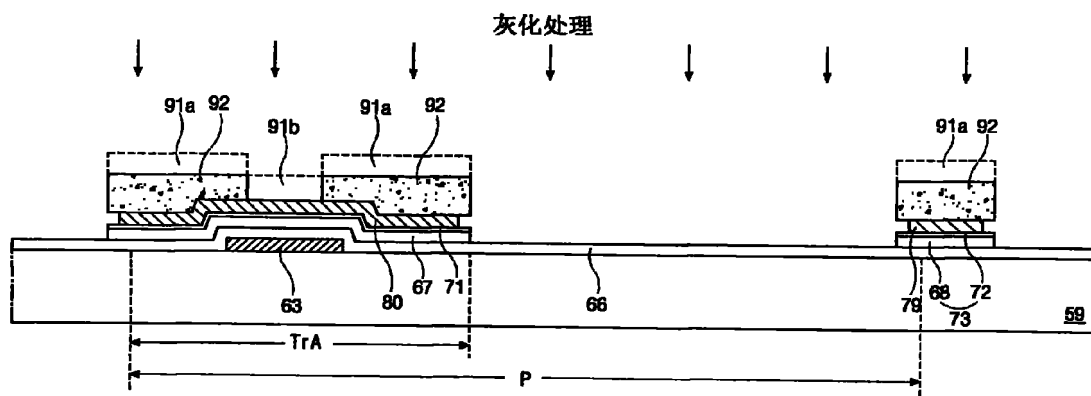


图 3E

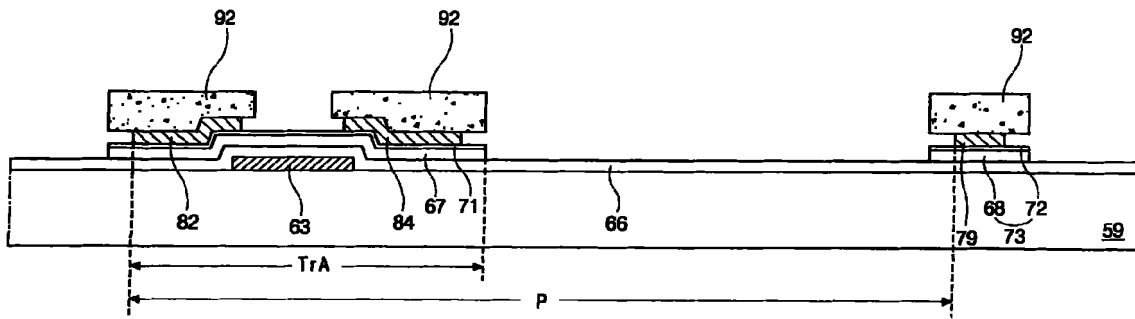


图 3F

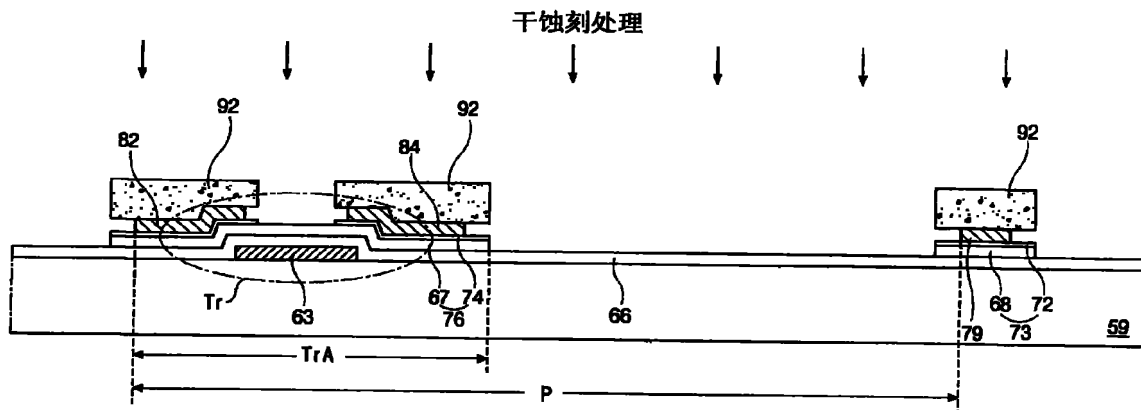


图 3G

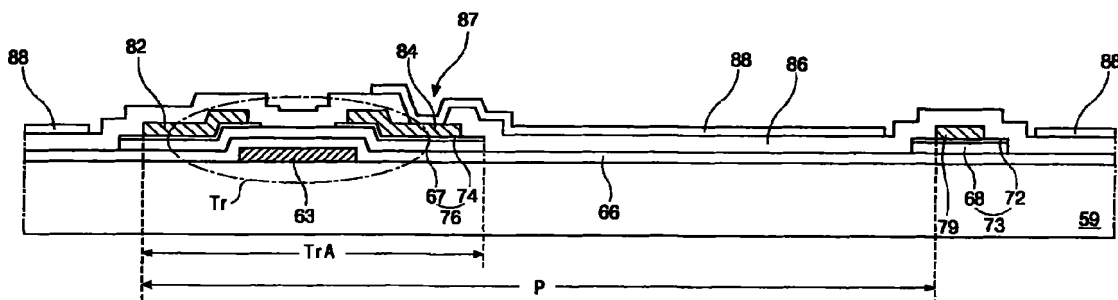


图 3H

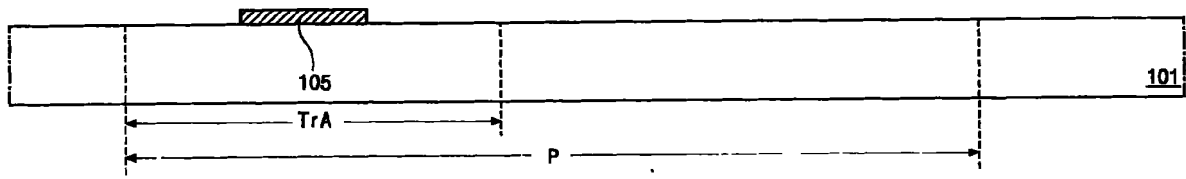


图 4A

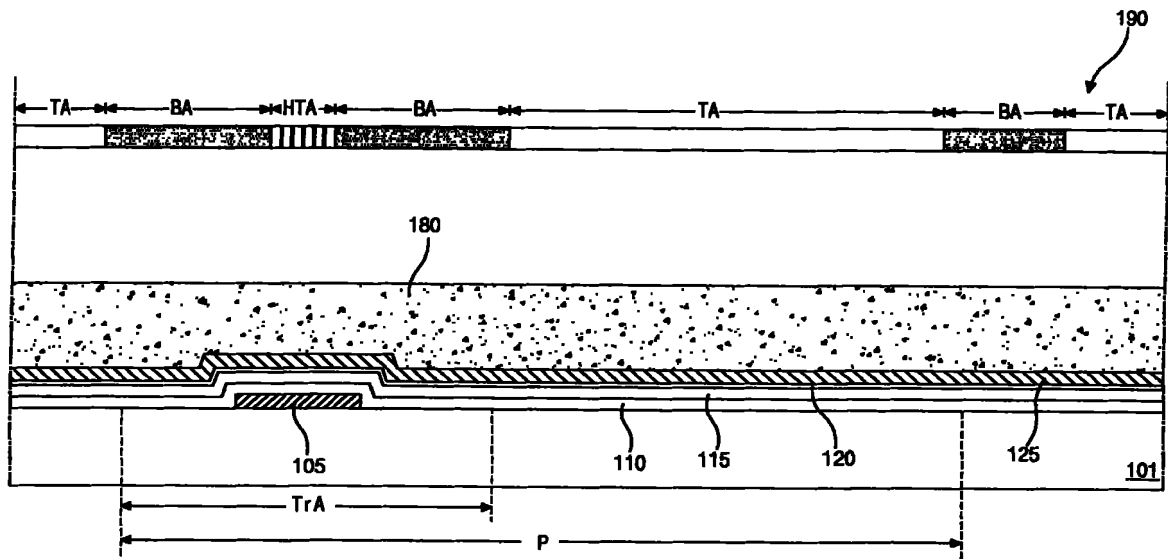


图 4B

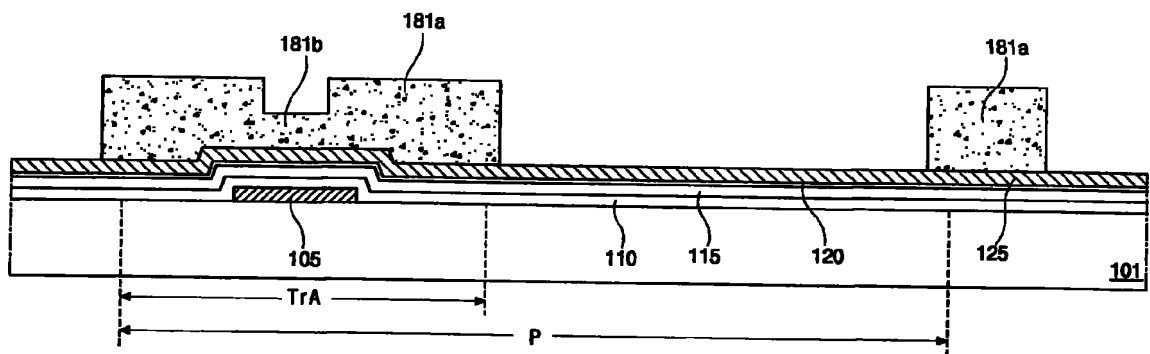


图 4C

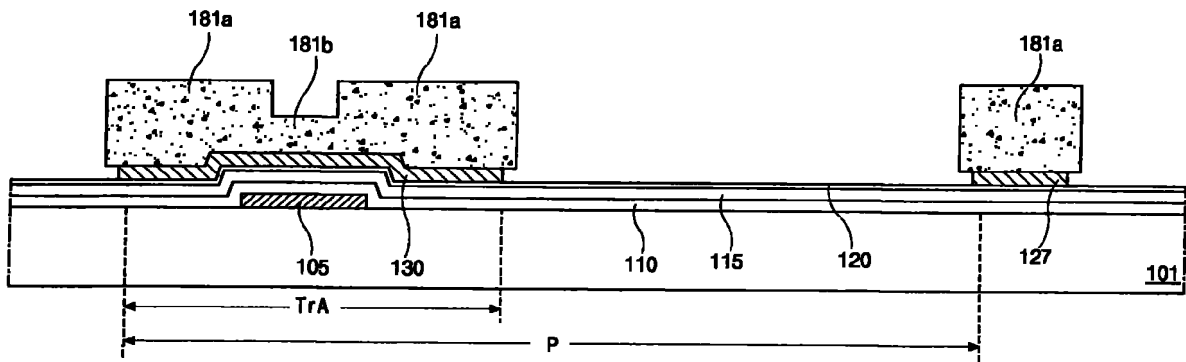


图 4D

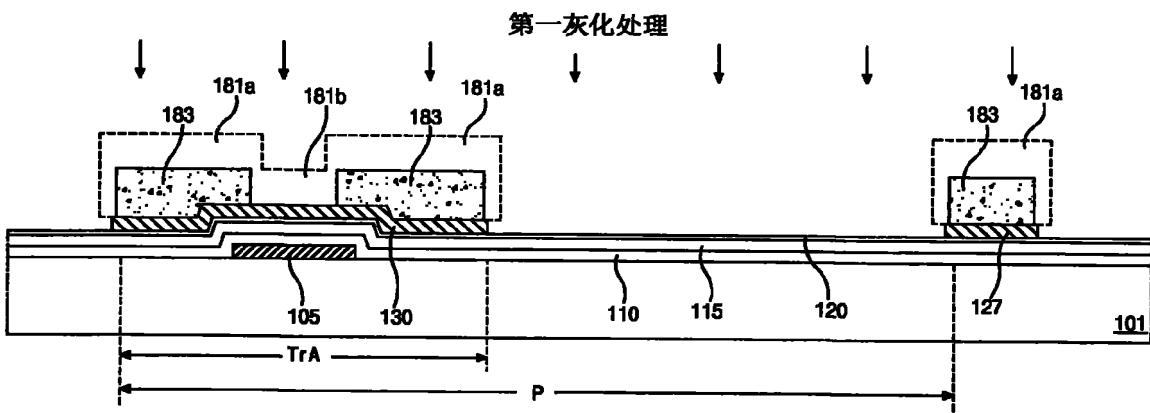


图 4E

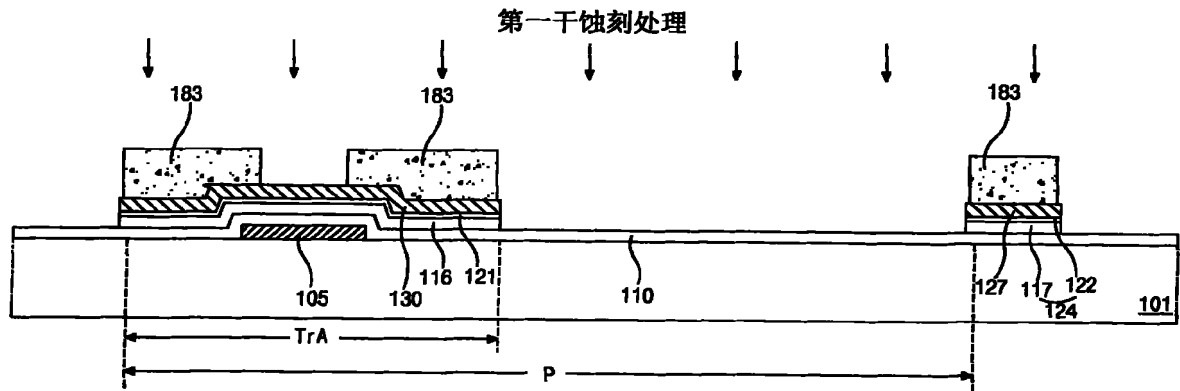


图 4F

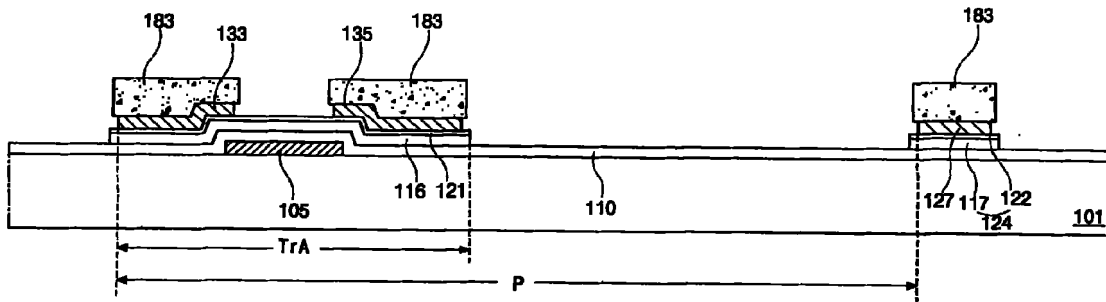


图 4G

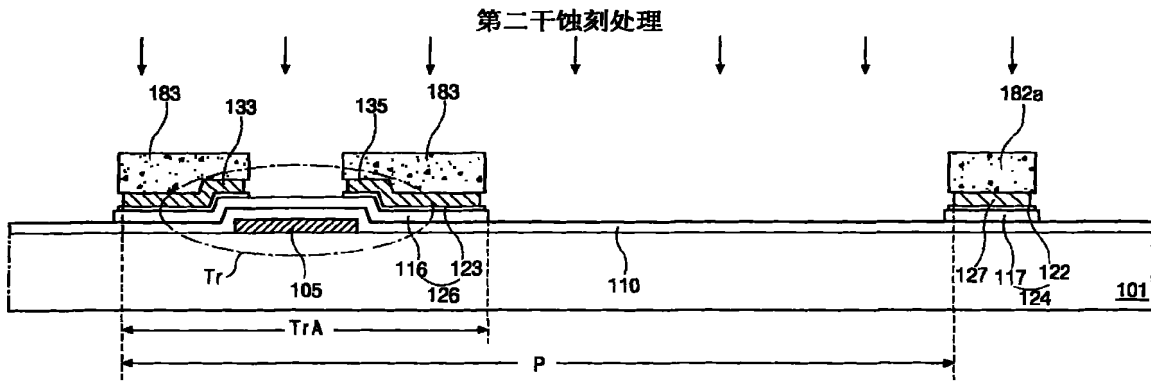


图 4H

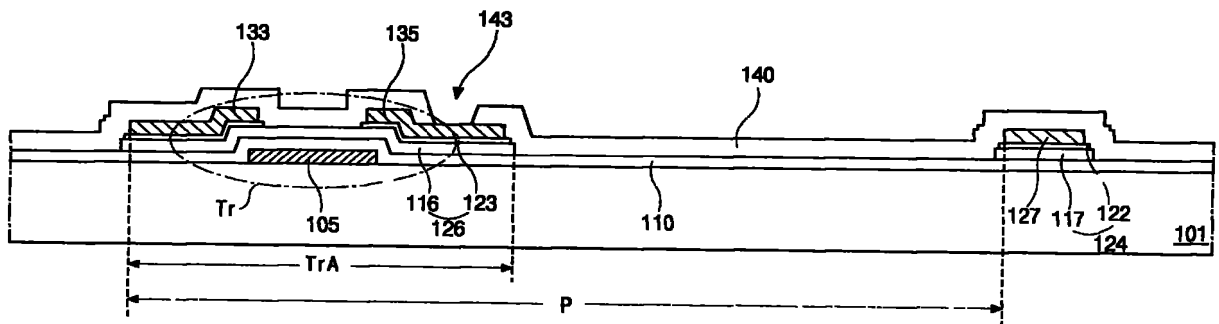


图 4I

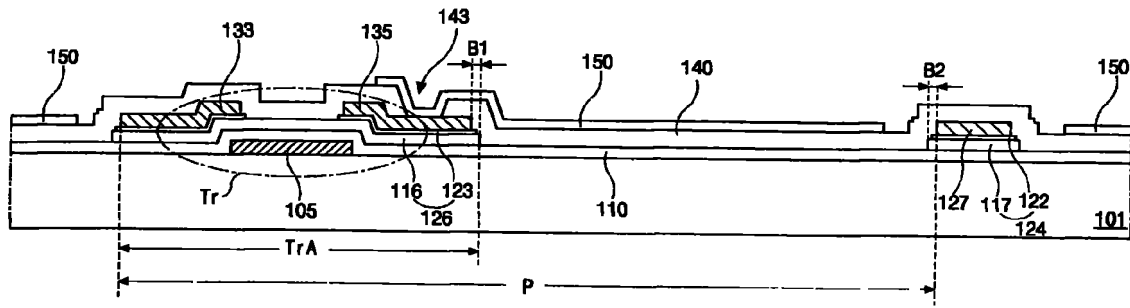


图 4J