

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4218337号
(P4218337)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl.

F I

HO 1 L 21/301 (2006.01)	HO 1 L 21/78	M
HO 1 L 21/304 (2006.01)	HO 1 L 21/304	6 3 1
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	T
HO 1 L 23/52 (2006.01)	HO 1 L 21/88	J
HO 1 L 21/60 (2006.01)	HO 1 L 21/60	3 1 1 Q

請求項の数 5 (全 8 頁)

(21) 出願番号 特願2002-363529 (P2002-363529)
 (22) 出願日 平成14年12月16日(2002.12.16)
 (65) 公開番号 特開2004-200216 (P2004-200216A)
 (43) 公開日 平成16年7月15日(2004.7.15)
 審査請求日 平成17年11月11日(2005.11.11)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 谷口 修
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 石月 義克
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 山岸 康男
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

表面に回路パターンを有する半導体基板を支持体に仮止めした状態で該半導体基板の裏面を研磨により薄化し、その後該半導体基板をチップに分割し該支持体から剥離する半導体装置の製造方法において、

該半導体基板の仮止めは、該半導体基板の表面に形成された第1の電極パッドと該支持体の表面に形成された第2の電極パッドを第1のハンダを介して突き合わせ、該第1のハンダの熔融温度以上の温度で加熱することにより行い、該第1の電極パッドの面積を該第2の電極パッドの面積より大きくしたことを特徴とする半導体装置の製造方法。

【請求項2】

該第1の電極パッドは、該半導体基板の表面に形成されているチップ分割用のダイシングラインに重なって形成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

薄化した半導体基板の裏面に、表面へ達する貫通電極及び配線を形成することを特徴とする請求項1乃至2記載の半導体装置の製造方法。

【請求項4】

貫通電極及び配線が形成された半導体基板の裏面に、表面に回路パターンが形成された他の半導体基板を第1のハンダより熔融温度の高い第2のハンダを介して接合した状態で薄化し貫通電極及び配線を形成する工程を繰り返すことを特徴とする請求項3記載の半導体

10

20

装置の製造方法。

【請求項 5】

半導体基板をチップに分割し支持体から剥離する際、該半導体基板上のダイシングラインに沿ってダイシングソーの先端が第 1 のハンダ又は金属バンプに達するまで切断した後、第 1 のハンダの熔融温度以上の温度で加熱することを特徴とする請求項 1 乃至 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、特に表面に回路パターンが形成された半導体基板を薄化し高密度実装する方法に関する。 10

近年、携帯電話やデジタルカメラ等の携帯用電子機器の小型・軽量化の進展に伴って、それらに用いられる電子回路の小型化に対する要求が厳しくなっている。その要求に応えるためには回路パターンの微細化・高集積化は勿論のこと、回路パターンが形成された半導体チップの高密度実装が必要となる。

【0002】

【従来の技術】

半導体チップを高密度に実装するためには、半導体チップの厚みを出来るだけ薄くするとともに複数の半導体チップを積層してパッケージ基板に直接実装する方法が有効である。半導体基板の厚みを薄くする上で半導体基板を直接研磨装置に装着して研磨する方法が一般的であるが、この方法では、研磨後の半導体基板の強度低下によりハンドリングが困難となり破損等の事故が生じやすくなる。たとえば、600 μm 程度の厚みを有する直径 150 mm のシリコンウェーハを直接研磨装置で研磨した場合、50 μm 以下に薄化することは実際上困難である。そのため、半導体基板を支持体等によって補強することが必要となる。 20

【0003】

通常は、図 6 に示したように、トランジスタや配線等からなる回路パターン 23 が形成された半導体基板 21 の表面に接着テープ 24 を介して支持体 22 を貼り合わせる。このように半導体基板 21 を支持体 22 に仮止めした状態で半導体基板 21 の裏面を研磨し、たとえば、50 μm 程度まで薄化する。そして、半導体基板 21 を支持体 22 に仮止めしたままダイシングソー等を用いてチップに分割し支持体 22 から剥離する。 30

【0004】

この方法によれば、半導体基板の強度は支持体により補強されているので研磨工程やその後の工程における破損等の事故を防ぐことができ且つハンドリングにも問題は生じない。また、接着テープ自体を支持体として用い、上記例と同様に接着テープで半導体基板を仮止めした状態で研磨し、そのあとで半導体基板から接着テープを剥離する方法も用いられる。

【0005】

次に、複数の半導体チップを積層してパッケージ基板に実装する従来の方法（特許文献 1）では、表面に回路パターンが形成された半導体チップの裏面に、表面へ達する貫通孔を形成し内部を導電物質で埋め込んで貫通電極を形成する。半導体チップの表面及び裏面には貫通電極に接続する電極パッド及び電極パッド間を相互接続する配線パターンを形成する。そして、この上に同様な構成を有する他の半導体チップを積層し電極パッドを介して接続する。このような積層工程を繰り返すことにより 3 個以上の半導体チップを積層することができる。 40

【0006】

以上のように、複数の半導体チップを積層することにより実装密度を向上させ、また、積層された半導体チップを貫通電極を介して電氣的に接続することにより配線長を最小限に抑え高周波特性の劣化を防ぐことが可能となる。

【0007】

【特許文献1】

特開2001-127243号公報

【0008】

【発明が解決しようとする課題】

半導体基板を接着テープにより支持体に仮止めし研磨する方法を用いた場合、研磨後に半導体基板を支持体から剥離するため、接着剤が溶融する程度の温度で加熱するかあるいは紫外線等の光照射により接着力を低下させた状態で支持体から半導体基板を引き離す方向に力を印加する。しかし、支持体は接着剤によって半導体基板の裏面全面に付着しているため、引き離す際に半導体基板に不均一な歪が加わり易く、薄化により強度が低下している半導体基板が破損する可能性が高くなるという問題がある。半導体基板をチップに分割した後剥離する場合にも同様にチップの破損が生じやすくなる。

10

【0009】

また、積層する半導体チップ数とともに増加する全体の厚みを抑えるには個々の半導体チップの厚みを薄くする必要がある。しかし、薄化した半導体基板を支持体から剥離したあとで貫通電極等の形成工程を進めることは、前述のようにハンドリングや半導体基板の破損等の問題により困難であり、そのため、半導体基板を支持体に仮止めしたままの状態裏面に貫通電極や配線パターンを形成しなければならない。

【0010】

ところが、貫通電極や配線パターンを形成するために通常用いられるフォトリソ工程及び膜形成工程では処理温度は100℃を上回る一方、半導体基板を仮止めするとき用いられる接着テープの使用許容温度は100℃程度に抑えられる。従って、接着テープを用いて半導体基板を仮止めする方法では、薄化された半導体基板の裏面に貫通電極や配線パターンを形成することは難しく、従って、薄化した半導体チップを積層し貫通電極で電気的接続をとる実装方法を用いることができない。

20

【0011】

そこで、本発明は半導体基板を薄化し高密度で実装する方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記課題を解決するため、本発明は、表面に回路パターンを有する半導体基板を支持体に仮止めした状態で該半導体基板の裏面を研磨により薄化し、その後該半導体基板をチップに分割し該支持体から剥離する半導体装置の製造方法において、該半導体基板の仮止めは、該半導体基板の表面に形成された第1の電極パッドと該支持体の表面に形成された第2の電極パッドを第1のハンダを介して突き合わせ、該第1のハンダの溶融温度以上の温度で加熱することにより行い、該第1の電極パッドの面積を該第2の電極パッドの面積より大きくしたことを特徴とする。

30

【0013】

また、本発明は、該第1の電極パッドは、該半導体基板の表面に形成されているチップ分割用のダイシングラインに重なって形成されていることを特徴とする。

また、本発明は、薄化した半導体基板の裏面に、表面へ達する貫通電極及び配線を形成することを特徴とする。

40

【0014】

また、本発明は、貫通電極及び配線が形成された半導体基板の裏面に、表面に回路パターンが形成された他の半導体基板を第1のハンダより溶融温度の高い第2のハンダを介して接合した状態で薄化し貫通電極及び配線を形成する工程を繰り返すことを特徴とする。

また、本発明は、第2のハンダに代えて金属バンプを用いることを特徴とする。

【0015】

また、本発明は、半導体基板をチップに分割し支持体から剥離する際、該半導体基板上のダイシングラインに沿ってダイシングソーの先端が第1のハンダ又は金属バンプに達するまで切断した後、第1のハンダの溶融温度以上の温度で加熱することを特徴とする。

50

【0016】

【発明の実施の形態】

図1は本発明の実施例を説明する断面図であり、半導体基板1の表面を下に向けて支持体2と対向させた状態を示している。半導体基板1の表面には、通常の半導体製造工程を用いてトランジスタ、配線、電極パッド等からなる図示しない回路パターンが形成されている。支持体2は半導体基板1の強度を補強するために用いられ、耐熱性樹脂基板やダミ-半導体基板からなる。半導体基板1の表面には支持体2に仮止めするための電極パッド4、回路パターンや他の半導体基板と電氣的接続をとるための電極パッド3が形成されており、また、半導体基板1の表面と対向する支持体2の表面にも電極パッド4と対応する位置に電極パッド5が形成されている。電極パッド3、4、5はアルミニウムや金等を用いて形成される。7は回路パターン領域、8はダイシングライン領域を示している。

10

【0017】

半導体基板1を支持体2に仮止めする際には、同図に見られるように、半導体基板1の表面を支持体2の表面に対向させた状態で電極パッド4、5をハンダ6を介して突き合わせる。そして、半導体基板1を支持体2に押圧しつつハンダ6の熔融温度以上の温度で加熱する。

ハンダ6として錫(Sn)/鉛(Pb)共晶を用いた場合、組成比により熔融温度を所望値に設定することができる。たとえば、Sn/Pb比を65/35としたとき熔融温度は約180、5/95としたとき約300とすることができる。

【0018】

図2(a)、(b)は図1に示した半導体基板1の平面図であり、回路パターン7がマトリクス状に繰り返し形成され、その間に半導体基板1をチップに分離するためのダイシングライン8が形成されている。図中に示したAA線に沿った断面図が図1に対応している。半導体基板1と支持体2の仮止め強度を保持するため、電極パッド4、5の面積は回路パターン7に影響を及ぼさない限りできるだけ大きい方が望ましい。図2(a)はダイシングライン8に重ねて電極パッド4を細長い長方形に形成した例を示している。電極パッド4の形状はこのような形状及び位置に限られるものではなく、たとえば、図2(b)に示したように、回路パターン7側へ大きくはみ出して形成することにより仮止め強度をより大きくすることもできる。

20

【0019】

なお、本実施例では、図1に見られるように、ダイシングライン8に沿って形成された電極パッド4のみを支持体2への仮止め用として用いているが、電極パッド3を支持体2への仮止め用として用いることもできる。この場合には、支持体2の表面にも電極パッド3と対応する位置に電極パッドを形成する必要がある。

30

【0020】

以上のように支持体2に仮止めされた半導体基板1を後工程でチップに分割し支持体2から剥離する際には、支持体2から半導体基板1を引き離す力を印加しながらハンダ6の熔融温度以上の温度で加熱処理するが、図1に見られるように電極パッド4の面積を電極パッド5の面積より大きく設定しておくこと、ハンダ6と電極パッド4との接着力が電極パッド5との接着力に優ることになり、この接着力の差によってハンダ6を電極パッド4に残すことができる。逆に、電極パッド5の面積を大きくすることによりハンダ6を支持体2側に残すこともできる。電極パッド4、5の面積比や面積の絶対値の差及びハンダの熔融温度と加熱温度との関係を適切に設定することにより、ハンダ6を半導体基板1側にのみ残すことが可能となる。

40

【0021】

また、図1に示した実施例では、電極パッド材料となる導電膜のパターニング寸法によって電極パッド4、5の面積を所望値に設定しているが、図3に示したように、電極パッド4、5を同一形状にパターニングした後、電極パッド5を覆う絶縁保護膜9を形成し、この絶縁保護膜9に対して必要な面積の穴あけ加工を行うことにより電極パッド5の実質的な面積を設定することもできる。

50

【 0 0 2 2 】

次に、支持体 2 に仮止めされた半導体基板 1 を研磨装置に装着し裏面を研磨する。半導体基板 1 の強度は支持体 2 により補強されているため、半導体基板 1 の研磨装置への装着及び取り出し時のハンドリングは容易となり且つ破損等の事故を防ぐことができる。たとえば、 $625\ \mu\text{m}$ の厚みを持つ半導体基板を $50\ \mu\text{m}$ 以下にまで容易に薄くすることができる。

【 0 0 2 3 】

次に、図 4 に示したように、薄化された半導体基板 1 を支持体 2 に仮止めした状態で半導体基板 1 の裏面に、表面に達する貫通電極 10 及び電極パッド 11 を形成する。この工程では、仮止めされた半導体基板 1 の裏面に通常のフォトリソグラフィ技術を用いて貫通電極パターンを形成し、この貫通電極パターンをマスクにしてドライエッチングにより表面の電極パッド 3、4 に達する貫通孔を形成する。そして、CVD 法を用いて全面に絶縁膜を堆積し、貫通孔の底面の絶縁膜を選択的にエッチング除去した後導電膜で埋め込むことにより貫通電極 10 が形成される。導電膜の埋め込みに際しては、最初に CVD 法により薄い導電膜を形成しこれをシード膜としてメッキにより埋め込むことができる。さらに、半導体基板 1 の裏面に貫通電極 10 と接続する電極パッド 11 を形成する。

【 0 0 2 4 】

続いて、半導体基板 1 をチップに分割するため、図 4 に示したように、ダイシングライン 8 に沿ってダイシングソーが半導体基板 1 に対して矢印方向に挿入され、これによって半導体基板 1 が切断される。半導体基板 1 がダイシングライン 8 と重なっている電極パッド 4 でのみ支持体 2 に仮止めされている場合、ダイシングソーの先端が支持体 2 に達するまで切断すると、分割されたチップが散乱し破損等の事故が生じる恐れがある。これを避けるため、ダイシングソーの先端が半導体基板 1 を通過しハンダ 6 に達した時点で切断を中止する。これにより半導体基板 1 がハンダ 6 を介して支持体 2 と接合している状態を保持させる。半導体基板 1 上の全てのダイシングライン 8 にそって上述のような切断を行った後に、ハンダ 6 の熔融温度以上の温度で加熱し支持体 2 から個々のチップを剥離する。前述のように、電極パッド 4 の面積を電極パッド 5 の面積より大きく設定しているため、ハンダ 6 を電極パッド 4 に残した状態で剥離することができる。

【 0 0 2 5 】

電極パッド 3 を仮止め用として用いている場合には、各チップの電極パッド 3 に残されたハンダを外部接続用端子としてそのまま利用することが可能となり、これによりチップ実装工程が簡略化される。

次に、上述した方法を複数の半導体チップを積層し実装する工程に適用した例を説明する。図 5 は図 4 に示した半導体基板 1 の裏面に、表面に回路パターンが形成された他の半導体基板 12 を積層した状態を示している。半導体基板 12 の表面には半導体基板 1 と同様に回路パターンとともに電極パッド 13 が形成されている。この半導体基板 12 の表面を半導体基板 1 の裏面に対向させ、電極パッド 11、13 をハンダ 14 を介して突き合わせる。そして、半導体基板 12 を半導体基板 1 側へ押圧しながらハンダ 14 の熔融温度以上の温度で加熱する。

【 0 0 2 6 】

その後、半導体基板 1 と同様な工程を用いて半導体基板 12 の裏面を研磨により薄化し貫通電極 15、電極パッド 16 を形成する。以上のような工程を繰り返すことにより複数の半導体基板を積層した後、ダンシングソーを用いて前述した方法によりチップに分割し支持体 2 から剥離する。

ハンダ 6 として Sn/Pb 比が 65/35、ハンダ 14 として Sn/Pb 比が 5/95 の共晶ハンダを用いた場合、ハンダ 6、14 の熔融温度はそれぞれ 180 、 300 となる。従って、積層された半導体基板を支持体から剥離するためには、 180 以上 300 以下の温度で加熱すればよいことになる。

【 0 0 2 7 】

上記実施例では、半導体基板 12 を半導体基板 1 にハンダ 14 を介して接続しているが、電極パッド 11 あるいは電極パッド 13 上にボールボンディング法により予め金バンプを形成して

10

20

30

40

50

おき、超音波により接続することもできる。この場合には接合温度を180以下に抑えることができるため、ハンダ6は溶融せず半導体基板1を支持体2に仮止めした状態で半導体基板を積層することができる。

【0028】

(付記1) 表面に回路パターンを有する半導体基板を支持体に仮止めした状態で該半導体基板の裏面を研磨により薄化し、その後該半導体基板をチップに分割し該支持体から剥離する半導体装置の製造方法において、

該半導体基板の仮止めは、該半導体基板の表面に形成された第1の電極パッドと該支持体の表面に形成された第2の電極パッドを第1のハンダを介して突き合わせ、該第1のハンダの溶融温度以上の温度で加熱することにより行い、該第1の電極パッドの面積を該第2の電極パッドの面積より大きくしたことを特徴とする半導体装置の製造方法。

10

【0029】

(付記2) 該第1の電極パッドは、該半導体基板の表面に形成されているチップ分割用のダイシングラインに重なって形成されていることを特徴とする付記1記載の半導体装置の製造方法。

(付記3) 薄化した半導体基板の裏面に、表面へ達する貫通電極及び配線を形成することを特徴とする付記1乃至2記載の半導体装置の製造方法。

【0030】

(付記4) 貫通電極及び配線が形成された半導体基板の裏面に、表面に回路パターンが形成された他の半導体基板を第1のハンダより溶融温度の高い第2のハンダを介して接合した状態で薄化し貫通電極及び配線を形成する工程を繰り返すことを特徴とする付記3記載の半導体装置の製造方法。

20

(付記5) 第2のハンダに代えて金属バンプを用いることを特徴とする付記4記載の半導体装置の製造方法。

【0031】

(付記6) 半導体基板をチップに分割し支持体から剥離する際、該半導体基板上のダイシングラインに沿ってダイシングソーの先端が第1のハンダ又は金属バンプに達するまで切断した後、第1のハンダの溶融温度以上の温度で加熱することを特徴とする付記1乃至5記載の半導体装置の製造方法。

【0032】

30

【発明の効果】

以上のように、本発明によれば半導体基板を破損することなく薄化することが可能となり、さらに、薄化した半導体基板を積層し貫通電極によって電氣的に接続することが可能となるので、電子機器の小型化・高性能化を進める上で有益である。

【図面の簡単な説明】

【図1】 本発明の実施例を示す断面図(その1)

【図2】 本発明の実施例を示す平面図

【図3】 本発明の実施例を示す断面図(その2)

【図4】 本発明の実施例を示す断面図(その3)

【図5】 本発明の実施例を示す断面図(その4)

40

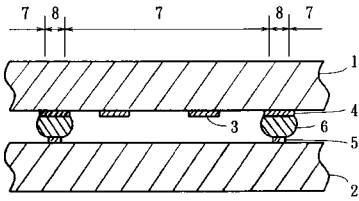
【図6】 従来例を示す断面図

【符号の説明】

- 1、12 半導体基板
- 2 支持体
- 3、4、5 電極パッド
- 6、14 ハンダ
- 10 貫通電極

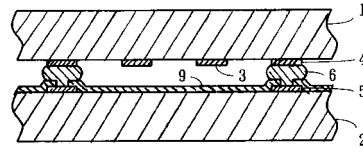
【図 1】

本発明の実施例を示す断面図（その1）



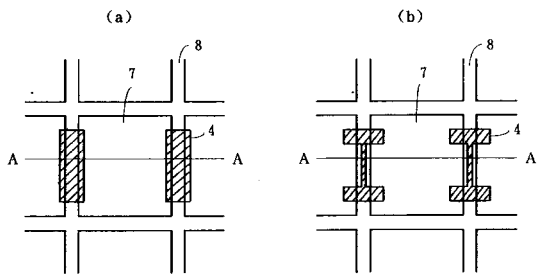
【図 3】

本発明の実施例を示す断面図（その2）



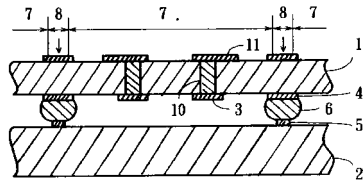
【図 2】

本発明の実施例を示す平面図



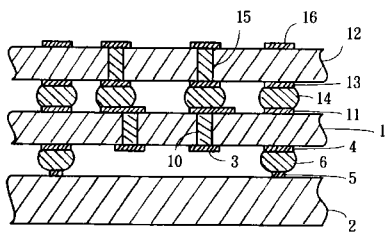
【図 4】

本発明の実施例を示す断面図（その3）



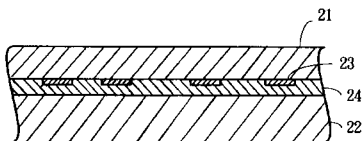
【図 5】

本発明の実施例を示す断面図（その4）



【図 6】

従来例を示す断面図



フロントページの続き

(72)発明者 表 孝司

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 水越 正孝

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 高 辻 将人

(56)参考文献 特開2001-127243(JP,A)

特開2000-277689(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/301

H01L 21/304

H01L 21/3205

H01L 21/60

H01L 23/52